

95 THE 74 SERIES IC MANUAL

最新 74シリーズIC規格表

定価1,200円

TTL、HCMOS、Advanced CMOS、Bi-CMOS

半導体規格表シリーズ(全20冊)

No.8

① 最新 トランジスタ規格表

国内メーカーから市販されているトランジスタ

② 最新 トランジスタ互換表

国内の主要8社のトランジスタ互換品種

③ 最新 ダイオード規格表★

国内メーカーの各種ダイオードを収録

④ 最新 FET規格表★

国内メーカーのFETと国内外メーカーのパワーMOS FET

⑤ 最新 電力用素子規格表★

国内メーカーの各種サイリスタ, 双方向サイリスタ, バリスタ・ダイオード, UJT, 各種パワー・モジュール

⑥ 最新 光表示素子規格表

国内外メーカーのLEDランプ, LEDディスプレイの特性と外形図

⑦ 最新 高周波デバイス規格表★

通信用高周波ダイオード, トランジスタ, FET, パワー・モジュール, RF/IFアンプ, シンセサイザ, スペシャル・ファンクション, PLL等

⑧ 最新 74シリーズIC規格表

国内外メーカーのTTL ICの特性とピン接続, パッケージ情報

⑨ 最新 CMOSデバイス規格表

国内外メーカーの4000B/4500B/5000/22000/4SシリーズCMOS IC (74シリーズを除く) 他

⑩ 最新 RAM規格表

国内外メーカーのスタチックRAM, ダイナミックRAM, Clocked RAM, デュアル・ポートRAM

⑪ 最新 PLD/ROM規格表

PLD, PROM, UV-EPROM, EE-PROM, One Time-EPROM, Flash-PROM

⑫ 最新 モノリシックOPアンプ規格表★

国内外メーカーのモノリシックOPアンプIC

⑬ 最新 光インターフェース素子規格表

赤外LED, レーザ・ダイオード, フォト・ダイオード, フォト・トランジスタ, フォトIC, フォト・カプラ

⑭ 最新 リニアIC規格表(アナログ機能IC編)★

国内外メーカーのコンパレータ, アナログSW, $V-F/F-V$ コンバータ, タイマ, アナログ演算器, 基準電圧源, マルチプレクサ

⑮ 最新 リニアIC規格表(増幅用IC編)

国内外メーカーの低周波電圧増幅器, 電力増幅器, 広帯域/ビデオ増幅器, 差動増幅器

⑯ 最新 電源用IC規格表★

国内外メーカーのシリーズ・レギュレータ, スイッチング・レギュレータ, 電圧監視/保護回路用IC, その他電源関連IC

⑰ 最新 インターフェース素子規格表

汎用カレント・ドライバ, ロジック・レベル変換, ライン・インターフェース, 表示用ドライバ

⑱ 最新 A-D/D-Aコンバータ規格表

国内外メーカーの各種A-D/D-AコンバータICとサンプル&ホールドIC

⑲ 最新 マイコン周辺LSI規格表

各種周辺ICを収録

⑳ 最新 ビデオ信号処理用IC規格表

ビデオ関連の各種のICを網羅

ニーズへの処方箋は テクセルに おまかせください

最高の経済性と最大の効率を追求した
ニーズへの最適提案をお届けいたします。



海外半導体製品

ACTEL Corp.FPGA、開発ツール
Anadigics Inc.各種GaAsIC
Applied Micro Circuits Corp.各種高速通信用ASSP
BURR BROWN Corp.各種リニアIC
Digital Equipment Corp.RISCプロセッサ、周辺デバイス
Loral Fairchild Systems Inc.CCDイメージセンサー
MOSEL VITELIC Inc.各種標準メモリ、ASM
MX COM INC.通信用特殊IC
Raytheon Semiconductor.画像処理IC
SGS-THOMSON Microelectronics.半導体製品全般
Zilog Inc.CPU、周辺ロジックIC

国内半導体製品

・アルプス エルエスアイ テクノロジーズ株高機能CPU
・泉シーアールボックス株各種ハイブリッドIC
・キャノンコンポーネンツ株各種センサ
・新日本製鐵株コミュニケーションASSP
・富士通株半導体製品全般
・株リコー 電子デバイス事業部ASIC/ASSP
・ローム株ASIC/ASSP

市場・デバイス解析データ

INTEGRATED CIRCUIT ENGINEERING CORP. (ICE.)

先進半導体製品の.....

TEKSEL

テクセル株式会社

本社 〒150 東京都渋谷区東2-27-10 TBC TEL.03-5467-9000代 FAX.03-5467-0777
 大阪支社 〒564 大阪府吹田市南金田2-20-10 TEL.06-368-9000代 FAX.06-368-8880
 名古屋営業所 〒464 名古屋市千種区池下1-8-11 若山ビル TEL.052-762-1355代 FAX.052-761-9883
 長野営業所 〒386 長野県上田市天神2-1-22 OAUビル TEL.0268-23-7411代 FAX.0268-23-7412
 九州営業所 〒815 福岡市南区大楠2-6-9 ニチエイ大楠ビル TEL.092-531-7277代 FAX.092-531-9960

ディーラ、ショップ名	デバイス・メーカー名																																電話番号		
	ACTEL	ADVANCED MICRO DEVICES	ALTERA	アルプスエレクトロニクス	ANADIGICS	ANALOG DEVICES	APEX MICROTECH	APPLIED MICRO CIRCUITS	旭化成マイクロシステム	BROOKTREE	BURR BROWN	キヤノン	キヤノンコンポーネンツ	CYPRESS SEMICONDUCTOR	DALLAS SEMICONDUCTOR	DATTEL	DIGITAL EQUIPMENT	ELANTEC	富士通	GENERAL INSTRUMENT	GOLD STAR(金星電子)	浜松ホトニクス	HARRIS	HEWLETT PACKARD	HI-SINCERITY MICRO ELECTRONICS	日立製作所	HYUNDAI ELECTRONICS	INTEGRATED DEVICE TECHNOLOGY	INTEL	泉シーアールボックス	LATTICE SEMICONDUCTOR	LINEAR TECHNOLOGY		LORAL FAIRCHILD SYSTEMS	MAXIM INTEGRATED PRODUCTS
アロマン(株)	●	●	●			●			●	●	●	●		●	●	●			●	●	●	●	●	●		●	●	●	●	●	●	●	●	●	044-934-0034
今永電機産業(株)																																			06-974-1111
極東貿易(株)						●																													03-3244-3793
清友電子(株)					●					●				●				●	●			●			●		●		●				●		03-3864-6131
(株)千石電商										●	●							●	●		●			●											03-3253-4411
第一商事(株)																																			03-3591-7840
テクセル(株)	●	●		●	●			●			●					●		●										●				●			03-5467-9000
(株)テレビイ商会																							●												03-3253-3861
(株)十一電気商会																		●				●			●										06-211-4107
(株)東通販					●					●				●				●	●		●	●			●				●	●		●			03-3255-1051
マイクロテック(株)		●											●			●																●			03-5300-5535

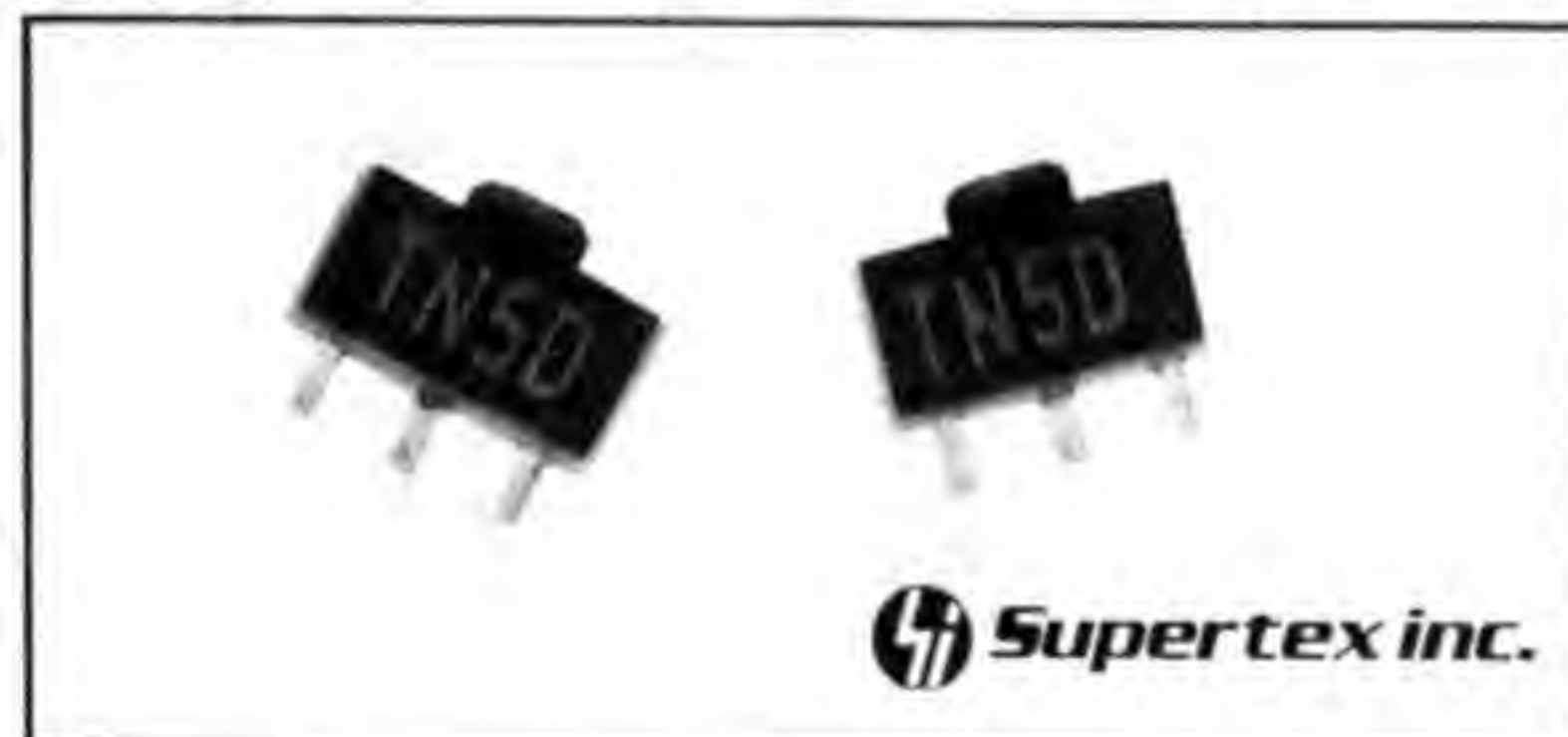
ディーラ、ショップ名	デバイス・メーカー名																																電話番号		
	MICRO LINEAR	三ツミ電機	三菱電機	MOSEL-VITELIC	MOSPEC SEMICONDUCTOR	MOTOROLA	MUSIC SEMICONDUCTOR	MX-COM	NATIONAL SEMICONDUCTOR	NEC	日本無線	OAK TECHNOLOGY	沖電気工業	オリジン電気	PHILIPS	PLESSY SEMICONDUCTOR	PRECISION MONOLITHICS	RAYTHEON SEMICONDUCTOR	RCA	RECTRON	リコー	ローム	三洋電機	セイコー電子工業	セイコーエプソン	SEMIKRON	SGS-THOMSON MICROELECTRONICS	シャープ	SIPEX	S3	新日本無線	新日本製鐵	ソニー	SUPERTEX	TELEDYNE SEMICONDUCTOR
アロマン(株)	●	●	●			●			●	●	●	●	●	●	●	●		●	●	●	●	●	●	●	●	●	●	●	●	●		●		●	044-934-0034
今永電機産業(株)																																			06-974-1111
極東貿易(株)																																			03-3244-3793
清友電子(株)		●	●		●	●			●	●	●		●	●	●		●	●			●	●	●	●		●	●			●		●		●	03-3864-6131
(株)千石電商		●	●		●				●	●			●	●				●			●	●	●		●	●			●		●		●		03-3253-4411
第一商事(株)																																			03-3591-7840
テクセル(株)			●				●										●			●	●				●						●				03-5467-9000
(株)テレビイ商会																																			03-3253-3861
(株)十一電気商会		●	●							●							●		●			●	●		●	●			●						06-211-4107
(株)東通販		●			●			●	●			●	●	●						●	●	●	●		●	●		●		●		●		●	03-3255-1051
マイクロテック(株)			●		●					●																							●		03-5300-5535

ディーラ、ショップ名	デバイス・メーカー名										その他の電子部品名										電話番号
	TEXAS INSTRUMENTS	東光	トーキン	東芝	UMC	ユニゾン	ヤマハ	ZILOG			抵抗器	ダブル・バランスド・ミキサ	コンデンサ	トランス	コイル	フィルタ	スイッチ	リレー	モータ・ファン・プロア	センサ	
アロマン(株)	●	●	●	●	●	●	●	●				●	●	●	●	●		●	●		044-934-0034
今永電機産業(株)											●	●	●	●	●			●	●	●	06-974-1111
極東貿易(株)																					03-3244-3793
清友電子(株)	●	●	●	●		●	●				●	●	●	●	●	●	●	●	●	●	03-3864-6131
(株)千石電商	●	●	●	●		●					●	●	●	●	●	●	●	●	●	●	03-3253-4411
第一商事(株)																				●	03-3591-7840
テクセル(株)							●														03-5467-9000
(株)テレビイ商会																					03-3253-3861
(株)十一電気商会				●							●	●	●	●	●	●	●	●	●	●	06-211-4107
(株)東通販	●	●	●	●							●	●	●	●	●	●	●	●	●	●	03-3255-1051
マイクロテック(株)																					03-5300-5535

米国

スーパーテックス社の 高耐圧MOSFET

- 各種パッケージ
- 耐圧Nch
(BV_{DSS} 18~600V)
- 耐圧Pch
(BV_{DSS} -20~-500V)
- カスタムMOSFET



日本総代理店

MICROTEK

マイクロテック株式会社

- 本社 ☎03-5300-5535 ● 大阪 ☎06-263-5080
- 厚木 ☎0462-29-3631 ● 名古屋 ☎052-782-1603

Apex
μtech

アベックス 高電圧150V 高出力5A

パワーオペ・アンプ モデル PA45

NEW



- 特長
 - パワフル(150Vp-p, 5A出力)
 - 低価格・モノリシック
 - 電源電圧レンジ(±15~±75V)
 - 低静止電流(30mA)
 - MOSFET採用(2次降伏制限無し)
- アプリケーション
 - 電磁偏向
 - モータ駆動
 - 大容量ピエゾ素子駆動
 - 半導体試験用

★PA45データシート及びアベックス総合ハンドブックを進呈します/(下記宛御請求下さい)

KBK

極東貿易株式会社

電子機器部電子デバイス課 ☎03-3244-3793(ダイヤルイン)
本社 千100-91 東京都千代田区大手町2-2-1 新大手町ビル
大阪支店 ☎06-344-1122 名古屋支店 ☎052-571-2571



特注、試作品から大量安定供給まで

コンピュータ用

ケーブルのことならおまかせください。

用途にフィットしたコンピュータケーブルを標準化されたオーダーシステムで、手軽に入手できます。

- 機器レイアウトにジャストフィットしたケーブル長の設定
- 別々のメーカー製品や、異機種システム間の接続に注文結線に対応
- 技術者向けの試作品から、大量安定供給まで対応

納期迅速!! (3日~1週間)

■汎用プリンターケーブル

品番	型式	用途	普及品定価
1	PR-9815	AF14/AF36 NEC98プリンターケーブル(1.5m)	¥ 1,200
3	PR-FMR8	AF24/AF36 TOWNSプリンターケーブル(1.8m)	¥ 5,000
5	PR-IBM8	D25/AF36 IBMプリンターケーブル(1.8m)	¥ 1,600

■特注プリンターケーブル

品番	型式	用途	基準価格/2m以内	追加単価/m
1T	PR-9815	AF14/AF36 NEC98プリンターケーブル	¥ 4,000	¥ 500
3T	PR-FMR8	AF24/AF36 TOWNSプリンターケーブル	¥ 6,000	¥ 700
5T	PR-IBM8	D25/AF36 IBMプリンターケーブル	¥ 6,000	¥ 700

■汎用通信用ストレート&クロスケーブル

品番	型式	用途	普及品定価
21	RS-2525	D25/D25 一般232Cケーブル(1.8m)	¥ 1,400
22	RS-9F25	D9/D25 IBM,東芝232Cケーブル(1.8m)	¥ 1,300
23	RS-8M25	ミニ8P/D25 MAC232Cケーブル(1.8m)	¥ 1,800
26	RS-25MR	D25/D25 一般クロスケーブル(1.8m)	¥ 1,500
27	RS-925R	D9/D25 IBM/東芝クロスケーブル(1.8m)	¥ 1,400
28	RS-825R	ミニ8P/D25 MACクロスケーブル(1.8m)	¥ 1,800

■特注通信用ストレート&クロスケーブル

品番	型式	用途	基準価格/2m以内	追加単価/m
21T	RS-2525	D25/D25 一般232Cケーブル	¥ 3,700	¥ 500
22T	RS-9F25	D9/D25 IBM,東芝232Cケーブル	¥ 3,700	¥ 500
23T	RS-8M25	ミニ8P/D25 MAC232Cケーブル	¥ 4,000	¥ 500

■特注SCSI/用ハイインピーダンスケーブル

品番	型式	用途	基準価格/1m以内	追加単価/m
51T	SC-50SI	AF50/AF50 一般SCSIケーブル	¥ 8,000	¥ 1,000
53T	SC-MC3M	D25/3M50 ハーフピッチMACケーブル	¥ 8,000	¥ 1,000
54T	SC-3M3M	3M50/3M50 両端スリーMケーブル	¥ 7,000	¥ 1,000
59T	SC-AFDB	AF50/D50 SUN SCSIケーブル	¥ 9,000	¥ 1,000

■汎用モニターケーブル(1.5M)

品番	型式	用途	普及品定価
86	MT-HDHD	ミニ15/ミニ15 両端ミニ15P DOS/V用	¥ 4,800

■特注モニターケーブル

品番	型式	用途	基準価格/2m以内	追加単価/m
86T	MT-HDHD	ミニ15/ミニ15 両端ミニ15P	¥ 5,500	¥ 800
88T	MT-BNX5	BNC/BNC 両端BNC5個	¥ 15,000	¥ 1,000

■IBM/LAN イーサネット(10BASE-2,5,T)

品番	型式	用途	基準価格	追加単価/m
301	EN-TKNN	スティックイーサネットケーブル両端Nコネクタ付	¥ 7,000	¥ 1,000
302	EN-15MF	トランシーバーケーブル スライドロック 15P	¥ 5,000	¥ 1,000
303	EN-BNX2	ツインBNCケーブル両端BNC付RG/58&3D2V	¥ 3,000	¥ 250
304C		10BASE-Tモジュラーケーブルカテゴリ5用	¥ 2,100	¥ 300

■98ノート用110ピンI/O接続ケーブル

品番	型式	用途	1m基準価格	追加単価/m
123T	110/110	両端ヒロセ110全接続98ノート用	¥ 11,700	¥ 1,100

■切替スイッチBOX

品番	型式	用途	定価
152	DW09-ABC	Dサブ9P 3回路手動切替	¥ 4,800
155	DW15-ABC	Dサブ15P 3回路手動切替	¥ 5,000
158	DW25-ABC	Dサブ25P 3回路手動切替	¥ 5,500
162	CW14-ABC	AF14P 3回路手動切替	¥ 5,500
164	CW36-ABC	AF36P 3回路手動切替	¥ 6,600
168	CW50-ABC	AF50P 3回路手動切替	¥ 8,500
172	HD15-ABC	DOS/V 15P 3回路手動切替	¥ 5,500

■どんなLAN工事でも請負いますので、お問い合わせください。

お問い合わせは 下記弊社まで
【平日(月一金) AM9:00~PM5:00】

TEL.03-3591-7840 FAX.03-3591-7144

振込先口座：三和銀行 横浜支店(当)134016 第一商事(株)

創業43年の実績 エレクトロニクスの専門商社



第一商事株式会社

〒105 東京都港区西新橋1丁目4-10 西新橋三森ビル

取扱実績1000社/仕入先500社

部品調達は実績のアロマンへ...

《当社は貴社の調達部門のつもりで量産コストダウンから》
《緊急調達、製品組立まですべてお手伝い致します》

- 量産コストを下げたい
- 緊急に調達したい
- 集約手配で口座を減らしたい
- 海外在庫を入手したい
- ウエハーチップが欲しい
- 実装を頼みたい
- 不要在庫を処分したい
- 手配代行をためみたい

全国配送・輸出いたします

■取扱品目

IC・半導体部品・一般電子部品
各種機構部品・サーモスタット
レーザー機器・PC関連機器

■主な取扱メーカー

●TI	東芝	NEC	シャープ	アナログデバイス
富士通	NSC	日立	モトローラ	新日本無線
インテル	MAXIM	SGS	ザイログ	AMD
●オリジン	日本インター	ローム	富士電機	I・R
●TDK	ミツミ	トーキン	キンセキ	東信工業
●山一電機	アルプス	AMP	JST	ホシデン

上記以外のメーカーも数多く取扱っております。

エレクトロニクス総合商社
アロマン株式会社

〒214 神奈川県川崎市多摩区登戸3508 コアクレスト登戸1F

●日本テキサス・インスツルメンツ(株)特約店、他
TEL(044)934-0034代
FAX(044)934-0017



JRC

電子部品営業部

OKI

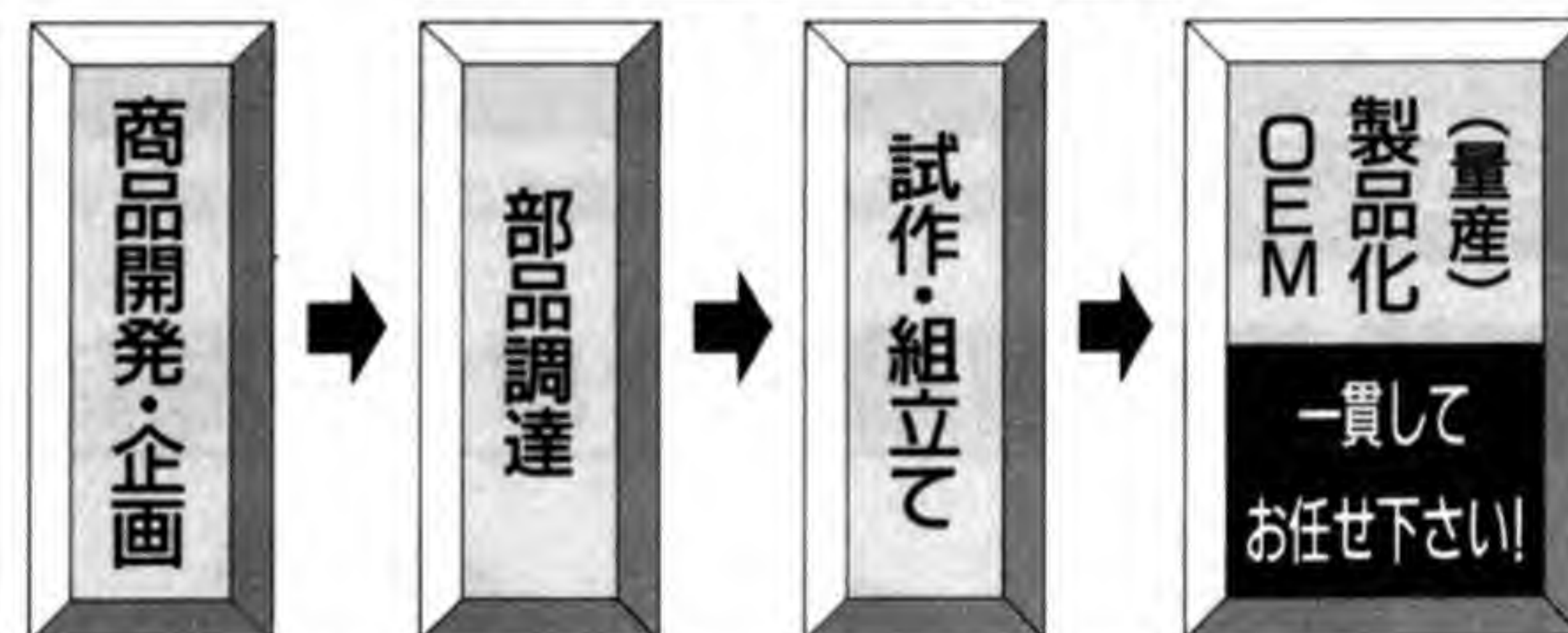


電子デバイスの事なら迅速!
御用命ください。

■マイコンソフト設計、音声IC製作

電子部品は各種一括受注可能です。

コンポーネント、電源営業部



■回路設計、基板設計製作

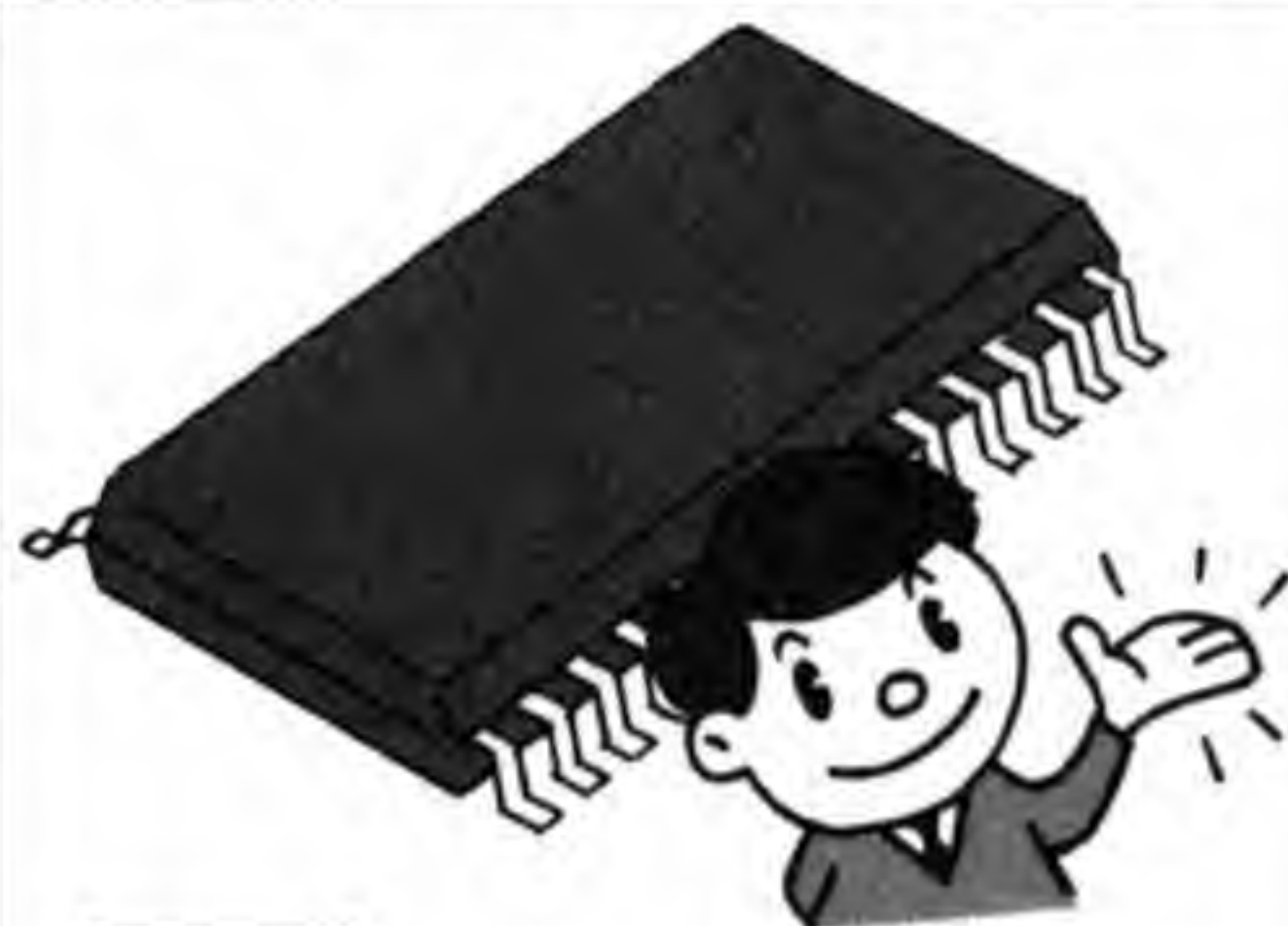
■各種電源、設計製作、販売

■ケース・板金設計、製作

SEC 清友電子株式会社

〒101 東京都千代田区岩本町2-7-15 山崎ビル2F TEL.03-3864-6131/FAX03-3864-6149

半導体と電子部品は先ず当社へ



〈半 導 体〉
HITACHI・JRC・SANYO
RCA・ROHM・FUJITSU
NEC・TOSHIBA・National 他
〈電子部品〉
村田製作所・ケル・マルコン
マックエイト・エコー・エブレン
ニッセイ・リケン・シズキ
他

Toichi 株式会社 十一電気商会

〒542 大阪市中央区日本橋1-10-4 TEL 06(211)4107(代) FAX 06(211)4709

在庫豊富・納期迅速、ユーザーのニーズに応える



スイッチング電源の常識を塗り替えた、
新世代のパワーモジュール

スイッチング・パワー・サプライ

DC/DCコンバータ

ノイズフィルタ



ネミック・ラダ

●自動制御部品の総合商社

今永電機産業株式会社

営業部：〒537 大阪市東成区東今里3-9-20 ☎06(974)1111(代)・FAX 06(974)1253
本社：〒537 大阪市東成区東今里3-9-21 ☎06(974)1191(代)

未来の技術を開発する

KRAIAS

水晶発信器の出力が瞬時に外部同期可能です!!

画像処理回路のクロック源に



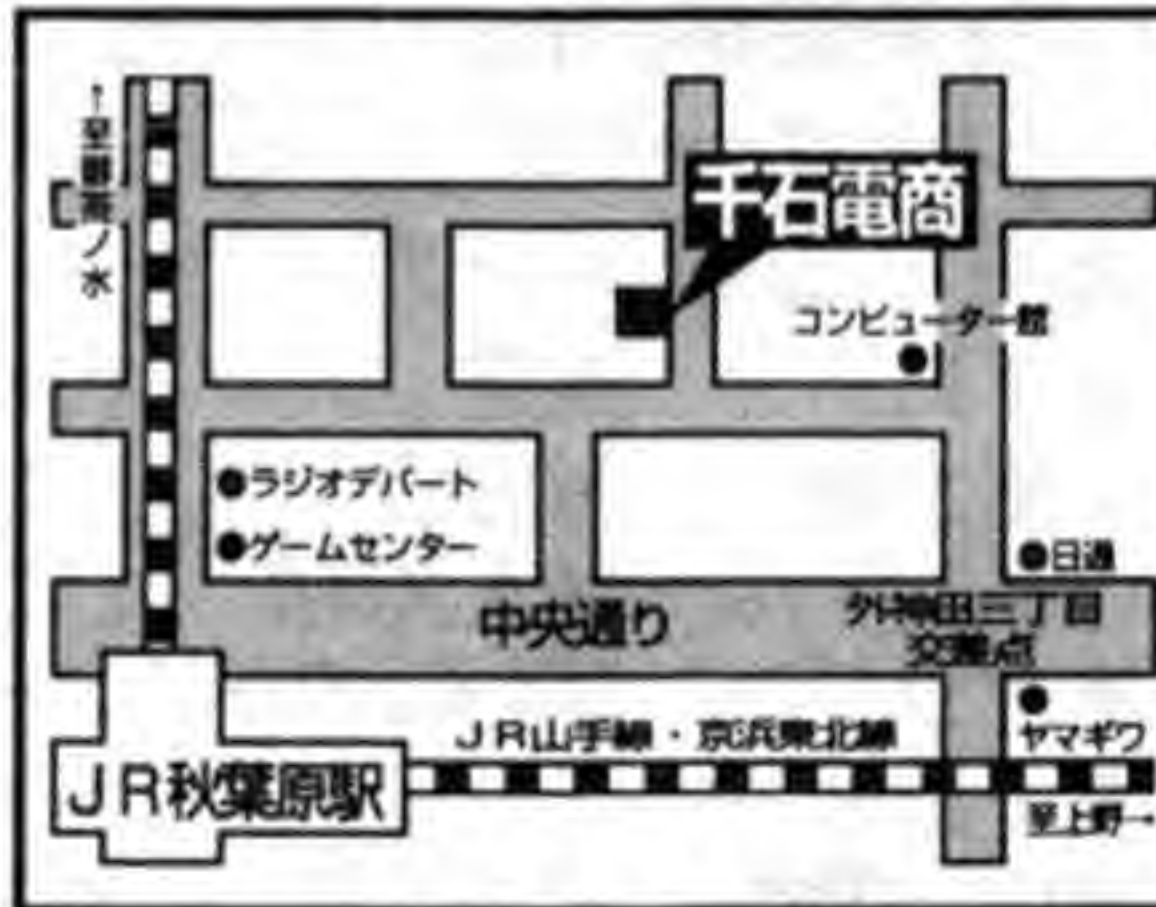
®グリスンゲートファミリー KS6369シリーズ

®クレイアス株式会社

〒258 神奈川県足柄上郡松田町寄5501
TEL.0465(89)2825 FAX.0465(89)2826

パーツとツール 良いパーツをお安く。 のスーパーマーケット

取扱商品 ●電気・電子部品全般●電動・
一般工具●工作キット●電材●各種接続
ケーブル●小物電気製品 他多数



株式会社 **千石電商** 年中無休
※通信販売は取り扱っておりません。

〒101 東京都千代田区外神田1-8-5 毛利ビルB1・1F・2F (店舗フロアは、B1と1Fです。)
営業時間 AM10:00~PM7:00 月曜日の営業はAM11:00から (ただし祭日は通常時間)

HITACHI

日立半導体

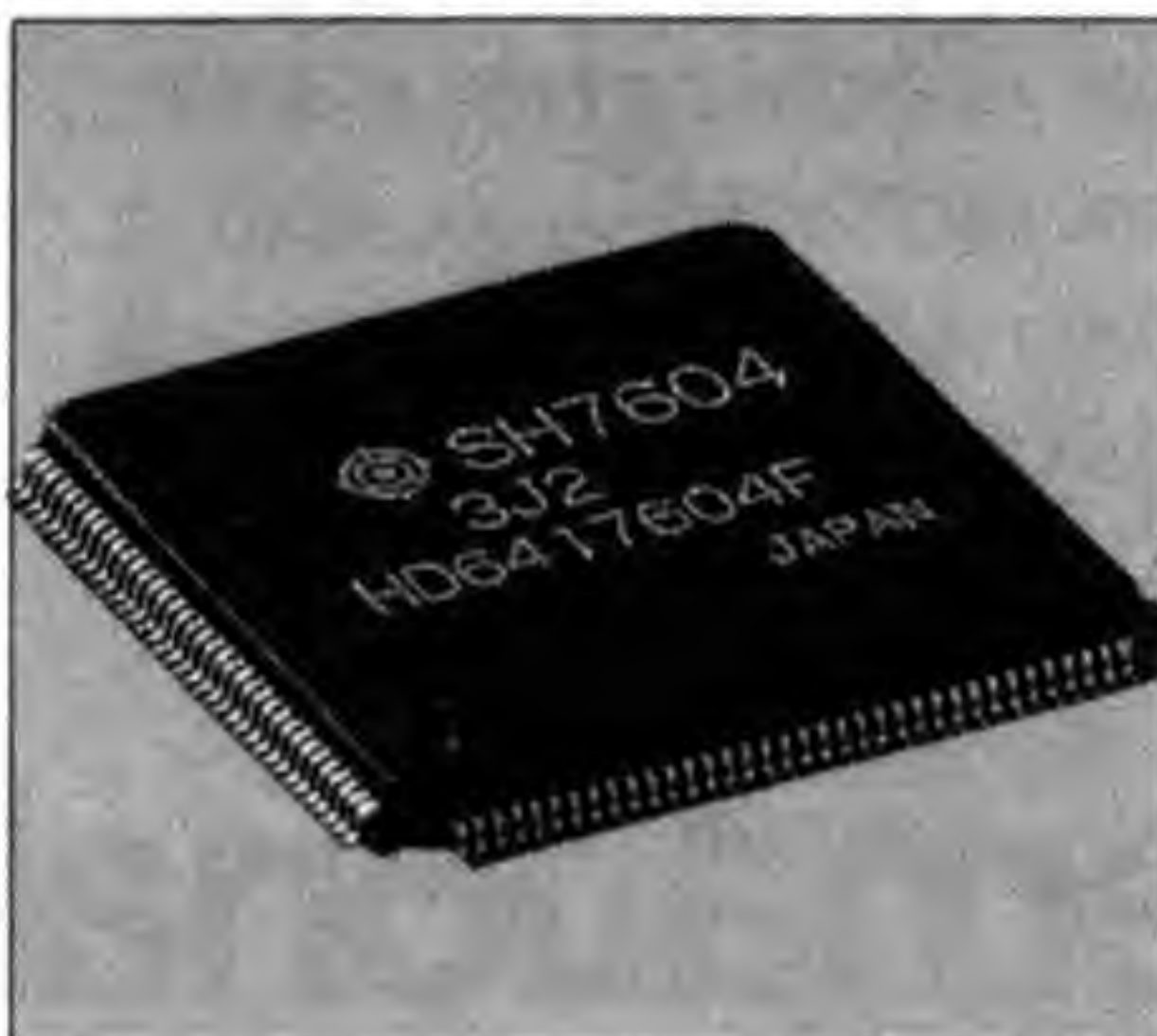
マイクロコンピュータ

即納システム!! すぐお手もとへ

新製品豊富に取りそろえております。

SH7600シリーズ(SH7604)

■マルチメディア対応32ビットRISCマイコン



取扱品目

- マイクロコンピュータ
- 液晶表示モジュール
- トランジスタ、ダイオード、MOSFET
- 光素子
- ICメモリ/モジュール
- 標準ロジックIC
- 標準リニアIC
- 電力用シリコン
- その他

取扱メーカー

(株)日立製作所(半導体)
(株)日立マイコンシステム
日立エンジニアリング(株)
(株)北斗電子

CTV 株式会社 **テレビ商会** 第一営業部

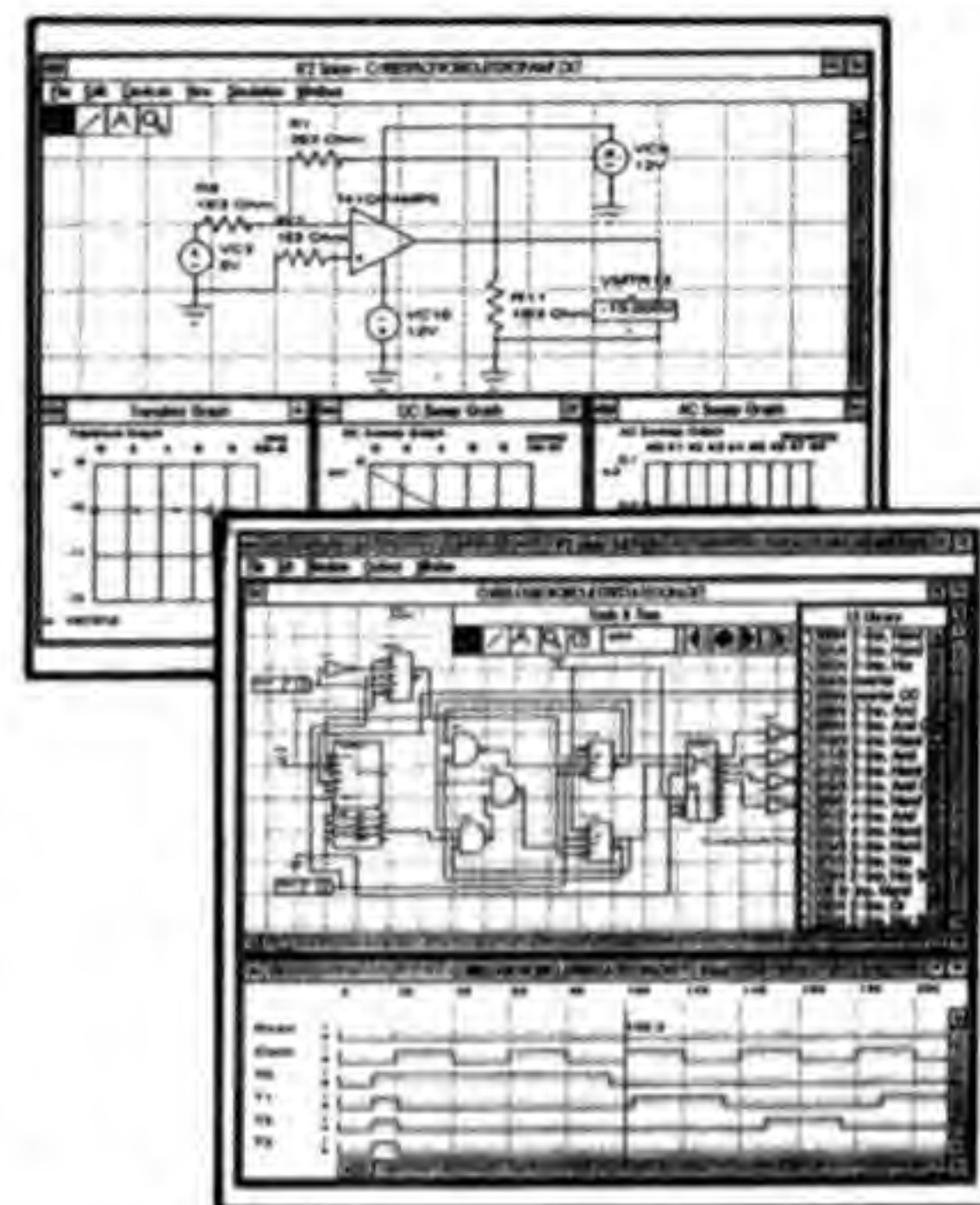
〒101 東京都千代田区外神田1-15-6 TEL03(3253)3861(代表) FAX03(3253)3860

アナログ回路シミュレータ

B²Spice

デジタル回路シミュレータ

B²Logic



B²Spice/B²Logicは個人の研究者や技術者にむけて開発されたシミュレータで、研究者自身が個人で購入できるように適正な価格に設定されています。

従来のこの種のソフトウェアに比べて、たいへん安価ですが機能上の制限はありません。設計・解析できる回路の大きさや部品数・ノード数などはハードウェア(RAM容量など)のみによって制限されます。

製品には日本語マニュアルと英文マニュアルの2冊が付属します。

日本語マニュアルは英文マニュアルを翻訳したのですが、英文マニュアルよりもページ数や図版も多く、わかりやすく解説されています。

詳しくは、FAX情報サービスをご利用下さい

プッシュ回線のファックス機の電話からダイヤルして下さい

045-232-1636

音声ガイドにしたがって情報を取り出して下さい

有限会社

そら コンピュータ・プロダクツ

e-mail:

〒232 横浜市南区新川町1-1-5-301

sora@po.iiijnet.or.jp

Phone:045-262-1097 Fax:045-232-1637

NiftyServe PXB02244

IR社のハイテクノロジー

コストパフォーマンスに差がでます。

パワーMOSFET

- 繰返しアバランシェ耐量保証
- 内蔵ダイオード転流時dv/dt保証

超高速ダイオード(FRED)

- 超高速逆回復時間(T_{rr})

CO-PACK

- IGBTと超高速ダイオードをワンパッケージに

パワーIC

- IR2112 600V ハーフブリッジドライバー(電源用)
- IR2113 600V ハーフブリッジドライバー(一般用)
- IR2130 600V 3相ブリッジドライバー(モータ用)
- IR2155 500V ハーフブリッジドライバー(バラスト用)
- IRSF3010 スマートFET(自動車用)
- IR6000 ハイサイドスイッチ(自動車用)

International IR Rectifier

米国IR社 日本法人

アイアールファースト株式会社

- 〒171 東京都豊島区西池袋3丁目30番4号(K&Hビル)
TEL: (03)3983-0641(代表), FAX: (03)3983-0642
- 〒532 大阪市淀川区西中島7丁目6番12号(新大阪駅前末広ビル)
TEL: (06)302-9005(代表), FAX: (06)302-9105
- 〒465 名古屋市名東区社台3-247(第三名昭ビル6-B)
TEL: (052)774-7707(代表), FAX: (052)774-7731

74シリーズIC規格表

—TTL, HCMOS, Advanced CMOS, Bi-CMOS—

◆規格表ご利用の際のお願い◆

本規格表のデータはメーカー発表の資料に基づいて作成しておりますが、メーカーでは改良などのために予告なく仕様が変更されることがあり、また、データ量が多いため編集の都合で省略している場合があります。したがって、実際に素子を使用して製品を生産される場合などは、当該メーカーにお問合せの上、必ず仕様をご確認ください。本書に記載されたデータによって生じた不具合などについては、小社ならびに著作権者は責任を負いかねますのご了承ください。

◆規格表のあらまし

この74シリーズIC規格表は、各ICメーカーが出している部厚い74シリーズICマニュアルを何冊もいちいちひっくり返さなくとも、手近にピン配列や等価回路、消費電流など、回路設計に必要なデータが得られることを目的としています。このため1品種1ページを原則として、ICの名称からすぐそのICの規格を知ることができるようになっています。

ICは74シリーズの番号順に並べてあります。同一ページに、TTLのNormal, LS, ALS, ALS1000番台, Fast, S, AS, HC/HCT-MOS, FAST-CMOS (AC/ACT), Bi-CMOS (BC/BCT)のデータを入れてあります。TTLのH, Lタイプはあまり使われないし、新しいファミリも増えそうにないため、紙面のつごうで割愛しました。

TI社以外の各社が自社のオリジナル品を出していて、74シリーズに入っていないものの中からよく使われるものは、1987年度版以前のTTL IC規格表に収録してあります。74シリーズがセカンド・ソース品である場合でも、ページの索引は74シリーズでとってあります。

1992年版から、TTLのスタンダードおよびLSしか供給がなく、しかも1, 2社のみからしか供給していない型番は削除しましたので、それらのデータは1991年版以前の旧版を参照して下さい。

4000/4500シリーズのHC-MOSについては2品種を1頁にして74シリーズのあとに入れてあります。

PLDについては、メモリIC規格表のROM編に収録してあります。

形名のみあり、あまりセカンド・ソースがないものや、特別な用途のもの、64バイト以上のメモリは収録してありません。

各メーカーの74シリーズのピン・コンパチブル品の供給状況は、各頁の表に記入してありますので、ここを参照して下さい。この表は各メーカーの現状で、過去に供給されたものでも、現在ないものは無印です。

規格についてはTTL ICはTI社、CMOSについてはMotorola社のものを代表としてとりあげ、等価回路や表のデータとしてあります。ただしACおよびBCについては、各社でかなり値がちがいますので、ギリギリの設計をする際は注意して下さい。信号名称はTI社の付けかたに

なっています。なお各社によって製造方法や等価回路がちがうため V_{OH} や t_{pd} などが多少異なりますので、精度の高い設計を行うときは、各社から出ているマニュアルを参照して下さい。

図版と表の一部はミス・プリントを避けるために、TI社のマニュアルを主とし、一部Motorola社の図版を転載しました。TI社の図版の多くはコピーしてあります。その他の各社の図版はTI社の書き方に準拠して手を加えてあります。図版の使用許可をいただいたTI社とデータその他の転載を許可いただいた各ICメーカーに謝意を表します。

74 シリーズ IC を活用するための規格表の見方

① 74 シリーズ IC

74 シリーズ IC はバイポーラのスタンダード TTL, ハイスピード(H)TTL, ローパワー(L)TTL, ショットキー(S)TTL, ローパワー・ショットキー(LS)TTL とそのシリーズが増え、さらに ALS, AS, F へとシリーズが追加されてきました。

このシリーズ中、H シリーズと L シリーズはすでに絶滅してしまいました。スタンダードは消費電力の点で、そうスピードの変わらない LS シリーズに移行しました。この移行により、ほとんどのスタンダード TTL は製造中止となっています。

また 74ALS1000 番台はバッファ・タイプなので別品種とせず、同一の機能のページへ組み込んであります。74 シリーズとピン・コンパチブルな CMOS ロジックはすべて収録されています。TTL の LS シリーズ相当の 74HC(CMOS インターフェース), 74HCT(TTL インターフェース)および TTL の F シリーズ相当の 74AC, さらに高速なバイポーラ CMOS の 74BC が収録されています。その他 AS シリーズ相当の CMOS が一部メーカーで作られています

が、ピン接続が 74 シリーズと異なるため、除外しました。4000/4500 シリーズの IC でも HC, AC, BC シリーズがあり、74 シリーズにない便利なファンクションは収録しました。74AS1000 番台は除外しました。

紙面のつごう上、表中のデータは min または max に限ってあります(□は typ 値)。

② 外 形

TTL の外形は各メーカーによっていろいろと異なっていますが、DIP(デュアル・イン・ライン・パッケージ)のピン・レイアウトは共通で、8 ピン、14 ピン、16 ピン、20 ピン、24 ピン、28 ピンが使われています。DIP ではピンとピンの間は 2.54 mm で、足の並びと並びの間は 24 ピンを境として、24 ピン未満が 7.62 mm 幅、24 ピン以上が倍の 15.24 mm 幅ですが、占有面積の低減のため 24 ピンの 7.62 mm 幅パッケージもあります。巻末の用途別分類表では、前者を 24 W 後者を 24 S と区別してあります。特に 74800 番台は、24 ピン・ワイド・タイプをスリム・タイプに置き換えたものが多いようです。

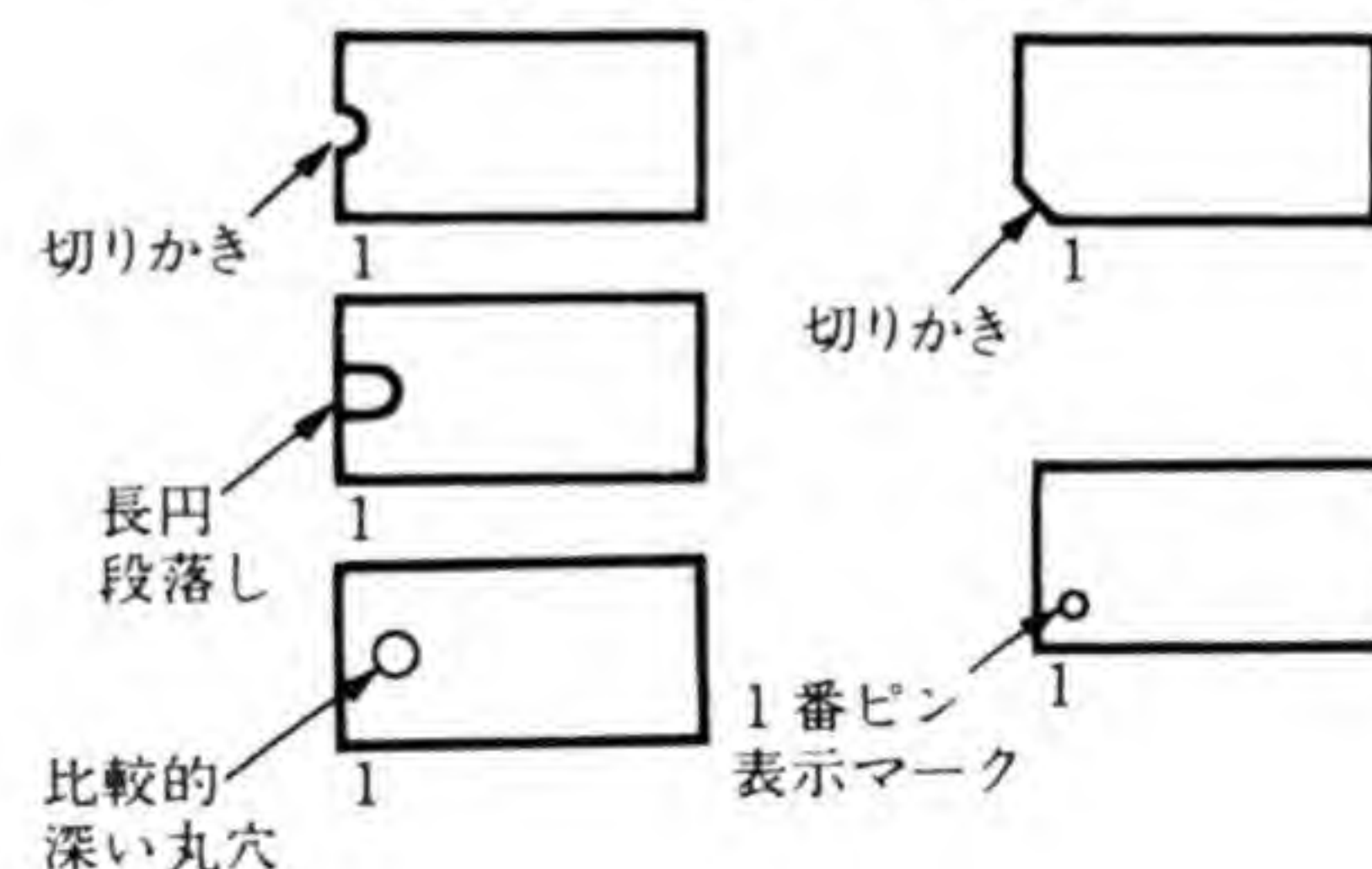
パッケージはこのほかミニ・フラット型

がありますが、ピン・レイアウトは同じなので、DIP のみのがのせてあります。

パッケージはセラミックとプラスチックがあり、一般的に前者は使用温度範囲が広く、特性的にきびしくなっています。用途としては軍用、宇宙航空用など特別なところ。この規格表では省いてあります。IC は通常名称が読める向きに置いて、手前の左端のピンが 1 番で、そこから時計と逆まわりに番号を付けていきます。規格表中の IC のピン・レイアウト図はぜんぶ IC を上から見た(TOP VIEW)ものですので、プリント基板に入れて、うらがわから見ると逆まわりとなりますから注意してください。

IC 名称の印字だけではあてにならないので、通常図 1 のように 1 番ピンの側になんらかのマークが付いています。

〈図 1〉 1 番ピンの表示



③ 用途別分類

74 シリーズ IC は種類が非常に多いため、自分の必要な IC をすぐ見つけることがたいへんです。このため、設計側の考えかたを中心にして、目的の用途に当てはまる IC を早くさがせるよう、巻末に用途別分類を付けました。

ここでは一目でわかることを目的としたため、記号をたくさん使っていますので、ここで解説をしておきます。

(1) IC 機能名称

NOT : Not
 INV BUFF : Inverting Buffer
 BUFF : Buffer
 INV, BUFF : Inverting Buffer
 & Non-Inverting Buffer
 SENSE : Sense Amp
 NAND : And-Inverter
 AND : And
 NOR : Or-Inverter
 OR : Or
 INV : Inverter
 AOI : And-Or-Inverter
 Exp : Expander
 \overline{RS} : \overline{RS} FlipFlop
 D : D Latch, D FlipFlop

8 B : 8 bit (ほかの数字も同様)
 EOR : Exclusive-OR
 ENOR : Exclusive-NOR
 JK : JK FlipFlop
 MMV : Monostable Multi-
 Vibrator or Single Shot
 VCO : Voltage Controlled
 Oscillator
 FA : Full Adder
 ALU : Aithmetic Logic Unit
 ACC : Accumulator
 CARRY : Carry Generator
 TREE : Wallace Tree
 COMP : Comparator
 BCD : Binary Coded
 Decimal
 EX 3 : Excess Three Code
 GRAY : Gray Code
 7 seg : 7 Segment decoded
 Signal
 BCDC : BCD Counter
 R : Register File
 B : Bit, Binary
 SISO : Serial In Serial Out
 PISO : Parallel In Serial Out
 PIPO : Parallel In Parallel
 Out

SIPO : Serial In Parallel Out
 UPDOWN : Up Down Counter
 FDIV : Frequency Divider
 RAM : Random Access
 Memory

(2) 特徴

TP : トーテンポール出力
 OC : オープン・コレクタ出力
 (オープン・ドレイン出力)
 3 S : 3 ステート出力
 2 W-2 IN : 2 wide-2 input
 2-3 IN : 2 input AND
 +3 input AND
 N エッジ : ネガティブ・リーディング
 グ・エッジ・トリガ
 P エッジ : ポジティブ・リーディング
 グ・エッジ・トリガ
 P パルス : 正パルスで作動
 N パルス : 負パルスで作動
 EN : Enable 端子
 N 出力 : 負論理出力
 P 出力 : 正論理出力
 G : ゲート入力
 ゲート H : ゲート入力 H でセット
 ゲート L : ゲート入力 L でセット
 クリア L : クリア入力 L でクリア
 クリア H : クリア入力 H でクリア

(3) その他

- 機能名称の前の数字(例 2 JK, 2×1 BFA)は 1 パッケージ当たりの収容回路数
- ビット数は 2 B, 4 B, 6 B, 8 B と表示
- ナンバはプロセスによらず共通にとつてある。
- 表の中では負論理の表示に－(マイナス)符号を使っている

4 絶対定格

絶対定格は一時的にでもそれを越すとあとの性能は保証できないという性質のもので、電源の投入時などに越えないように設計しなければなりません。この定格はほとんどすべての IC に共通なので、おのこの規格には書いてありません。表 1 にその大要を示します。

ショットキーのシリーズは入力回路はほとんどが DTL 型(ダイオード・ロジック)ですが、TTL 型(マルチエミッタ・トランジスタ)ですと耐圧が低くなります。最大消費電力はチップによって異なるため、共通ではありませんが、出力負荷を定格内で使っているかぎり、越えることはありません。

CMOS の消費電力は作動周波数で異な

りますが、通常の用途では最大消費電力を越えることはありません。

また、入力電圧はラッチアップの関係で、電源電圧より大幅に上げることはできません。

5 記号

規格表にはフルネームで書ききれないいろいろな信号、電圧、電流、時間などを略号で記入してあります。また規格表中では割愛したデータでも略号で一般的には呼ばれることが多いので、これらのフルネームと意味および大略の規格をここで解説しておきます。

(1) 信号入出力

A, B, C, D, E, F, G, H, I, (J, K, L, M) : ゲート入力信号, () 内は多入力ゲートで使用

G : ゲート信号(入力信号のストロブ)

Y : ゲート出力

X : ゲート部分出力(部分入力にも使う)

J, K : JK フリップフロップの入力。

J はセット側, K はリセット側

Q, \bar{Q} : フリップフロップの出力。

Q はセットしたとき H がでる出力

\bar{Q} はリセット時に H となる出力

S, R : SR フリップフロップの入力。

S はセット, R はリセット

CK : Clock クロック入力

CLR : Clear クリア入力

PR : Preset プリセット入力

D : D フリップフロップの入力

E(EI) : Enable 入力信号のイネーブル

Σ : 加算出力

C_n : キャリ入出力

R_o : リセット入力

MC : Mode Control モード切り替え

$Q_A \sim Q_H$: レジスタ, カウンタの出力。

Q_A が LSB, Q_H 側が MSB になる

C_{ext} : 外付けコンデンサ接続端子

R_{ext} : 外付け抵抗接続端子

0~9 : デコード出力, エンコード入力

a~g : デコード出力

L : Load パラレル・セット信号

OE : Output Enable 出力を出す信号

CS : Chip Select IC の選択信号。

入力(アドレスの補強)

CE : Chip Enable IC を動作状態にする入力

V_{CC} : +5 V を印加する

GND : 0 V につなぐ

NC : No Connection IC 内でなにもつながっていない

信号の前の数字は複数個同じ回路が入

っている場合の回路の番号です。信号のあとの数字は同じ回路の信号順についている番号です。2進モードの回路では数字の小さいほうがLSBで、数字の大きいほうがMSBです。

その他の記号はほとんどが具体的に書いてありますのでわかるでしょう。

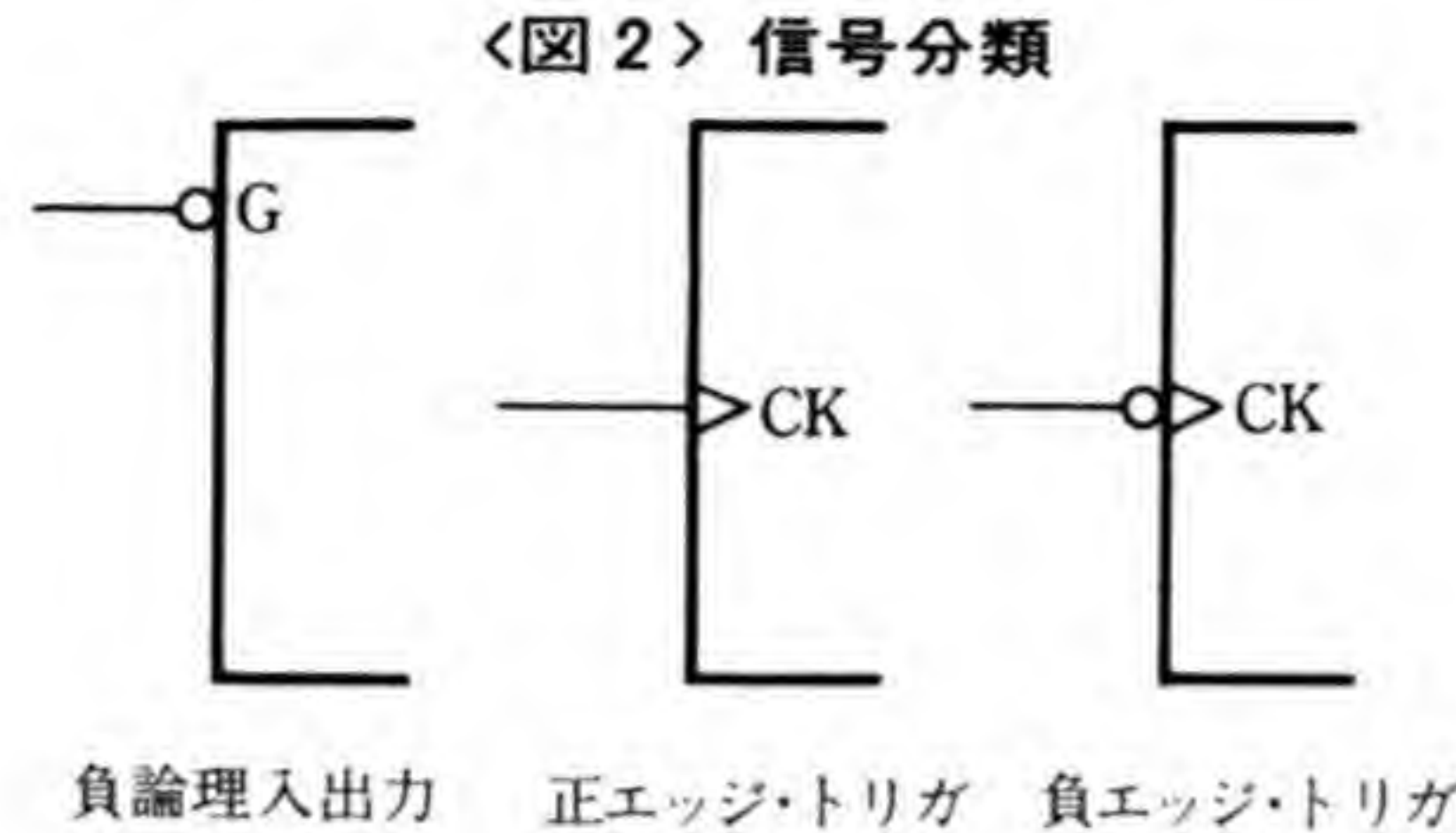
(2) 信号形態

クロックやゲートの入力信号の形態は図2のように書き分けられています。

(3) 電流特性

I_{IH} : High Level input Current

入力をHレベルにしたときの入力電流。表中の入力電流特性に“H”と記入してある。



シリーズ名	測定条件	
	V_{CC} (V)	V_{IH} (V)
N	5.25	2.4
LS, S, F	5.25	2.7
ALS, AS	5.5	2.7

CMOS 入力 (HC, AC, BC) では値はない。

I_{OH} : High Level Output Current

出力がHレベルと判定できるリミットまで流し出せる電流。表中の出力電流特性に“H”と記入してある。

シリーズ名	測定条件	
	V_{CC} (V)	V_{OH} (V)
N-TTL	4.75	2.4
その他の TTL Bi-CMOS	4.75	2.7
CMOS (CMOSレベル)	4.5	3.94
CMOS (TTLレベル)	4.5	3.94

CMOS レベル : HC, AC など
TTL レベル : HCT, ACT など

一部メーカーでは3.98V

I_{IL} : Low Level Input Current

入力をLレベルにしたときの流れ出し電流。表中の入力電流特性に

＜表1＞ 絶対定格

シリーズ名	スタンダード	LS(DTL型)	LS(TTL型)	S	ALS, AS	F	HC	AC	BC
供給電圧 V_{CC} (GNDピンと V_{CC} ピンの間) (V)	7	7	7	7	7	7	7	6	7
入力電圧 (V)	5.5	7	5.5	5.5	7	7	$V_{CC}+1.5$	$V_{CC}+0.5$	$V_{CC}+0.5$
オープン・コレクタ型の OFF 時の コレクタ電圧 (高耐圧型を除く) (V)	7	7	7	7	7	7	$V_{CC}+0.5$	$V_{CC}+0.5$	$V_{CC}+0.5$
3ステート型の OFF 時出力ピン 印加電圧 (V)	V_{CC}	7	7	V_{CC}	5.5	5.5	$V_{CC}+0.5$	$V_{CC}+0.5$	$V_{CC}+0.5$
動作温度 (パッケージ表面) (プラスチック) (°C)	0~70	0~70	0~70	0~70	0~70	0~70	-40~+85	-40~+85	-40~+85
保存温度 (°C)	-65~150	-65~150	-65~150	-65~150	-65~150	-65~150	-65~+150	-65~150	-65~150

“L”と記入してある。

シリーズ名	測定条件	
	V _{CC} (V)	V _{IL} (V)
N, LS	5.25	0.4
S, F	5.25	0.5
ALS, AS	5.5	0.4

CMOS 入力 (HC, AC, BC) では値はない。

I_{OL} : Low Level Output Current

出力が L レベルと判定できるリミットまで流し込める電流。表中の出力電流特性に“L”と記入してある。

25°C	測定条件	
シリーズ名	V _{CC} (V)	V _{OL} (V)
N-TTL	4.75	0.4
その他の TTL	4.75	0.5
Bi-CMOS	4.5	0.5
CMOS (CMOSレベル)	4.5	0.36
CMOS (TTLレベル)	4.5	0.36

一部メーカーでは0.26V

LS, ALS は 2 種の定格があり V_{OL} が 0.4 V で測定すると 0.5 V に比し I_{OL} は 1/2 になる (AS は 2/3)。ドライバなどは指定がちがうことがある。

I_{O(OFF)} : Off State Output Current

オープン・コレクタ型の IC が OFF のときにコレクタに耐圧いっばいの V_{OH} を加えたときに流れ込む電流。表中では“H”で示してある。

測定条件 V_{CC} : 4.75 V

V_{OH} : 5.5V, 15V, 30V, ほか

I_{OZ} : Off State Output Current

3 ステート型の IC が OFF (High-Z) のときに出力に H レベルまたは L レベルの電圧を加えて流れる電流。

25°C	測定条件		
シリーズ名	V _{CC} (V)	V _{OH} (V)	V _{OL} (V)
N	5.25	2.4	0.4
LS, S	5.25	2.7	0.5
F	5.25	2.5	0.5
ALS, AS	5.5	2.7	0.5
HC	5.5	V _{CC}	0
AC	5.5	V _{CC}	0
BC	5.5	2.7	0.5

I_{OS} : Short Circuit Output Current

出力が H のとき、出力を GND にショートしたときに出力に流れ出す電流。この値は表中にはリストをとっていない。代表的には表 2

〈表 2〉 I_{OS} 標準値

シリーズ名	V _{CC} (V)	I _{OS}	
		min (mA)	max (mA)
N	5.25	18	55
LS	5.25	20	100
S	5.25	40	100
F	5.25	60	150
ALS	5.5	15	70
AS	5.5	30	112
ALS1000	5.5	30	112
AS1000	5.5	50	200
HC	—	—	—
AC	—	—	—
BC	5.5	60	180

のようになる。1 パッケージ当たり同時に二つ以上の出力をショートしてはいけない。LS, S タイプはショート時間は 1 秒以内のこと。

I_{CC} : Supply Current

供給電流。パッケージ単位で表しているため、多回数のは回路当たりの数値は小さくなる。

CMOS では、回路が静止しているときの電流が記入されている。

I_I : Input Current at Maximum Input Voltage

入力電圧を限界いっばいに上げた時に流れ込む電流。表中にはない。

	測定条件	I_I
シリーズ名	V_{CC} (V)	max (mA)
N, S	5.25	1
LS	5.25	0.1
F	5.25	0.6
ALS, AS	5.5	0.1

CMOS ではラッチアップが発生しないかぎり立て前上 0 mA

(4) 電圧特性

V_{IH} : High Level Input Voltage

H レベル入力電圧:

	V_{IH}	
シリーズ名	測定の時(V)	min (V)
N-TTL	2.4	2.0
ショットキー-TTL	2.7	2.0
CMOS (TTLレベル)	2.0	2.0
CMOS (CMOSレベル)	3.15	3.15

V_{OH} : High Level Output Voltage

H レベルの出力電圧.

I_{OH} 最大のときの V_{OH} は,

	V_{OH}	
シリーズ名	min (V)	typ (V)
N-TTL	2.4	3.4
その他の TTL	2.7	3.4
HC	3.94	$V_{CC} - 0.36$
AC	3.94	$V_{CC} - 0.36$
BC	2.7	3.4

一部メーカーでは 3.98V と $V_{CC} - 0.26V$

が一般的な値です.

V_{IK} : Input Clamp Voltage

入力が負電位になって、クランプ・ダイオードが入力電圧をクランプする電圧. CMOS 入力では入力制限ダイオードがクランプする. パターンや線路によるリンギングなどはこの電圧で押えられる. 表中にはない.

	測定条件	V_{IK}
シリーズ名	I_I (mA)	min (V)
N	12	-1.5
LS	18	-1.5
S	18	-1.2
ALS	18	-1.5
AS, F	18	-1.2

V_{IL} : Low Level Input Voltage

L レベル入力電圧.

	V_{IL}	
シリーズ名	測定の時(V)	max (V)
N, S	0.4	0.8
ほかのショットキー-TTL	0.5	0.8
CMOS (TTLレベル)	0.8	0.8
CMOS (CMOSレベル)	0.9	0.9

スレッショルド電圧は 0.8 V.

V_{OL} : Low Level Output Voltage

L レベル出力電圧. 出力電流最大のときの V_{OL} は,

	V_{OL}	
シリーズ名	typ (V)	max (V)
N	0.2	0.4
LS, ALS, F	0.35	0.5
AS	0.25	0.5
HC	0.2	0.36
AC	—	0.36
BC	0.35	0.5

一部メーカーでは 0.26V

V_T : Threshold Input Voltage

シュミット入力型のスレッショルド電圧. V_{T+} は入力が L から H になるときに発生するヒステリシスの上端. V_{T-} は同じく H から L へのヒステリシスの下端.

V_{CC} : Supply Voltage

供給電圧. TTL では最小 4.75 V, 最大 5.25 V. CMOS (TTL レベル) では最小 4.5 V, 最大 5.5 V.

(5) 信号の記号

H : Hレベルの電圧

L : Lレベルの電圧





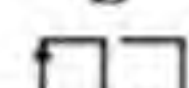
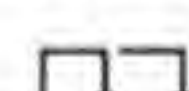
X : H, L どちらでもよい入力

Z : 3 ステートの OFF 状態

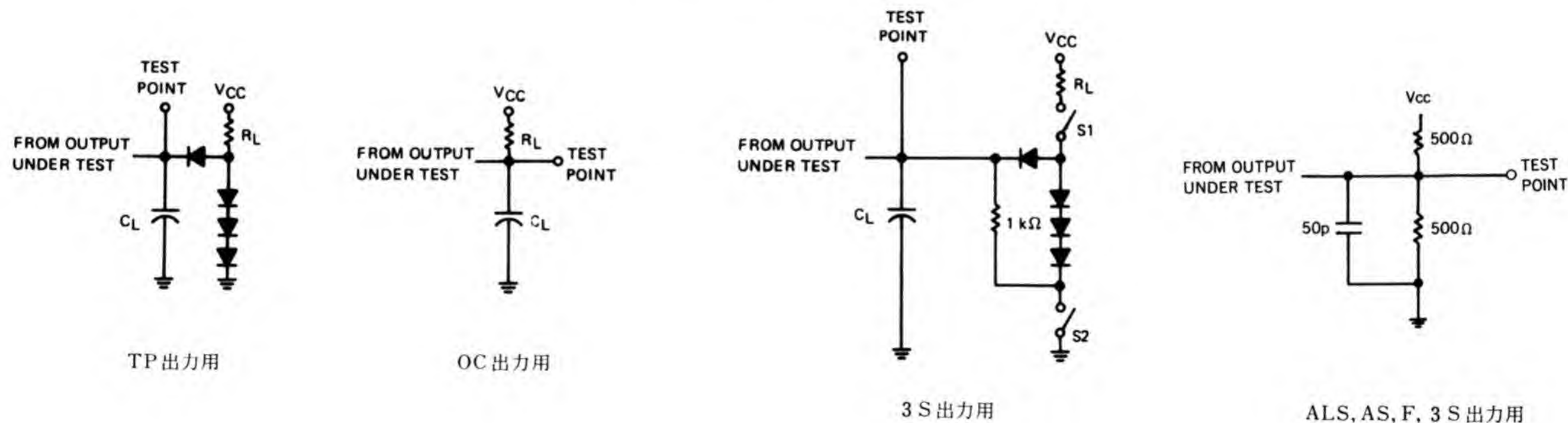
↑ : L から H への変化 (ポジティブ・エ

〈表 3〉 測定条件

	一 般		バッファ		3 ステート・バス・ドライブ		
	$R_L (\Omega)$	$C_L (pF)$	$R_L (\Omega)$	$C_L (pF)$	$R_L (\Omega)$	$C_L (pF)$	$R'_L (\Omega)$
N-TTL	400	15	133	45	400	50	1 k
LS	2 k	15	667	45	1 k	30	1 k
S	280	15/50	93	50/150	90	50	1 k
ALS/ALS1000	500	50	500	50	500	50	500
AS/AS1000	500	50	500	50	500	50	500
F	500	50	—	—	500	50	500
HC	∞	50	—	—	1 k	50	1 k
HCT	1 k	50	—	—	1 k	50	1 k
AC	500	50	—	—	500	50	500
ACT	500	50	—	—	500	50	500
BC	500	50	—	—	500	50	500
BCT	—	—	—	—	—	—	—

ッジ)
 ↓ : H から L への変化(ネガティブ・エッジ)
 : 正パルス
 : 負パルス
 : H レベルで有効
 : L レベルで有効
 : ポジティブ・エッジ・トリガ
 : ネガティブ・エッジ・トリガ

〈図 3〉 t_{pd} の測定方法(25°C)



⑥ トランジェント特性

ICの動作を知るうえでもっとも重要なひとつのパラメータは、入力を加えてから出力が変わるまでどのくらい時間がかかるかということです。

(1) t_{pd} (Propagation Delay Time)

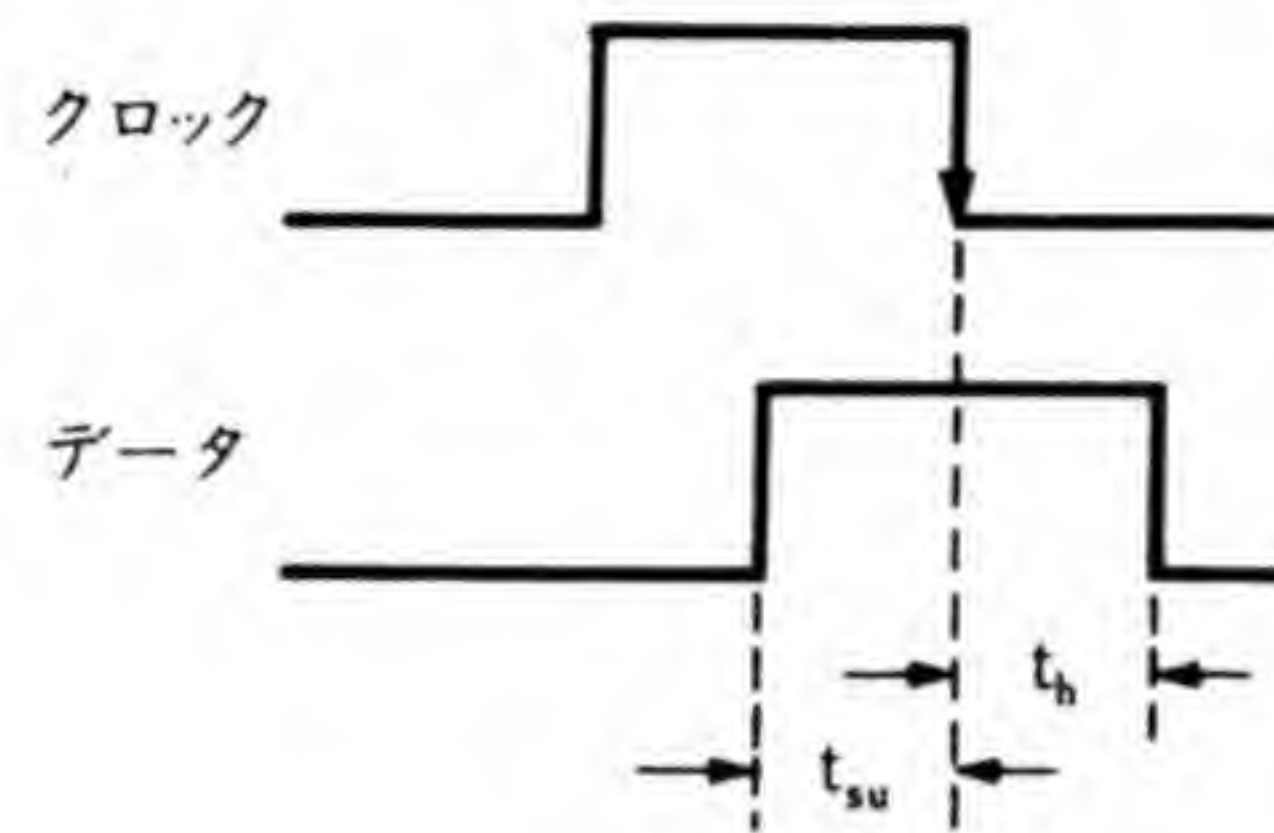
伝搬遅延時間という入力の変化が出力に伝わる時間です。これは入力の種類、HからLか、LからHか、負荷その他の点で、いろいろと変わりますが、図3で示したような測定回路により表3の条件で測ったものが表に記載してあります。

H → L, L → H は特に指定がない場合は、出力がH → L, L → Hになるような入力を加えたときという意味です。H → Z, Z → H, L → Z, Z → L も同じ意味で3ステート出力の回路のON-OFFのスピードを表しています。

(2) t_w (Pulse Width)

入力出力をとわず、スレッシュOLD電圧(N, Sで1.5 V, DTL 入力のTTLで1.3 V, CMOS レベルの入力で2.0 V, TTLレベルの入力で1.4 V)を越える(または割り込む)パルスの幅をパルス幅としています。出力ではシングル・ショットの出力パルス幅、入力ではロード入力、クリア、プリセ

〈図4〉 セットアップとホールド



ット入力、トリガ入力、クロック入力などの最低必要なパルス幅を指定するのに用いています。

(3) f_{max} (Maximum Clock Frequency)

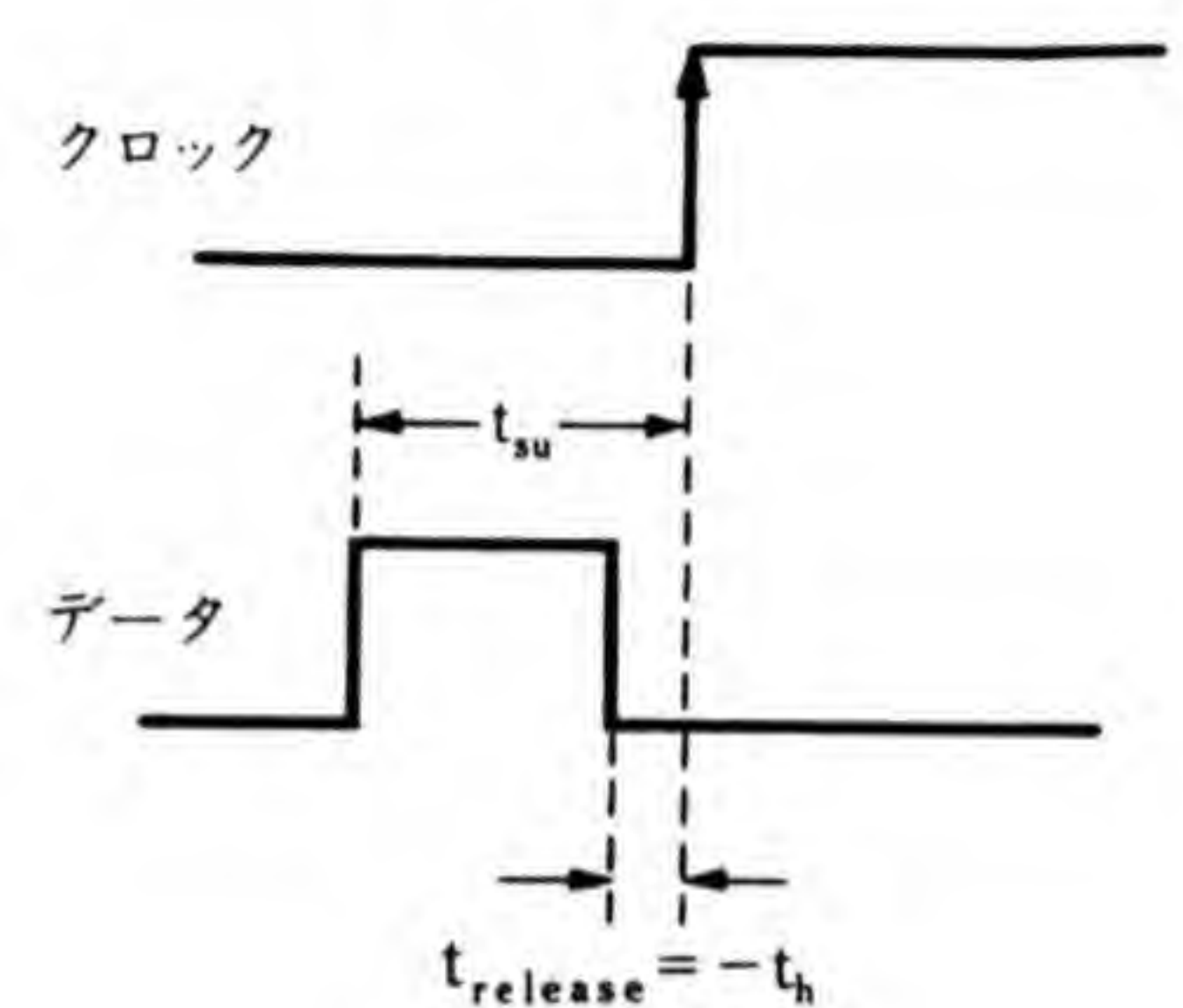
最大クロック周波数で、カウンタやシフトレジスタ、クロック・オシレータ、VCOなどが動作する最高の周波数で、もちろんHとLの比が1の、いわゆるデューティ比50%の波形でテストしたものです。

(4) t_h (Hold Time)

ホールド時間。図4のように一つの入力のデータを別の入力によって内部に取り込むとき、クロックやセットの信号の変化後データをいつまで安定させていなければならないかという時間をいいます。場合によっては0のことも負のこともあり得ます。

(5) t_{su} (Setup Time)

〈図5〉 リリース時間



セットアップ時間、 t_h と逆にクロックなどの変化よりどれだけ前にデータを安定させておかなければならないかという時間です。

ICのファンクションによってはクロックの立ち上がり、立ち下がりどちらかの時点が基準になっています。

(6) $t_{release}$ (Release Time)

クロックなどが変化する前にデータが変わってしまってもよい時間。図5のように負のホールド時間と考えられます。

この3種の時間はフリップフロップやレジスタのセットなどのときリリースが起こったり、期待したとおりのデータが入らなかったりしたときに考えなければならない

ものです。単なるマスタ・スレーブやエッジ・トリガでかなりちがいますので、規格表の個々の解説をよく参照してください。

7 表の見方

データは可能な限り 1 品種が 1 ページの中に納まるようにしてあります。

基本的な設計に間に合う程度のものをスペースの許す範囲で盛り込んでありますが、図版の都合上 1 ページに入りきらずに 2 ページを割いたものも一部にあります。

各ページは、ピン接続図、動作特性、入出力電流特性、各社互換表を主体とし、その他必要と思われるブロック図、真理値表、動作表などを組み合わせてあります。

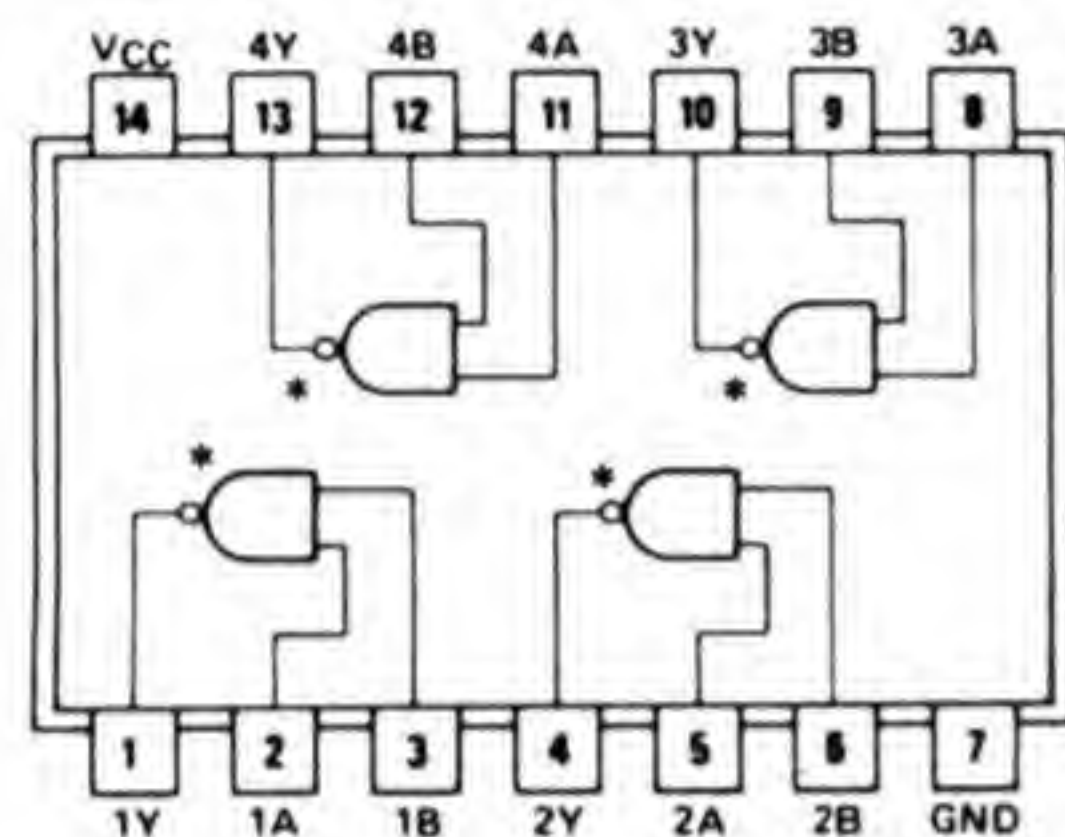
入出力電流特性はすべて最大値を入れています。またそのなかで、CMOS 入力の各シリーズの入力電流の項目は不用と思われるので省略しました。

各社互換表は、相当品のあるものについて“D、F、DF”を入れています。D は DIP、F はフラット・タイプ、S は SOP タイプ、DF は両タイプのパッケージがあることを表します。

ピン接続図中の*は“オープン・コレクタ”を表します。

個別特性表

Quad 2 Input O. C. NAND



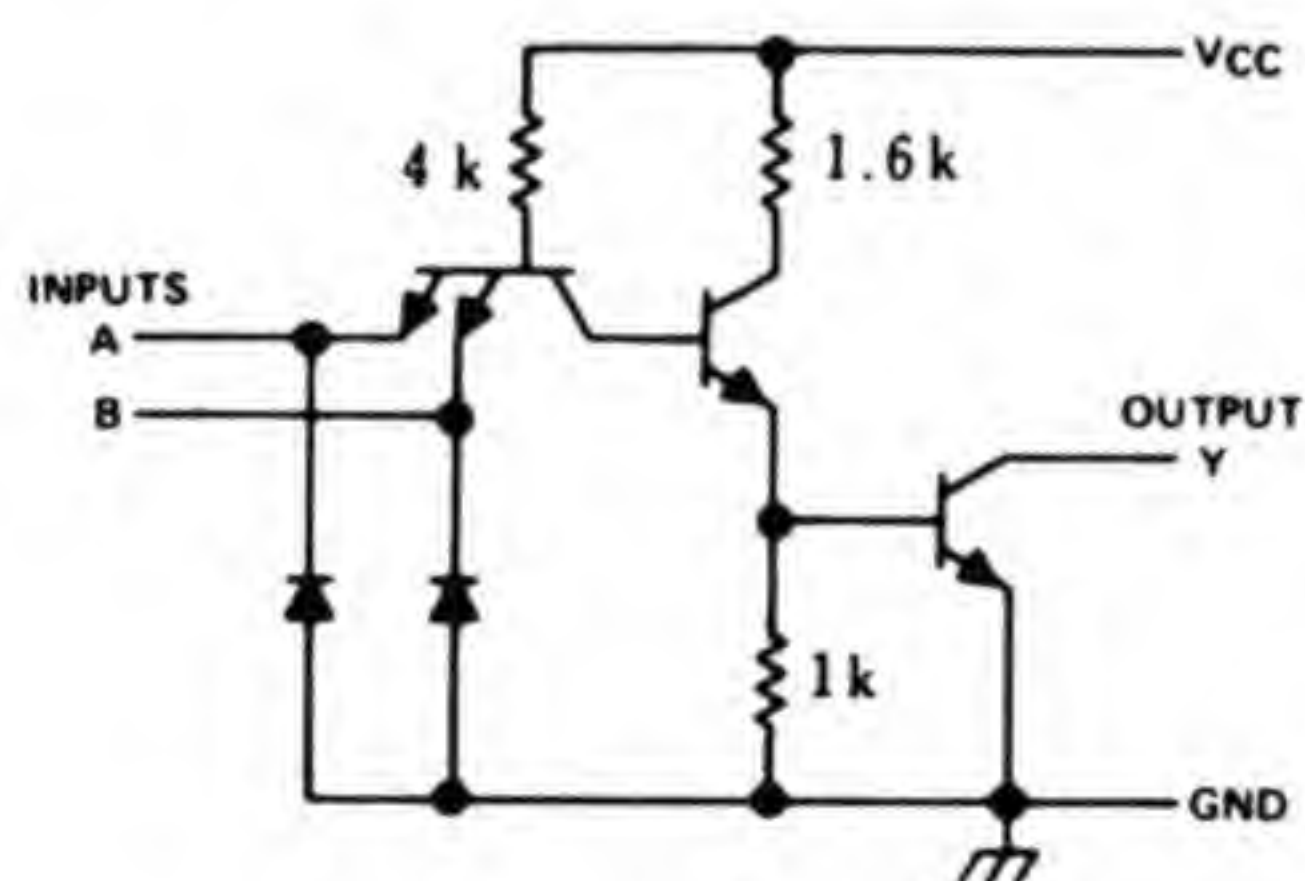
○オープンコレクタ

○入出力の向きが一般のゲートと逆

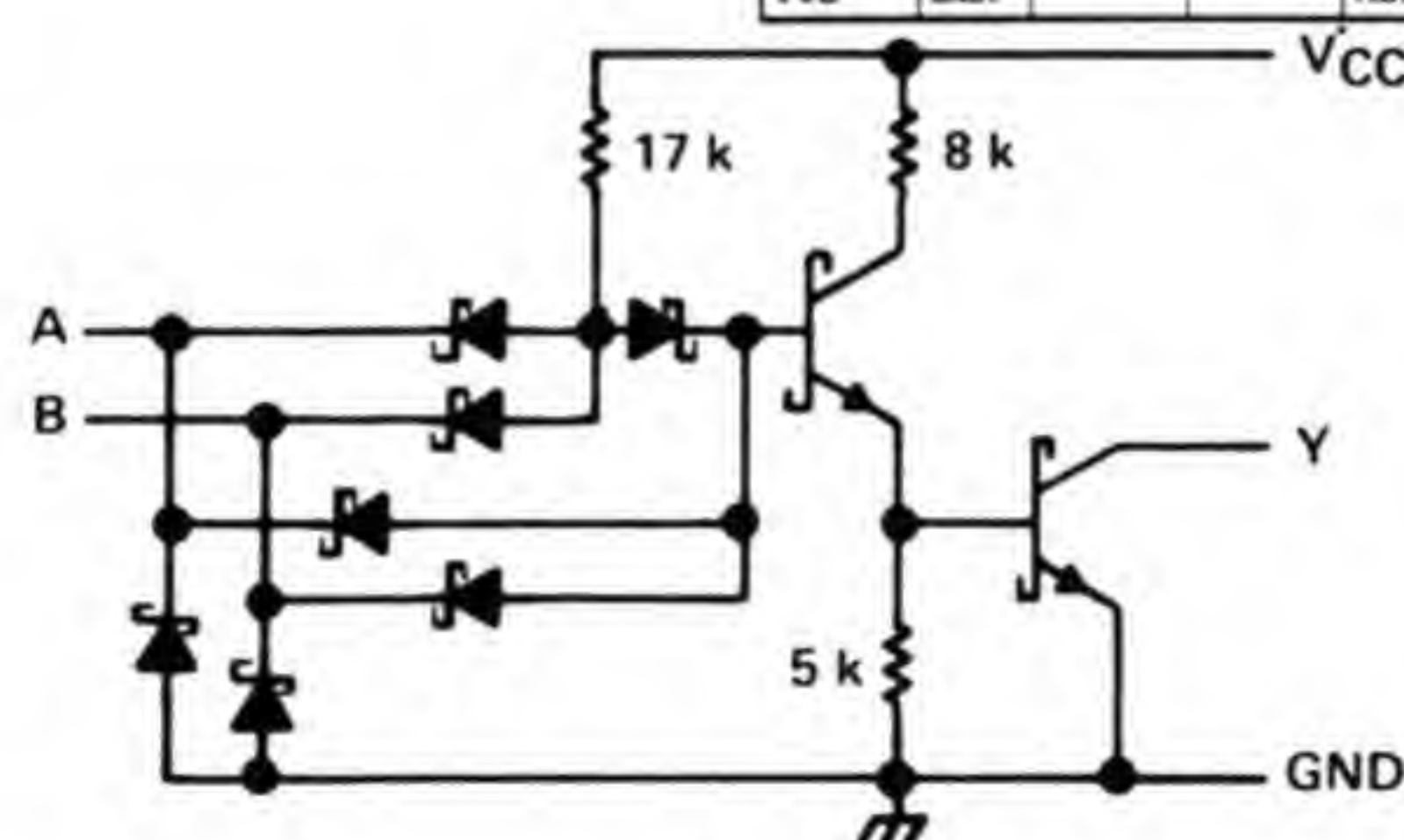
参考品種
7403
7412
7422

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54		20				23					ns
tpd	max			H→L	↓		28	28		5.3				22					ns
VOH	max						5.5	5.5		5.5									V
Icc	max				H		1.6	0.85		2.8				0.01					mA
Icc	max				L		4.4	3		10.2				0.01					mA
I _{IH}	max	ALL	H				20	20		20									μA
I _{IL}	max	ALL	L				0.4	0.1		0.6									mA
I _{OH}	max			ALL	H		0.1	0.1		0.1				4					mA
I _{OL}	max			ALL	L		8	8		20				4					mA

7403と電気的には同等、したがってVcc、およびGNDを入れ替え、逆向きにして、さしかえ可能。



7401

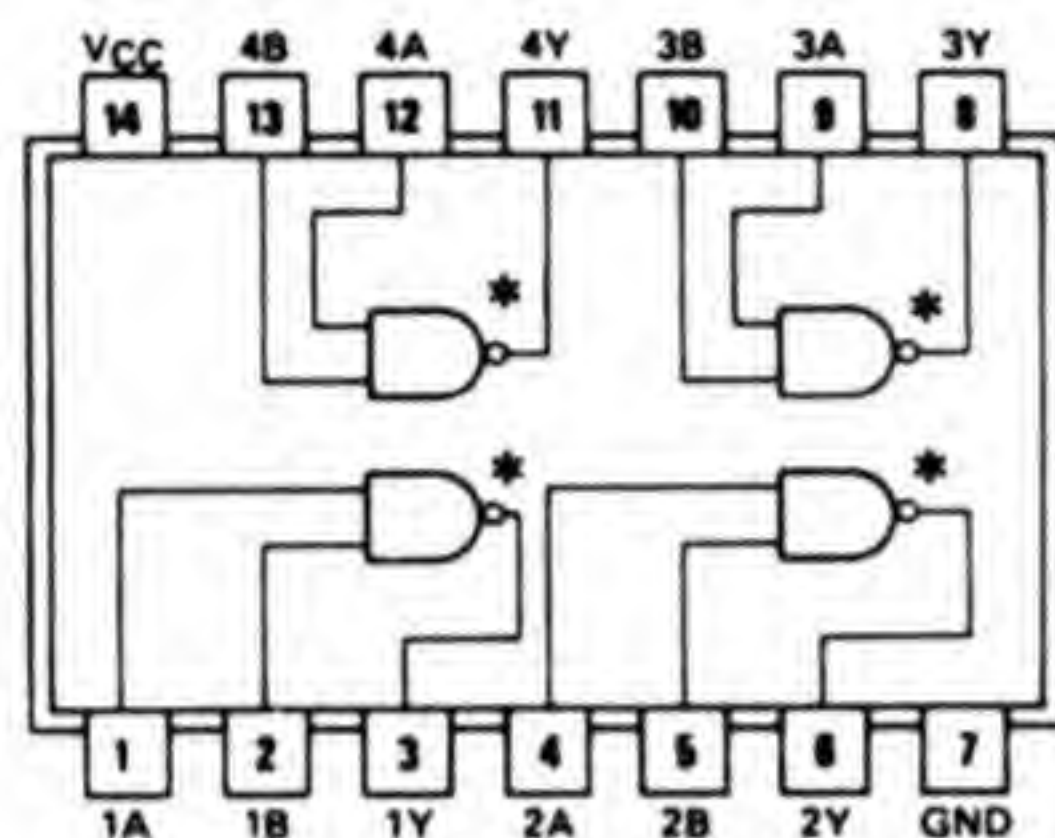


74LS01

[illegible]

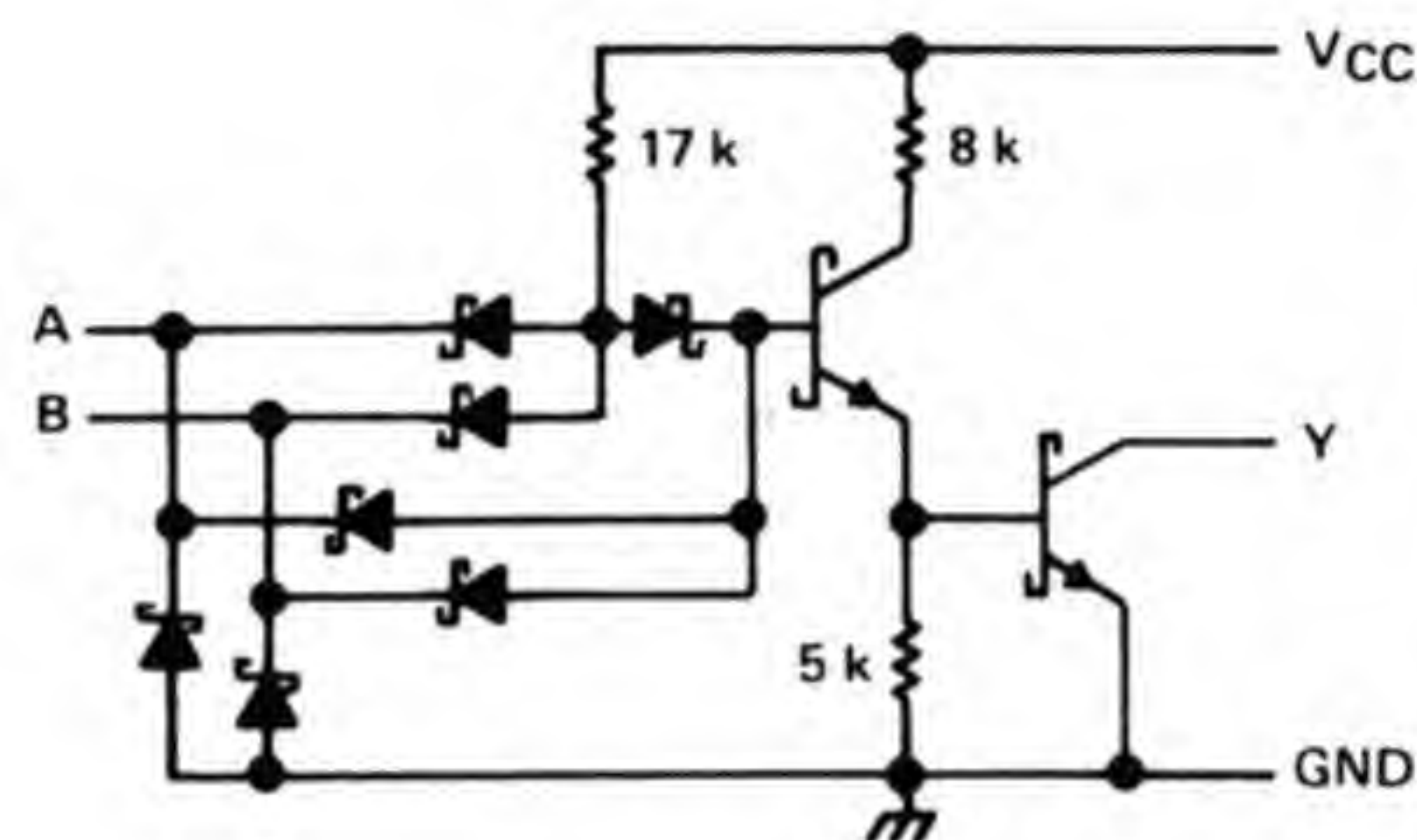
7403

Quad 2 Input O.C. NAND

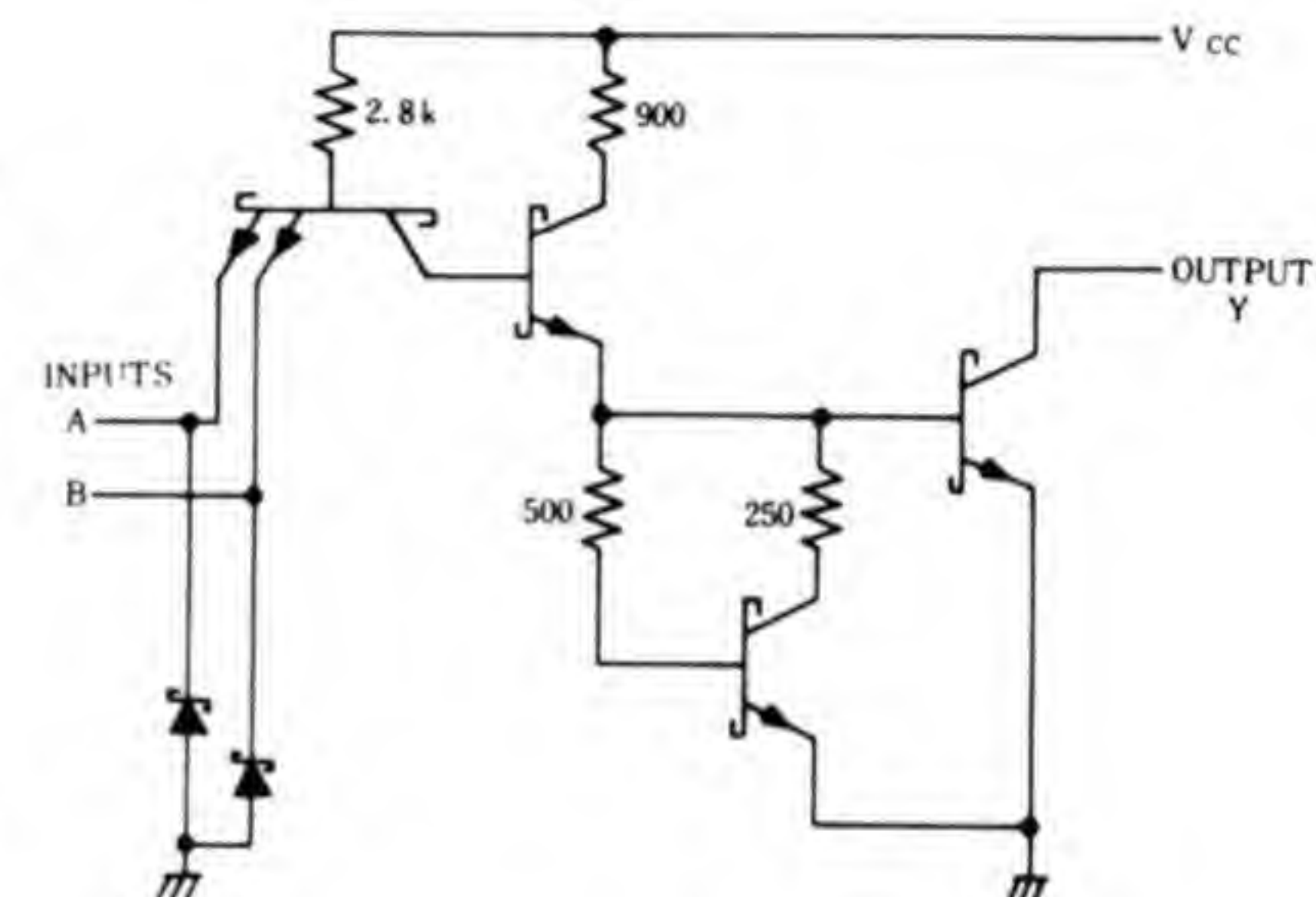


○7401の入出力の向きを一般のゲートと同じ方向にしたタイプ

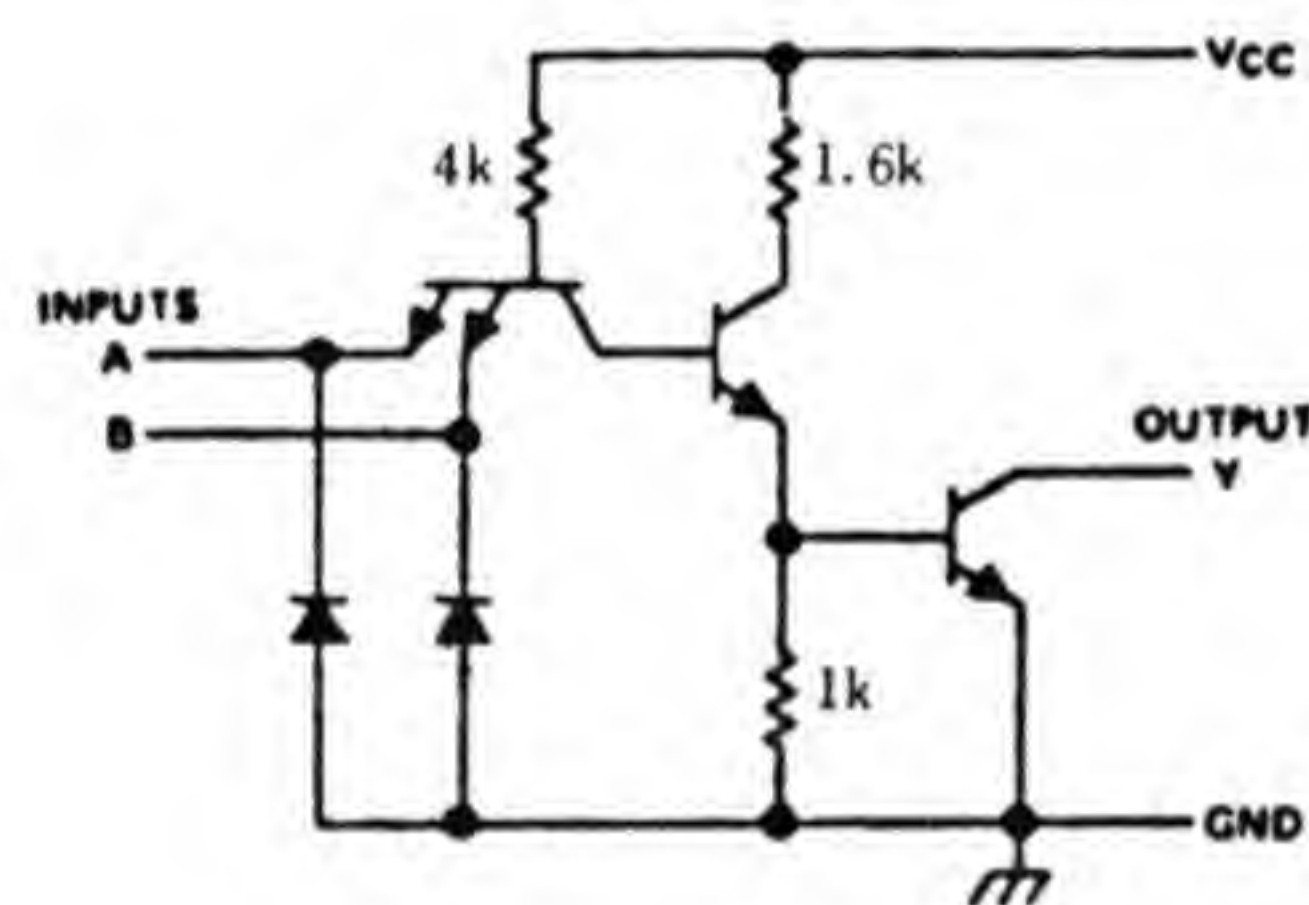
○7400のオープンコレクタタイプ



74LS03



74S03



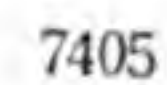
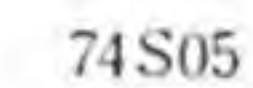
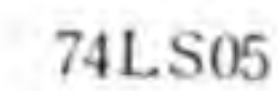
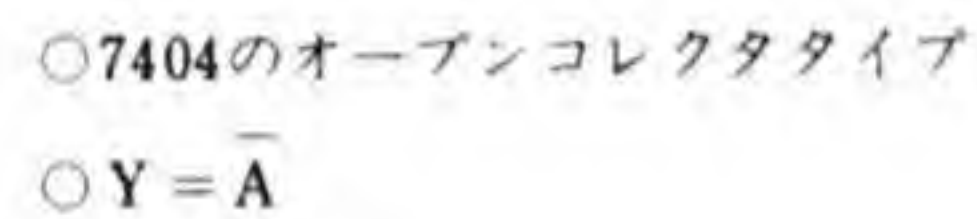
7403

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	54	33	20				24		30			ns
tpd	max			H→L	↓		28	22	12	5.3				24		30			ns
VOH	max						5.5	5.5	5.5	5.5									V
Icc	max				H		1.6	0.85	1.6	2.8				0.02		0.02			mA
Icc	max				L		4.4	3	7.8	10.2				0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20									μA
IIL	max	ALL	L				0.4	0.1	0.1	0.6									mA
IOH	max			ALL	H		0.1	0.1	0.1	0.1									mA
IOL	max			ALL	L		8	8	24	20				20		20			mA

[illegible]

参考品種
7401
7412
7422

Hex O.C. Inverters

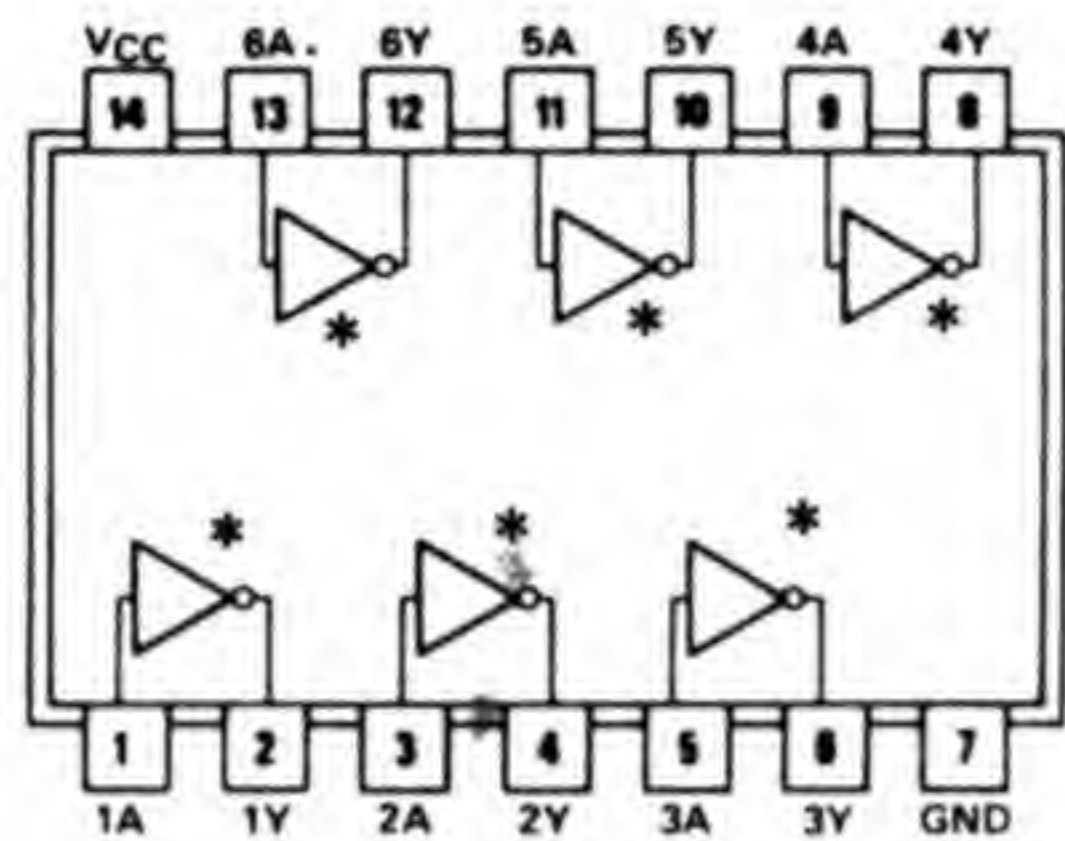


参考品種
7401
7403
7412

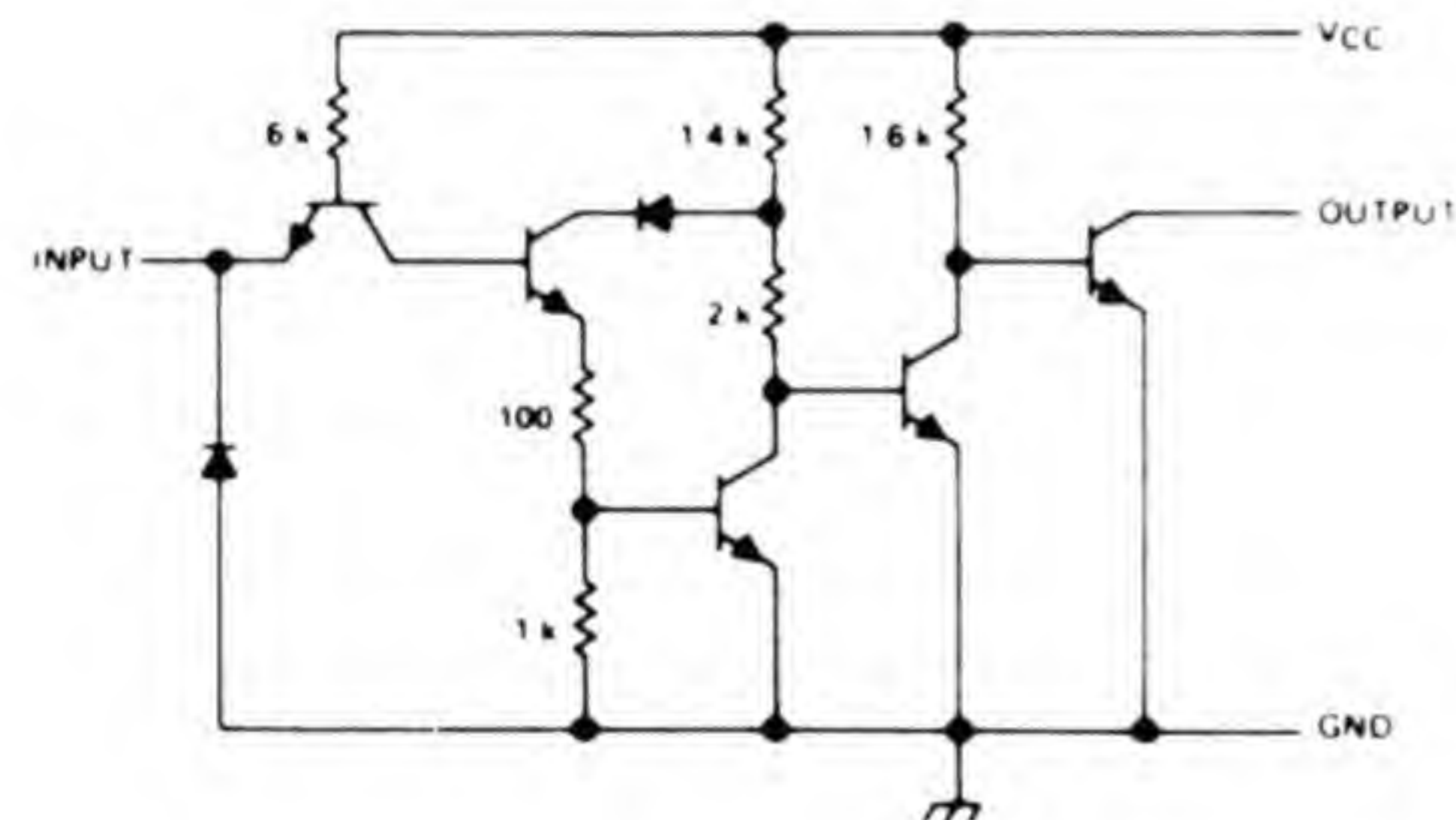
[illegible]

7406

Hex O.C. Inverters



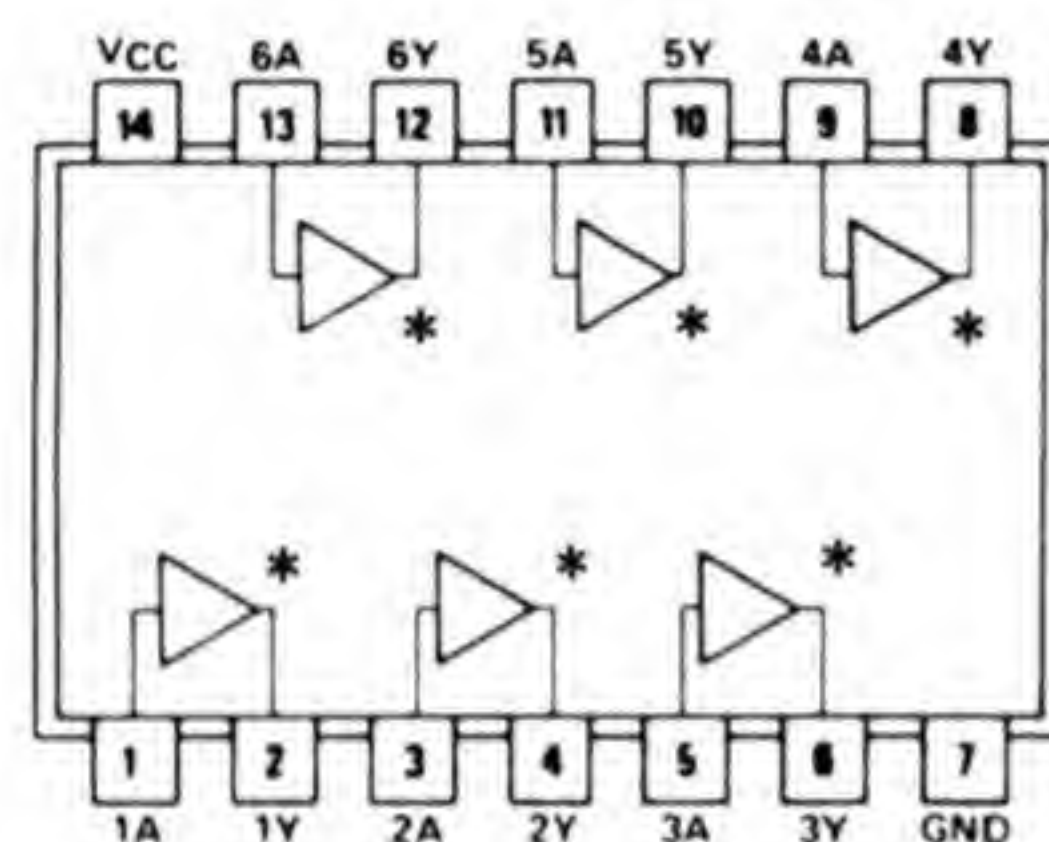
○7405の高耐圧出力型（30V耐圧）

[illegible]

参考品種
7416

[illegible]

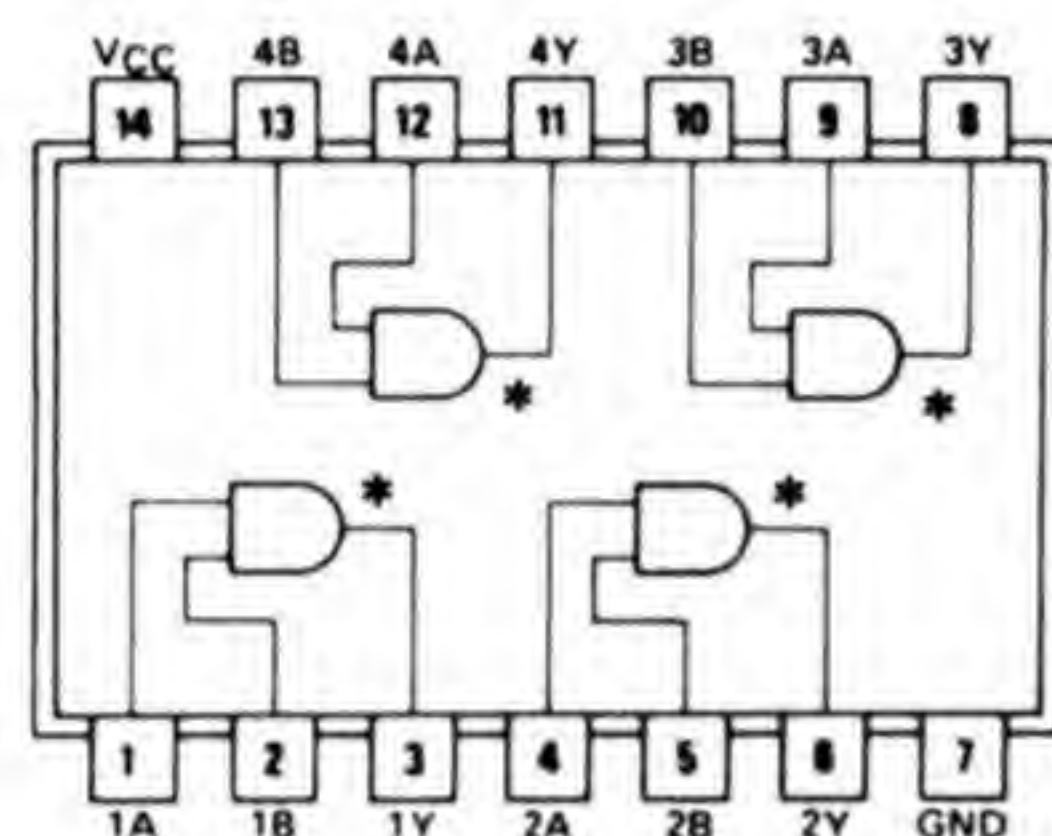
7407



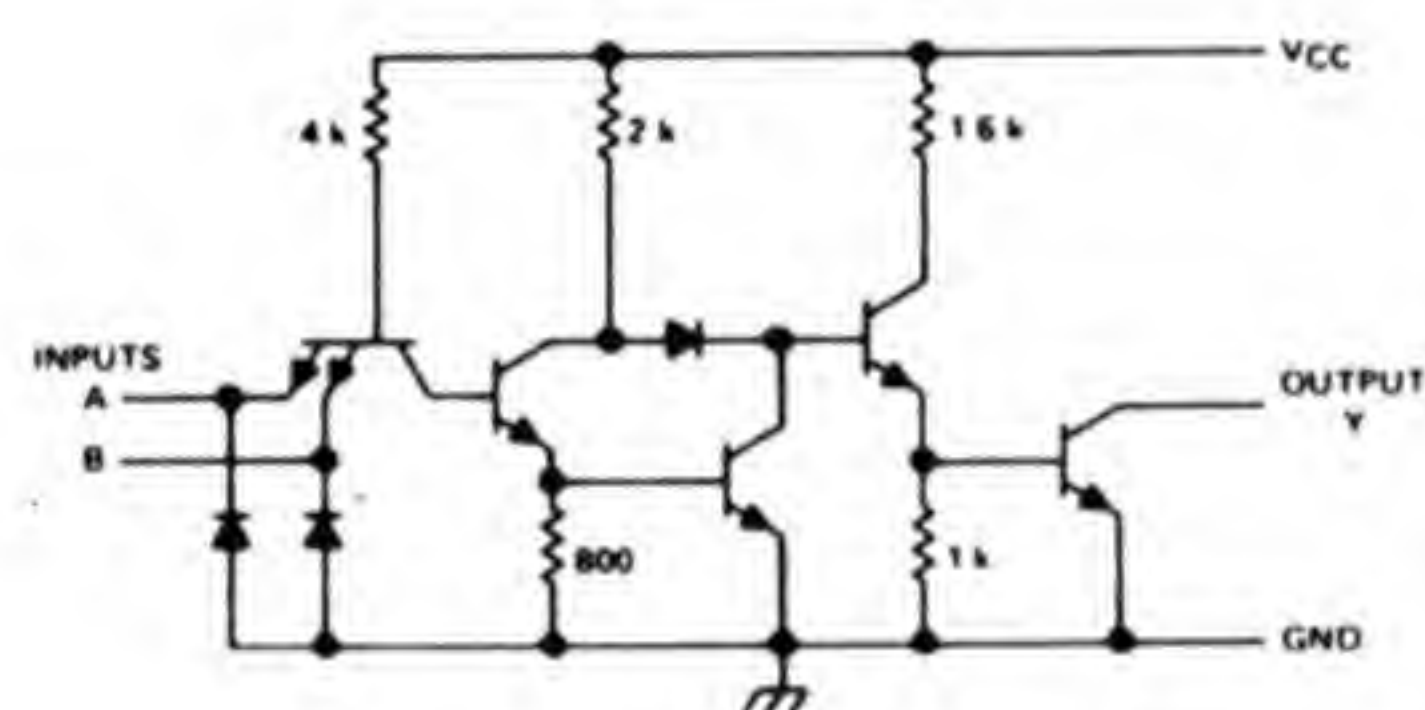
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
t _{pd}	max			L→H	↑		10			6.5				23					ns
t _{pd}	max			H→L	↓		30			7.5				23					ns
VOH	max						30			12									V
I _{cc}	max				H		14			14				0.01					mA
I _{cc}	max				L		45			4.5				0.01					mA
I _{IH}	max	ALL	H				20			206									μA
I _{IL}	max	ALL	L				0.2			0.6									mA
I _{OH}	max			ALL	H		0.25			0.25									mA
I _{OL}	max			ALL	L		40			64				4					mA

[illegible]

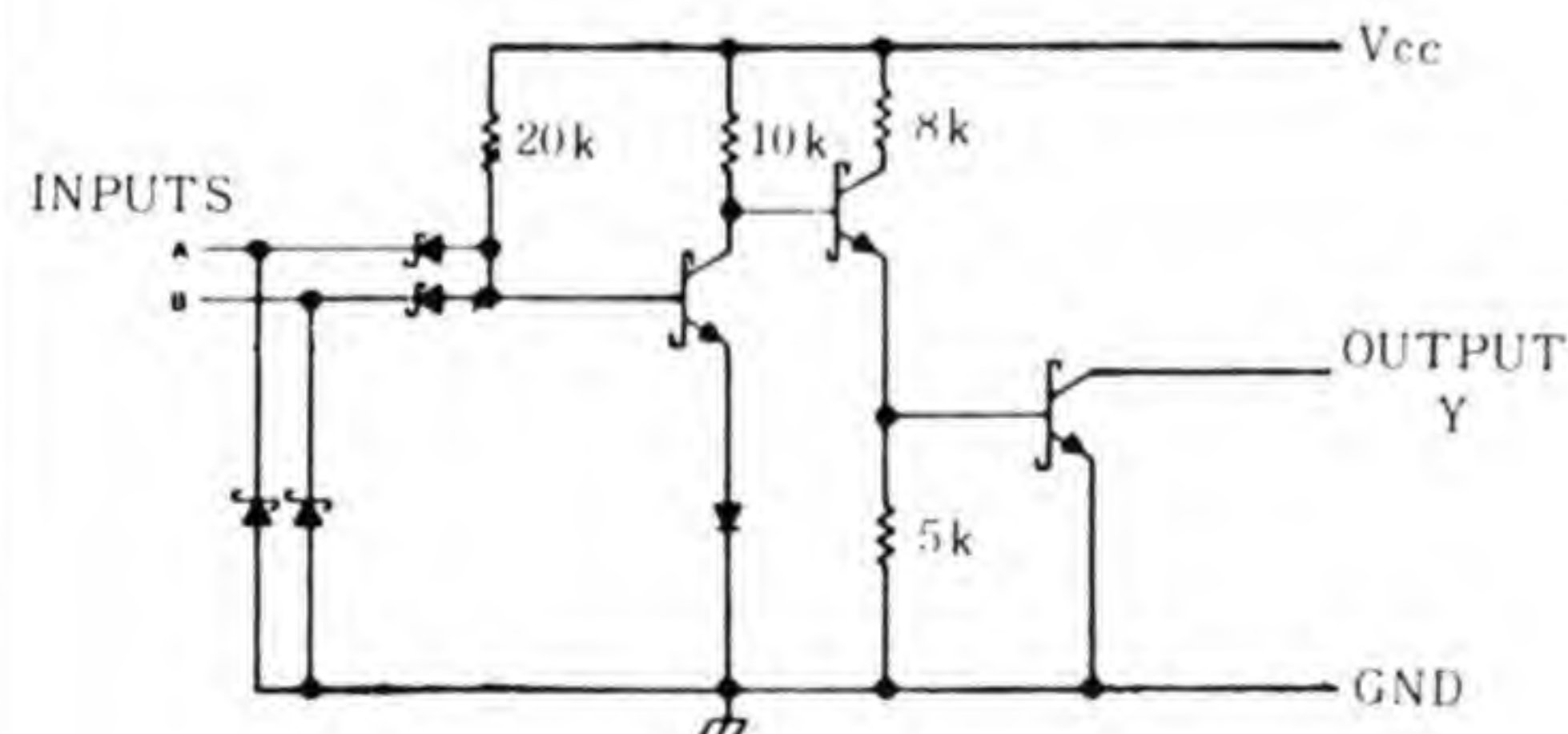
Quad 2 Input O. C. AND



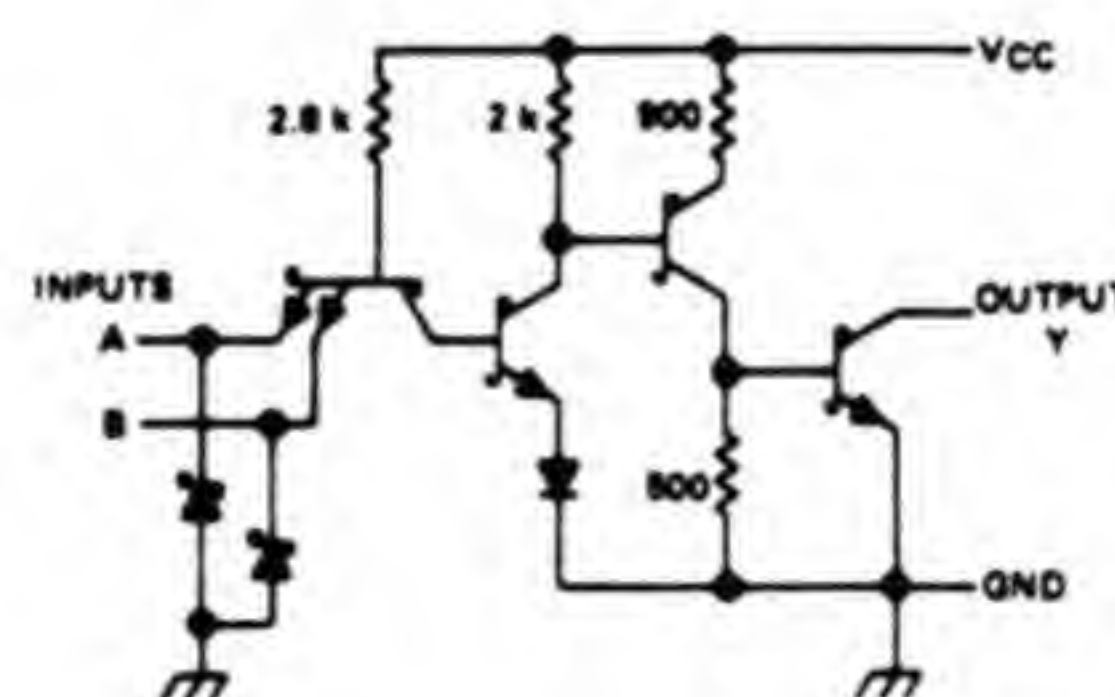
○7408のオープンコレクタタイプ

$$\odot Y = AB$$


7409



74LS09



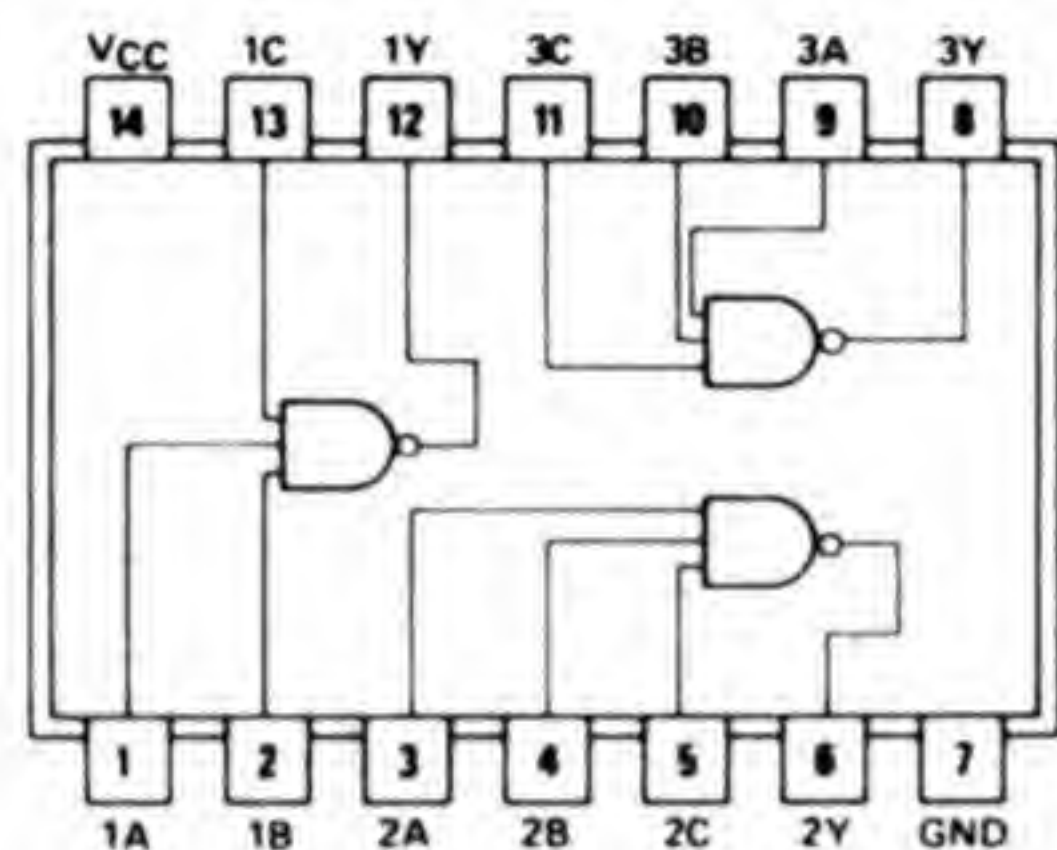
74S09

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		35	54		20				28					ns
tpd	max			H→L	↓		35	15		4.3				22					ns
VOH	max						5.5	5.5		5.5									V
Icc	max				H		4.8	2.4		8.3				0.02					mA
Icc	max				L		8.8	4		12.9				0.02					mA
I _{IH}	max	ALL	H				20	20		20									μA
I _{IL}	max	ALL	L				0.4	0.1		0.6									mA
I _{OH}	max			ALL	H		0.1	0.1		0.1				4					mA
I _{OL}	max			ALL	L		8	8						4					mA

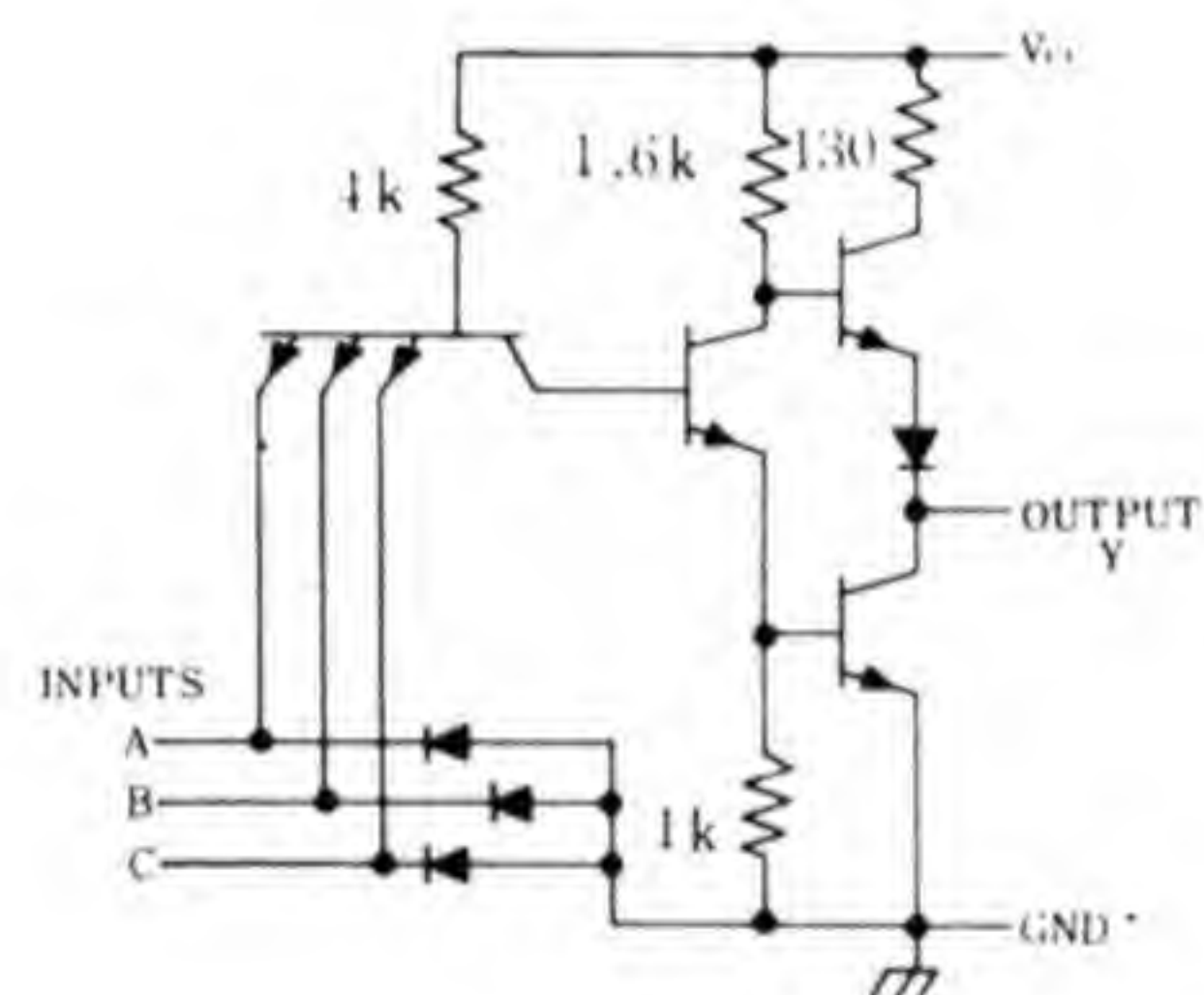
[illegible]

7410

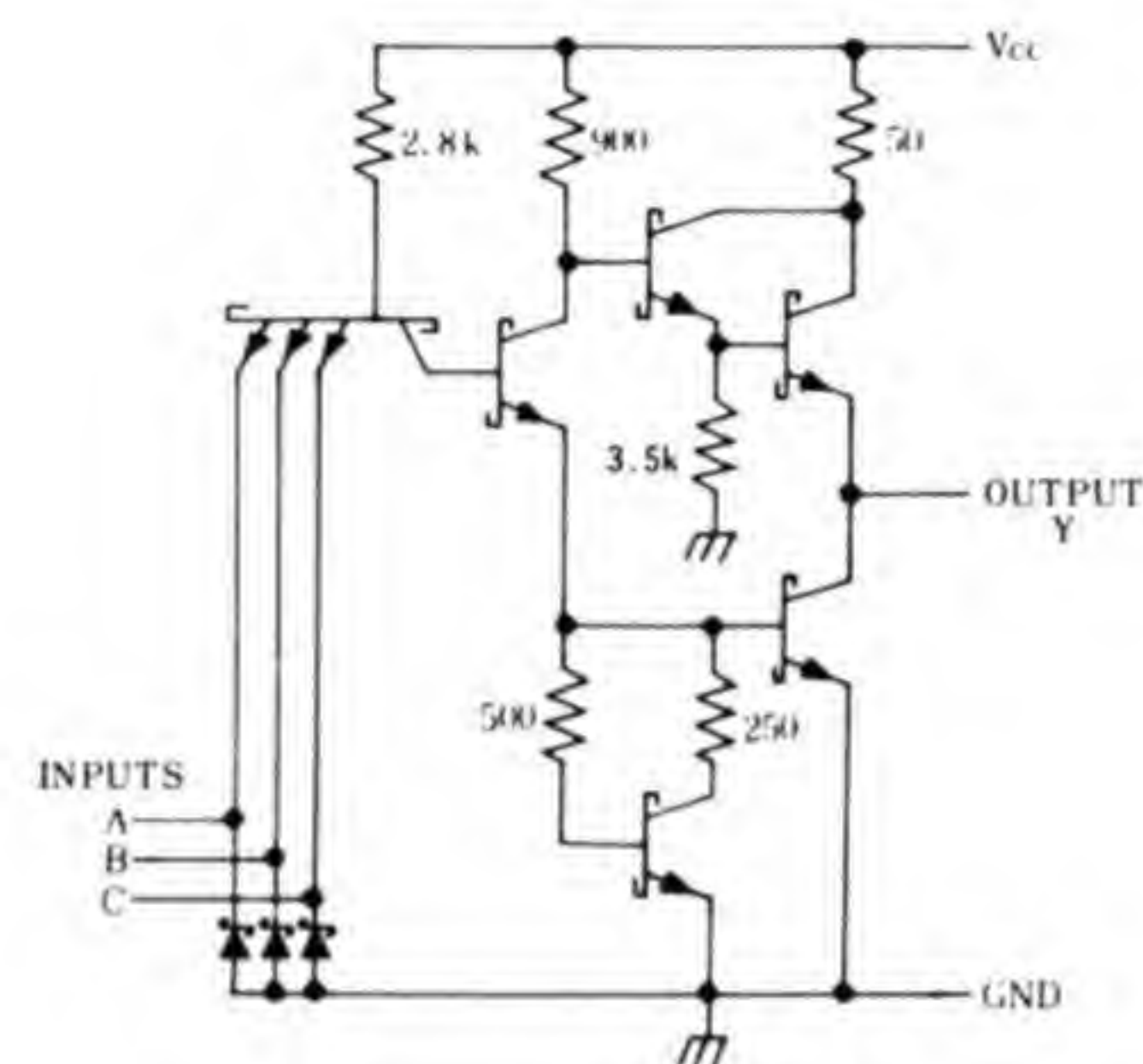
Triple 3 Input NAND



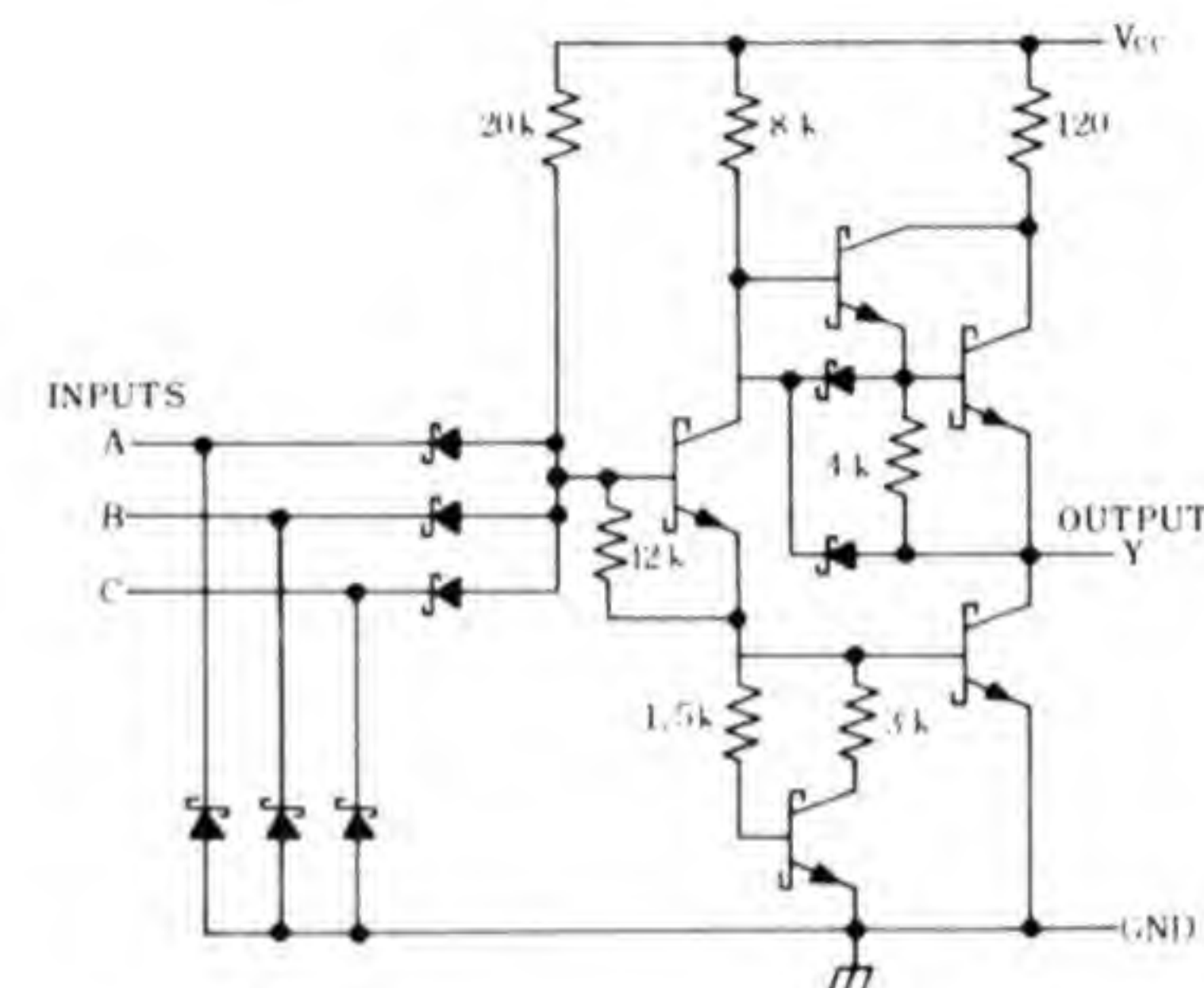
$$\odot Y = \overline{A \cdot B \cdot C}$$



7410



74S10



74LS10

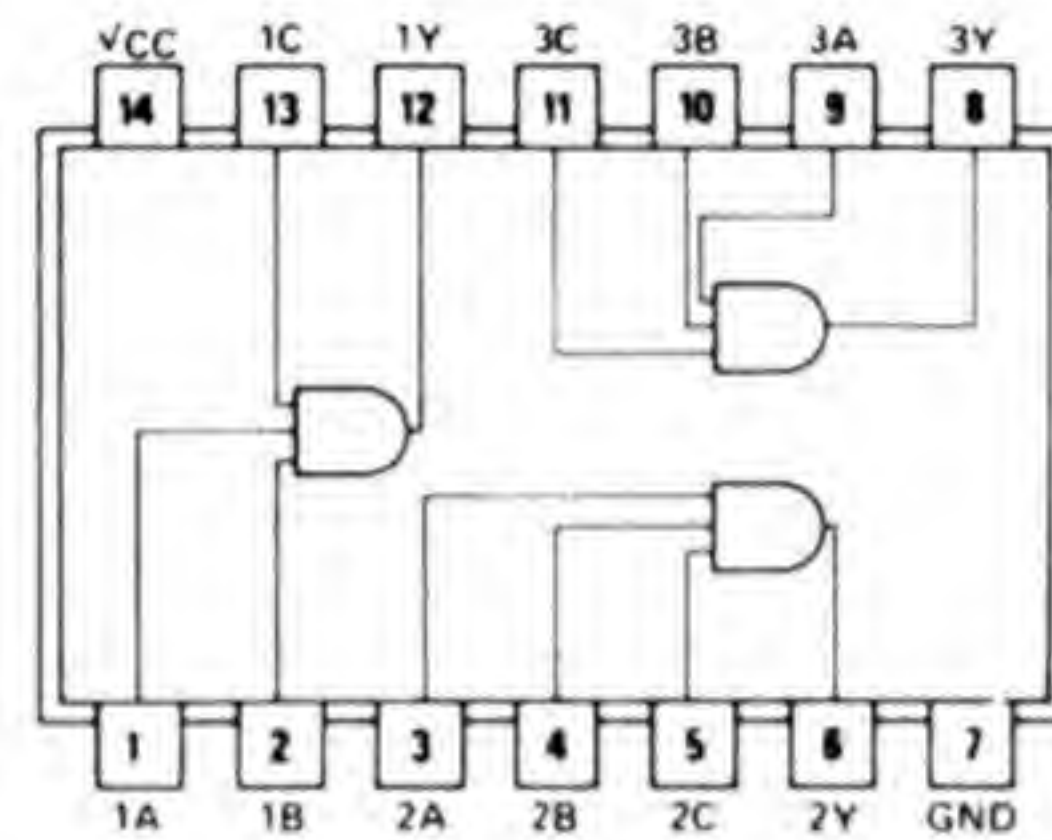
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	11	8	6	4.5	11.1	12.3	24		30			ns
tpd	max			H→L	↓		15	10	7	5.3	4.5	11.1	12.3	24		30			ns
lcc	max				H		1.2	0.6	1.2	2.1	2.4	0.04	0.04	0.02		0.02			mA
lcc	max				L		3.3	2.2	5.8	7.7	13	0.04	0.04	0.02		0.02			mA
I _{IH}	max	ALL	H				20	20	20	20	20								μA
I _{IL}	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
I _{OH}	max			ALL	H		0.4	0.4	2.6	1	2	24	24	4		4			mA
I _{OL}	max			ALL	L		8	8	24	20	20	24	24	4		4			mA

[illegible]

参考品種
7400
7420
7430

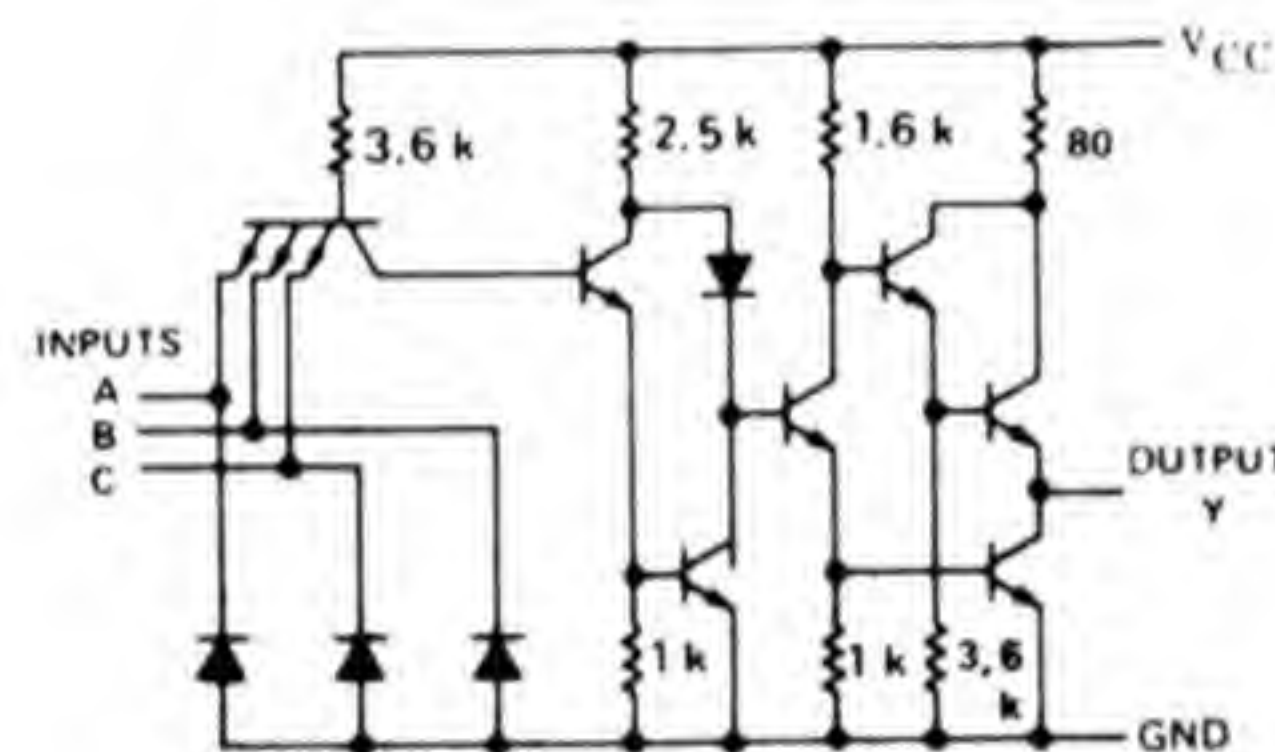
7411

Triple 3 Input AND

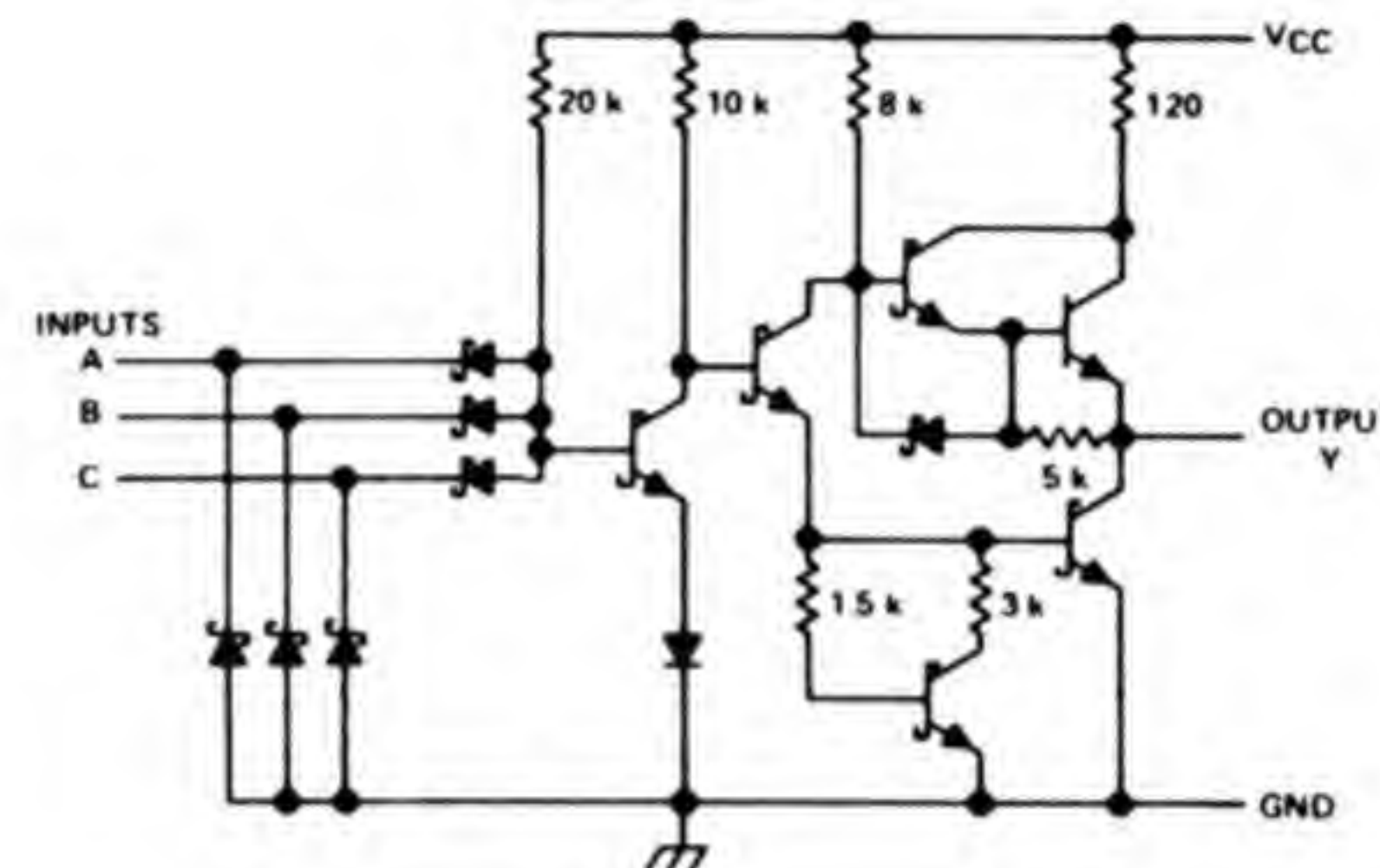


○7410のANDタイプ

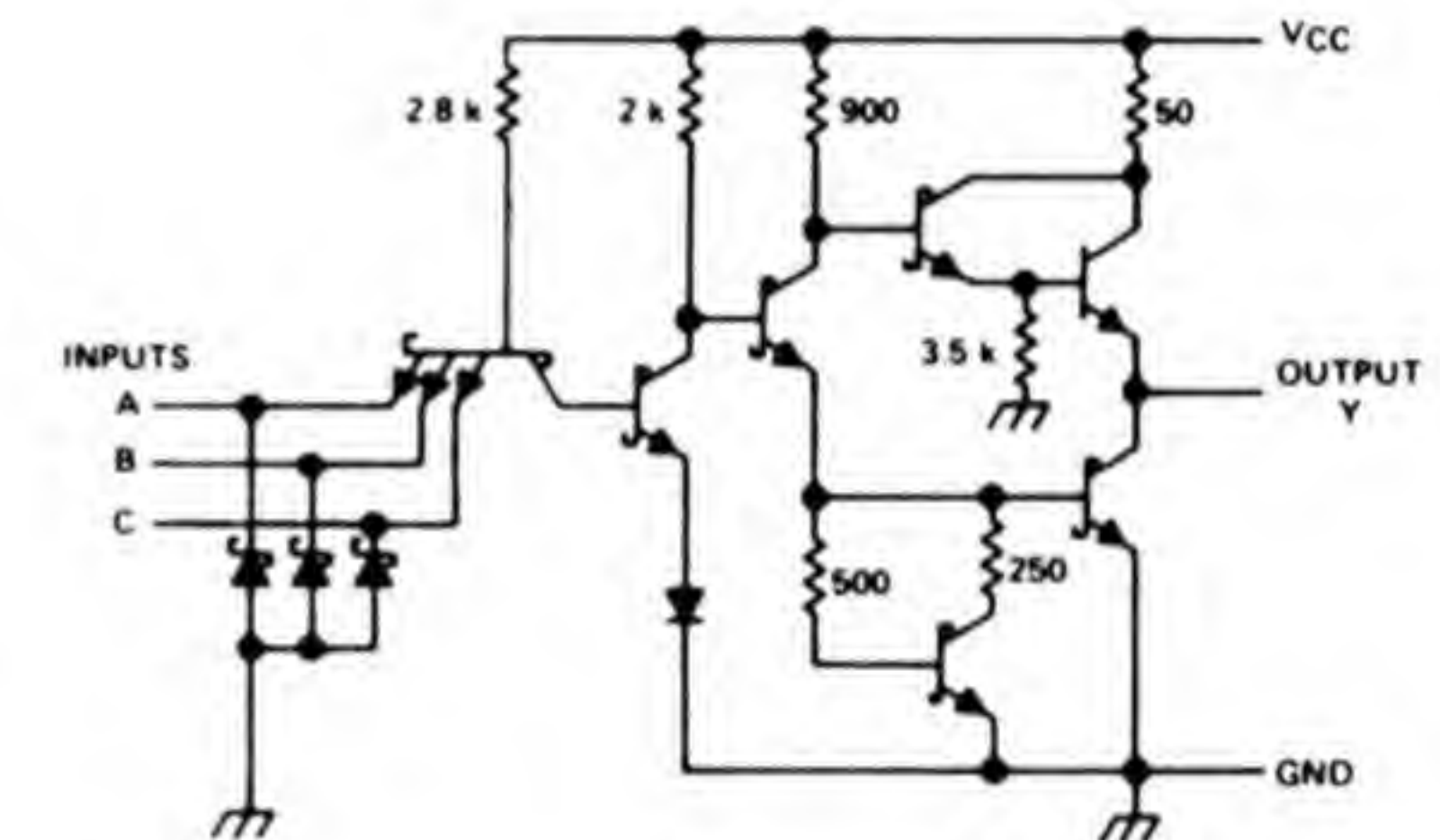
$$Y = A \cdot B \cdot C$$



7411



74LS11



74S11

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	13	10	6.6	6	8.5		25		31			ns
tpd	max			H→L	↓		20	10	9	6.5	5.5	7.5		25		31			ns
Icc	max			H			3.6	1.8	2.3	6.2	7	0.04		0.02		0.02			mA
Icc	max			L			6.6	3	7	9.7	18	0.04		0.02		0.02			mA
IiH	max	ALL	H				20	20	20	20	20								μA
IiL	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max		ALL	H			0.4	0.4	2.6	1	2	24		4		4			mA
IOL	max		ALL	L			8	8	24	20	20	24		4		4			mA
						社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
						日立		DF							DF				
						MOT		DF		DF		DF	DF	DF	DF				
						日電									DF				
						NS		DF	DF	DF	DF	DF	DF	DF					
						PHIL									DF		DF		
						RCA									DF		DF		
						SIGNE			DF	DF									
						T1		DF	DF	DF	DF	DF	DF	DF	DF				
						東芝		D		D		DF		DF	DF				
						SGS									DF				
						CYPRES													
						IDT													

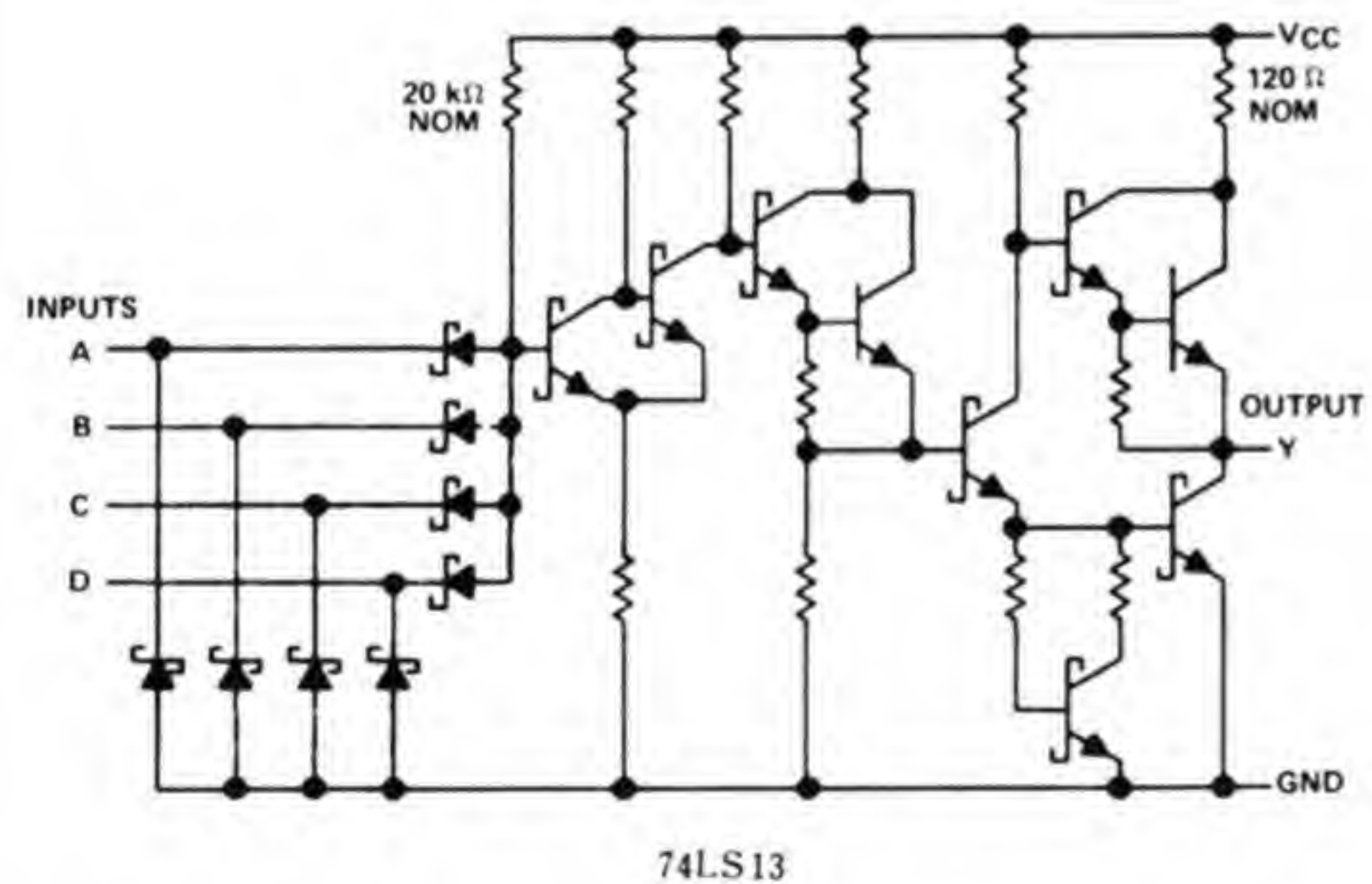
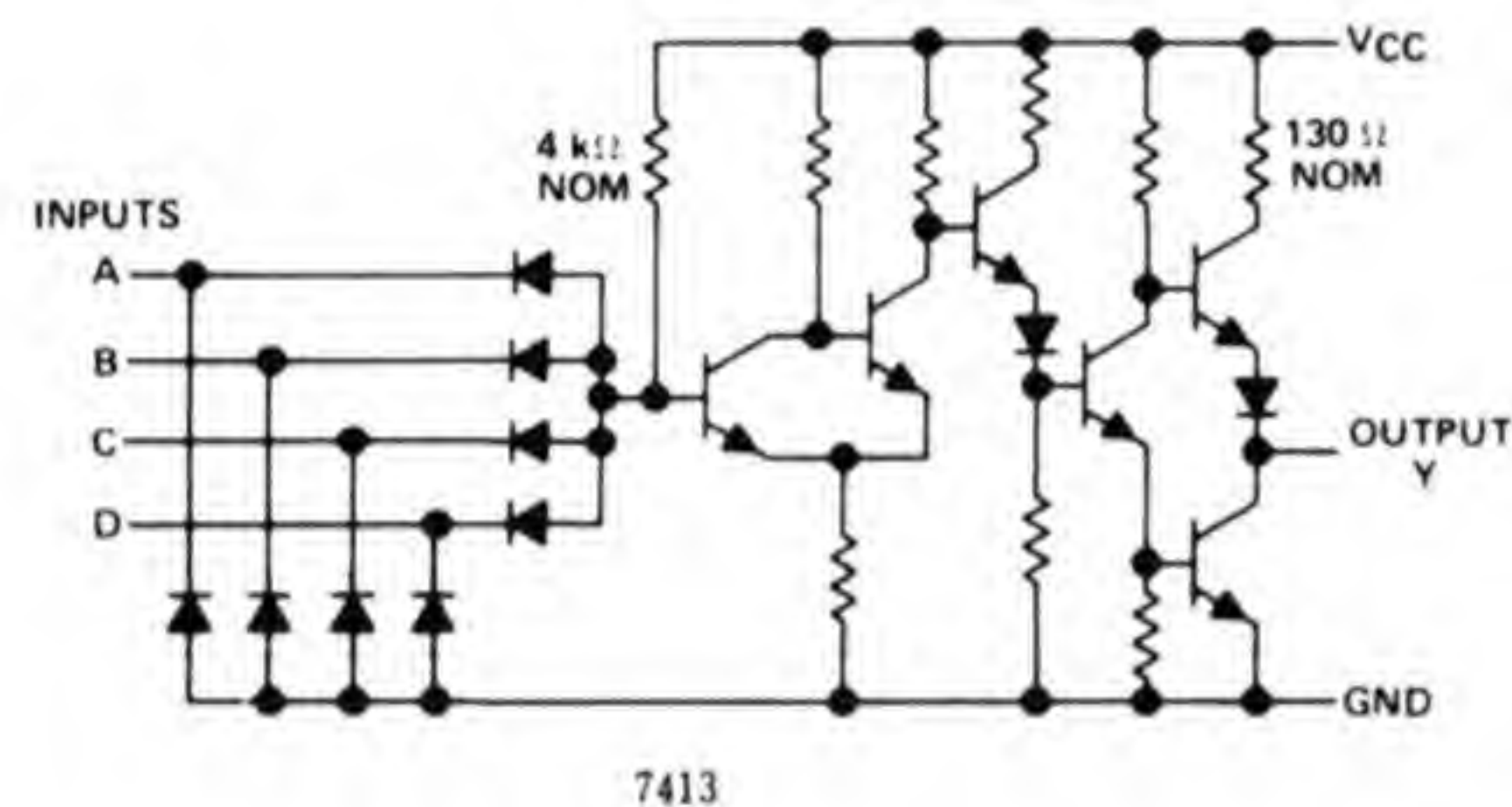
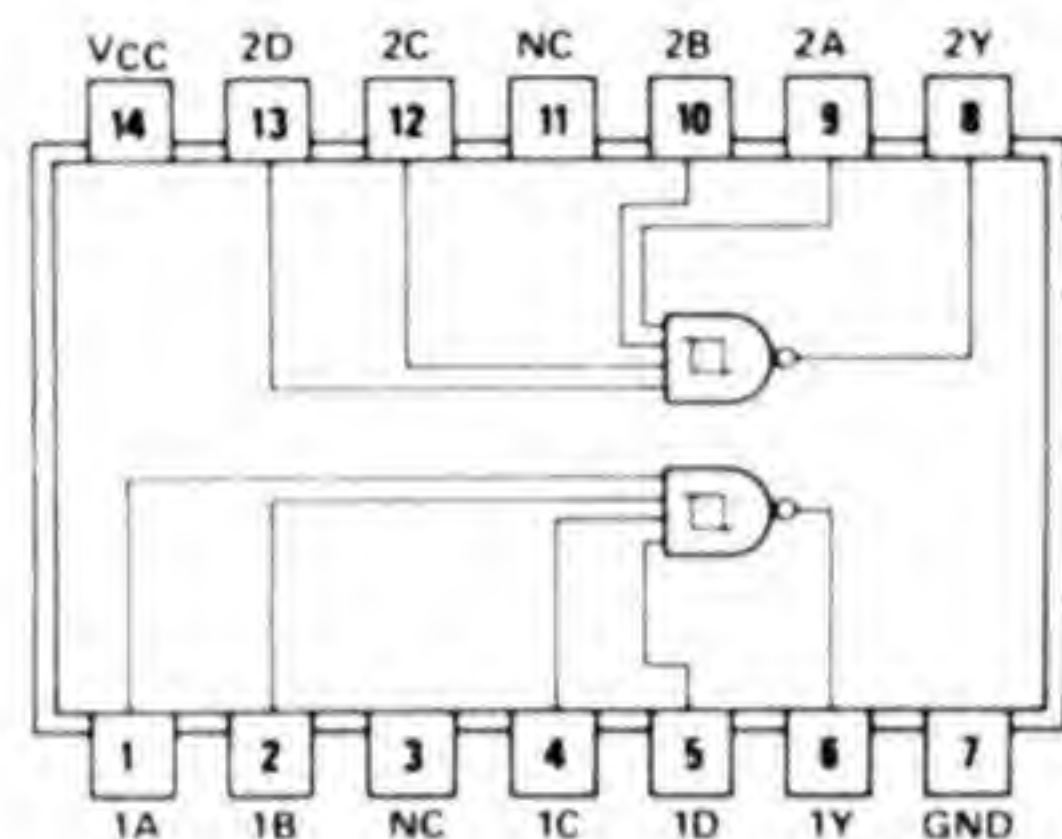
参考品種

7408

7421

7413

Dual 4 Input NAND Schmitt Triggers



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		22			12									ns
tpd	max			H→L	↓		27			18.5									ns
VT+	typ						1.6												V
VT-	typ						0.8												V
VT_def	min						0.4			0.4									V
Icc	max				H		6			8.5									mA
Icc	max				L		7			10									mA
IiH	max	ALL	H				20			20									μA
IiL	max	ALL	L				0.4			0.6									mA
Ith+	max	ALL	*				0.14												mA
Ith-	max	ALL	-				0.18												mA
IOH	max			Y	H		0.4			1									mA
IOL	max			Y	L		8			20									mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT		D			D									
日電														
NS		DF	DF											
PHIL														
RCA														
SIGNE														
TI		DF				DF								
東芝		D												
SGS														
CYPRES														
IDT														

参考品種

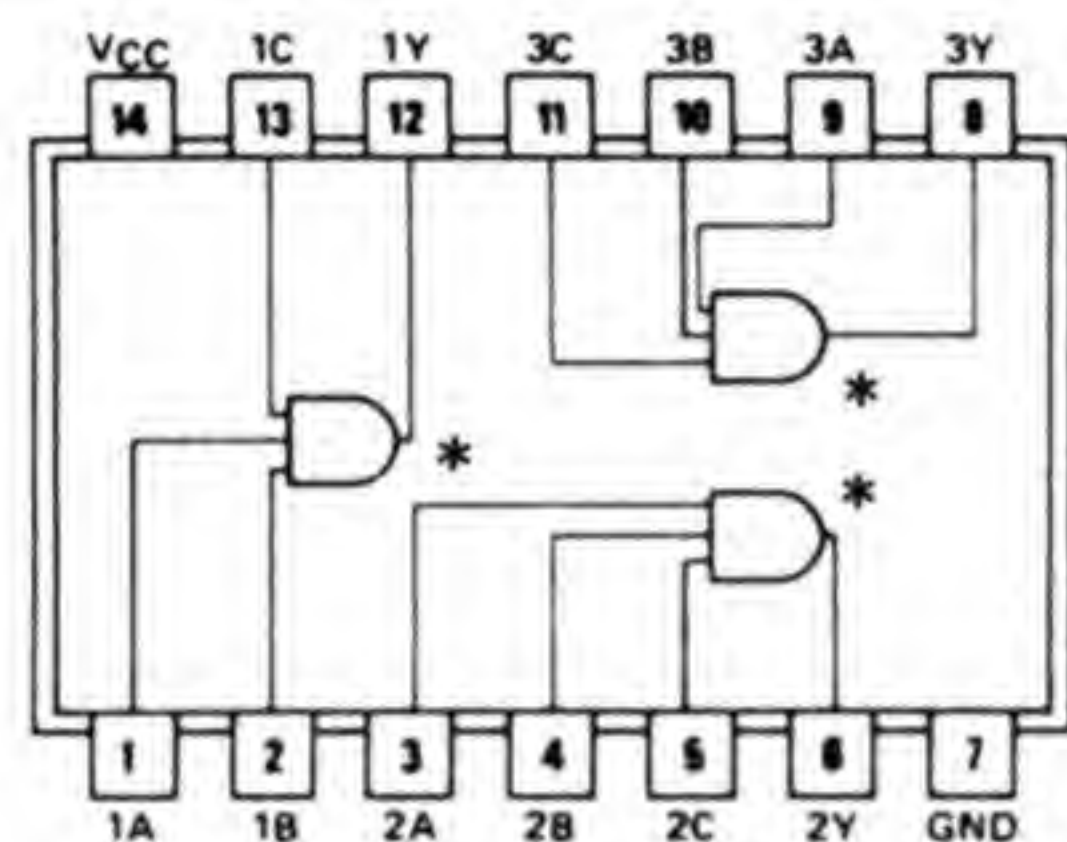
7414

74132

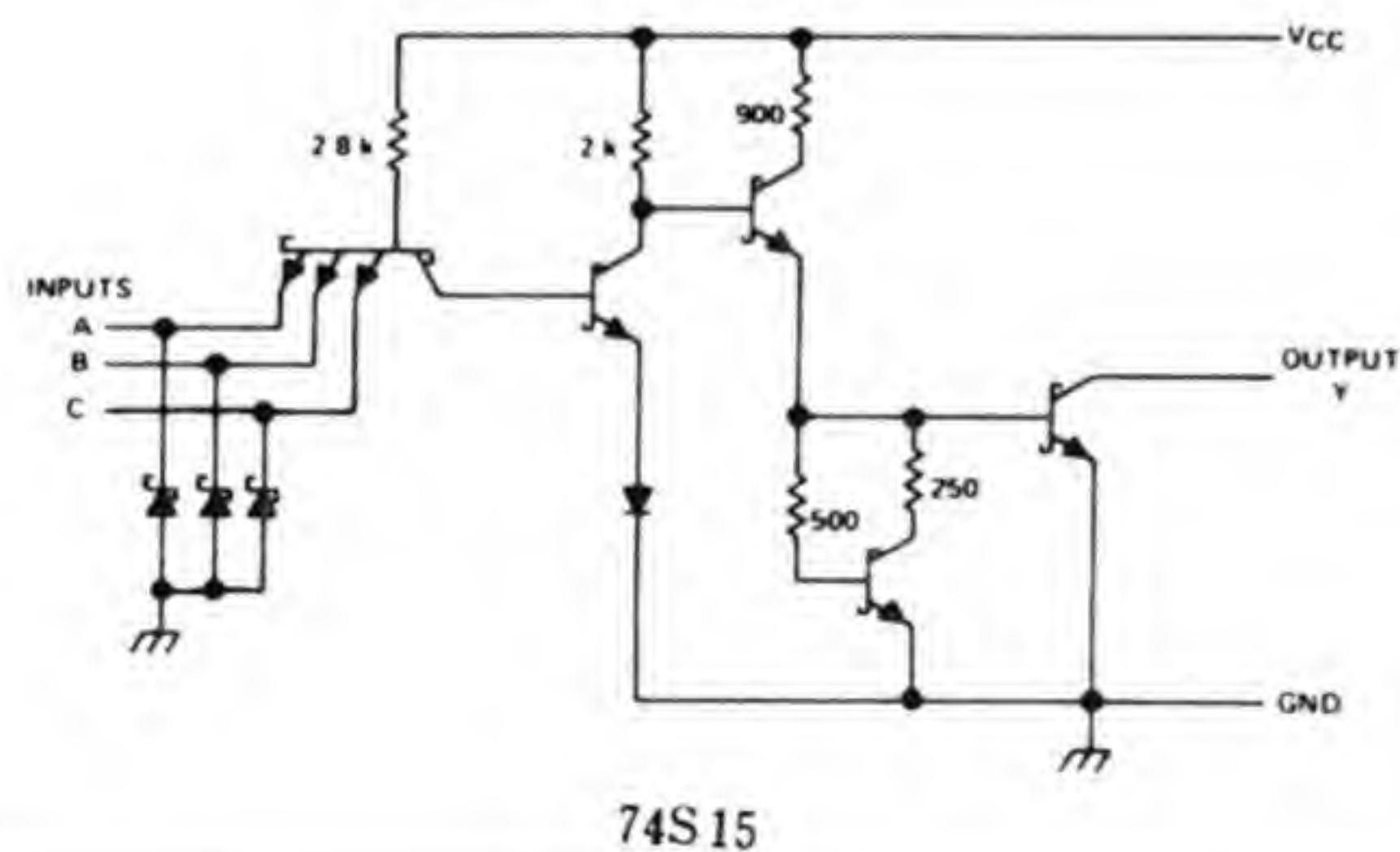
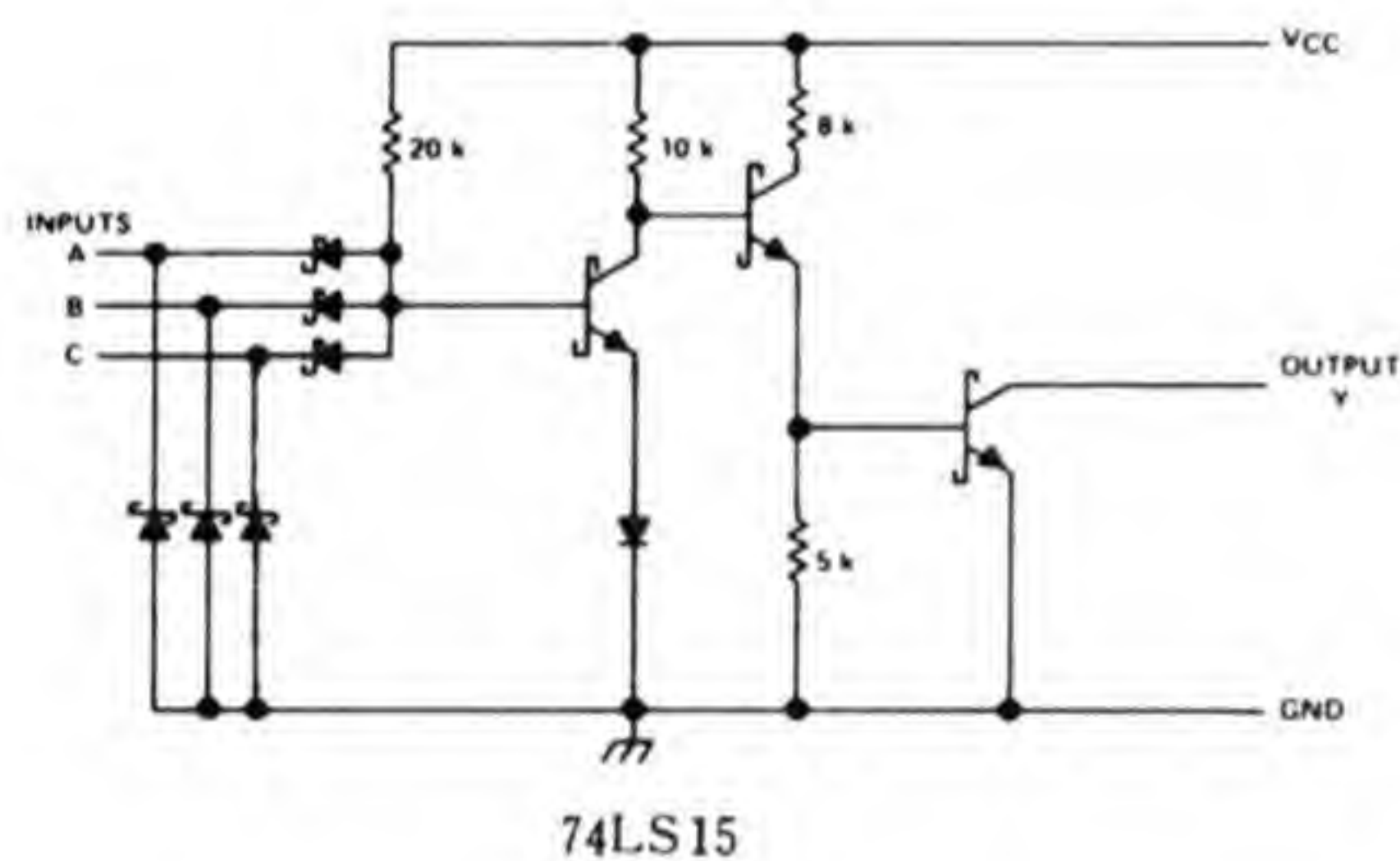
7418

7415

Triple 3 Input O.C. AND



○7411のオープンコレクタタイプ



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
t _{pd}	max			L→H	↑		35	54		20									ns
t _{pd}	max			H→L	↓		35	13		6.3									ns
V _{OH}	max						5.5	5.5		5.5									V
I _{cc}	max			High	H		3.6	1.8		6.2									mA
I _{cc}	max			Low	L		6.6	3		9.7									mA
I _{IH}	max	ALL	H				20	20		20									μA
I _{IL}	max	ALL	L				0.4	0.1		0.6									mA
I _{OH}	max			ALL	H		0.1	0.1		0.1									mA
I _{OL}	max			ALL	L		8	8											mA

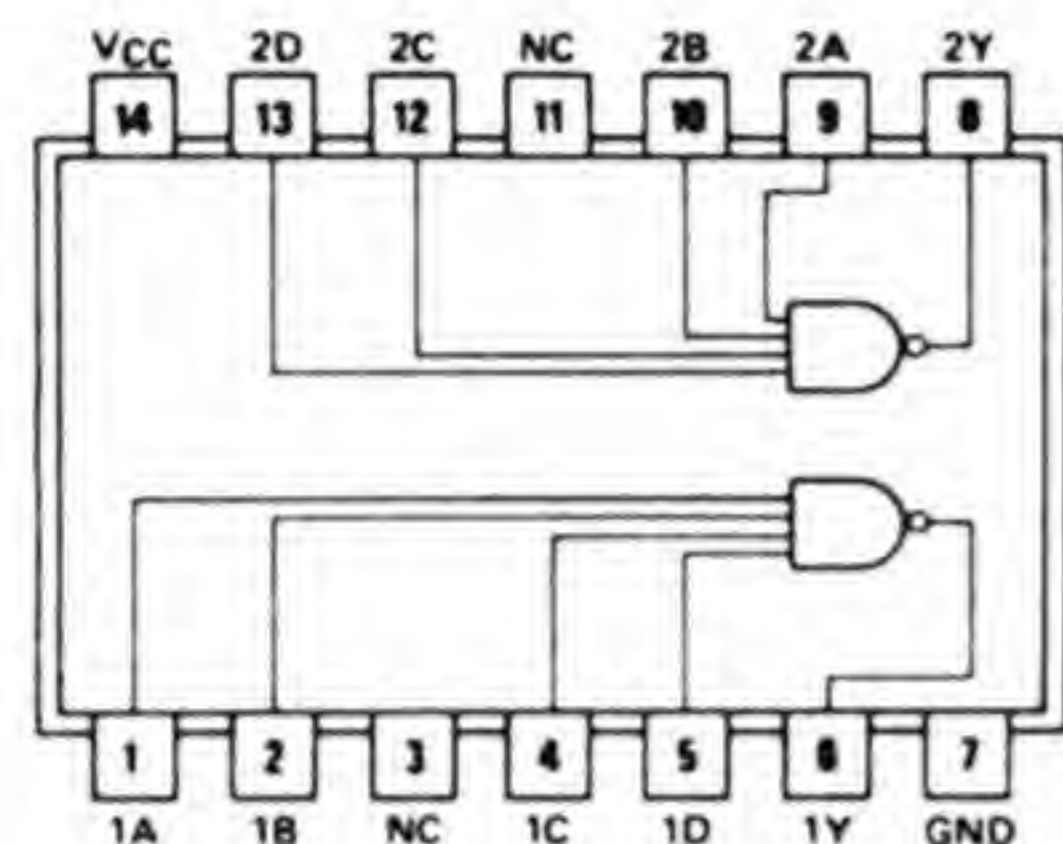
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF												
MOT														
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI			DF											
東芝														
SGS														
CYPRES														
IDT														

参考品種

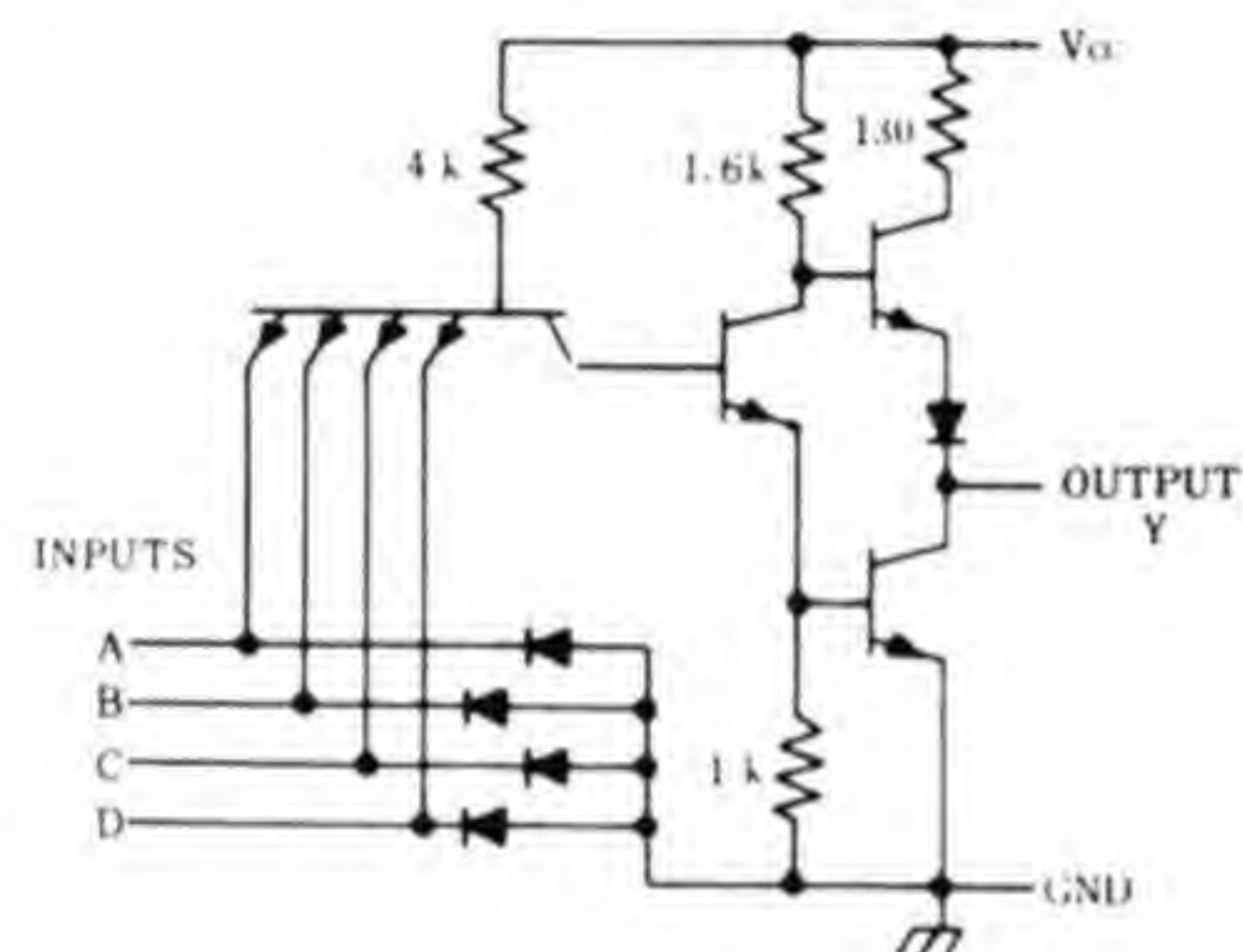
7409

7420

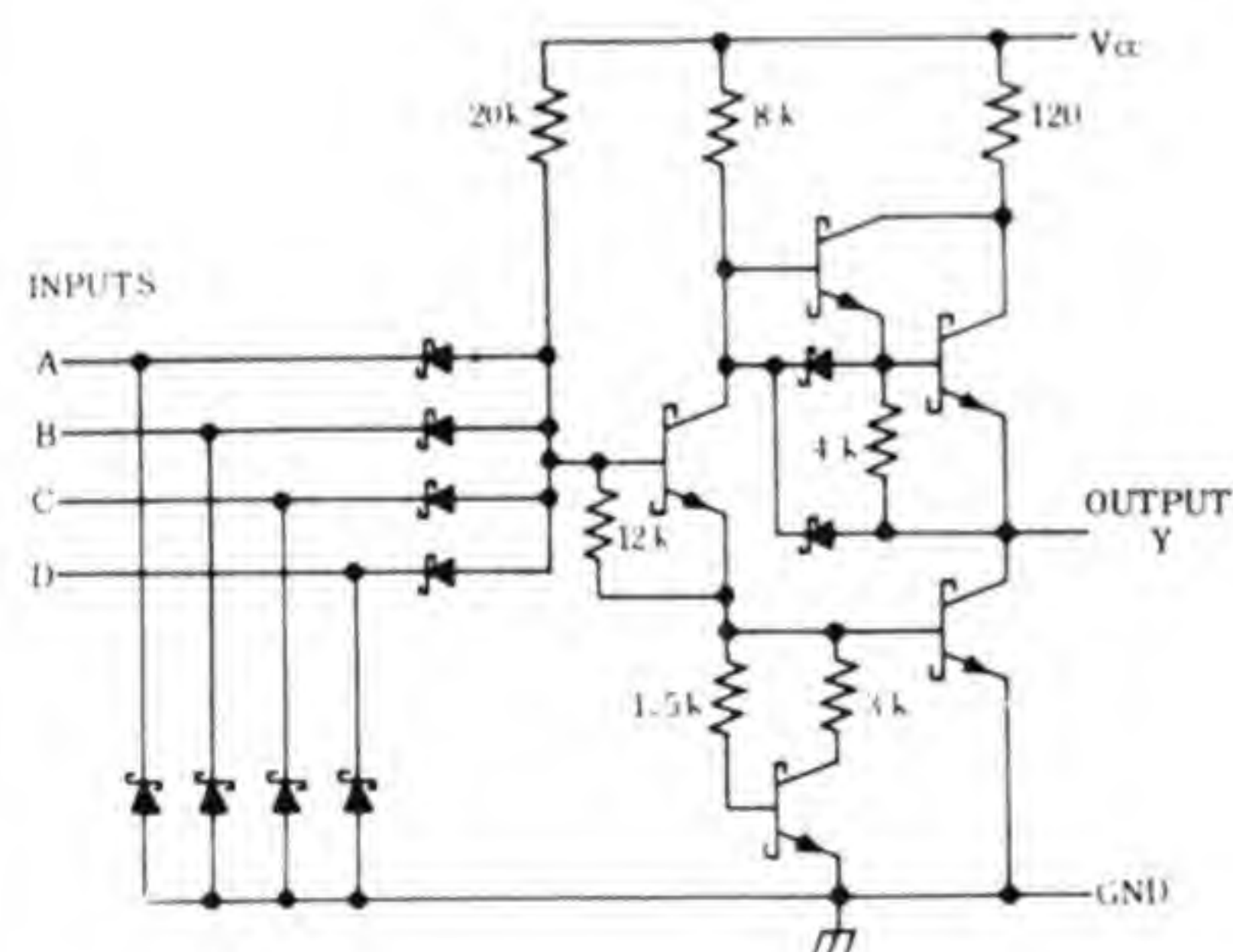
Dual 4 Input NAND



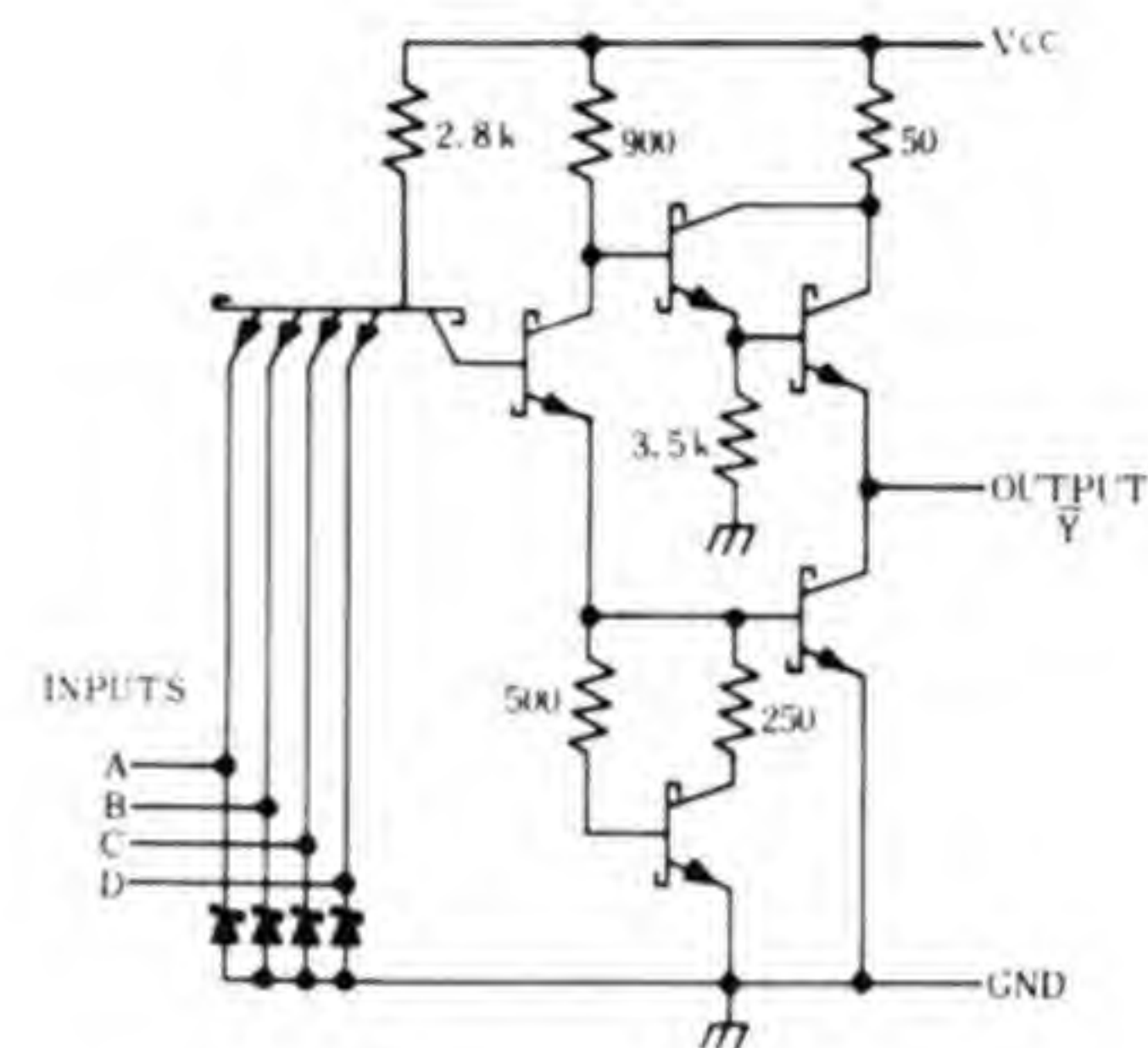
$$\textcircled{O} Y = \overline{A \cdot B \cdot C \cdot D}$$



7420



74LS20



74S20

参考品種

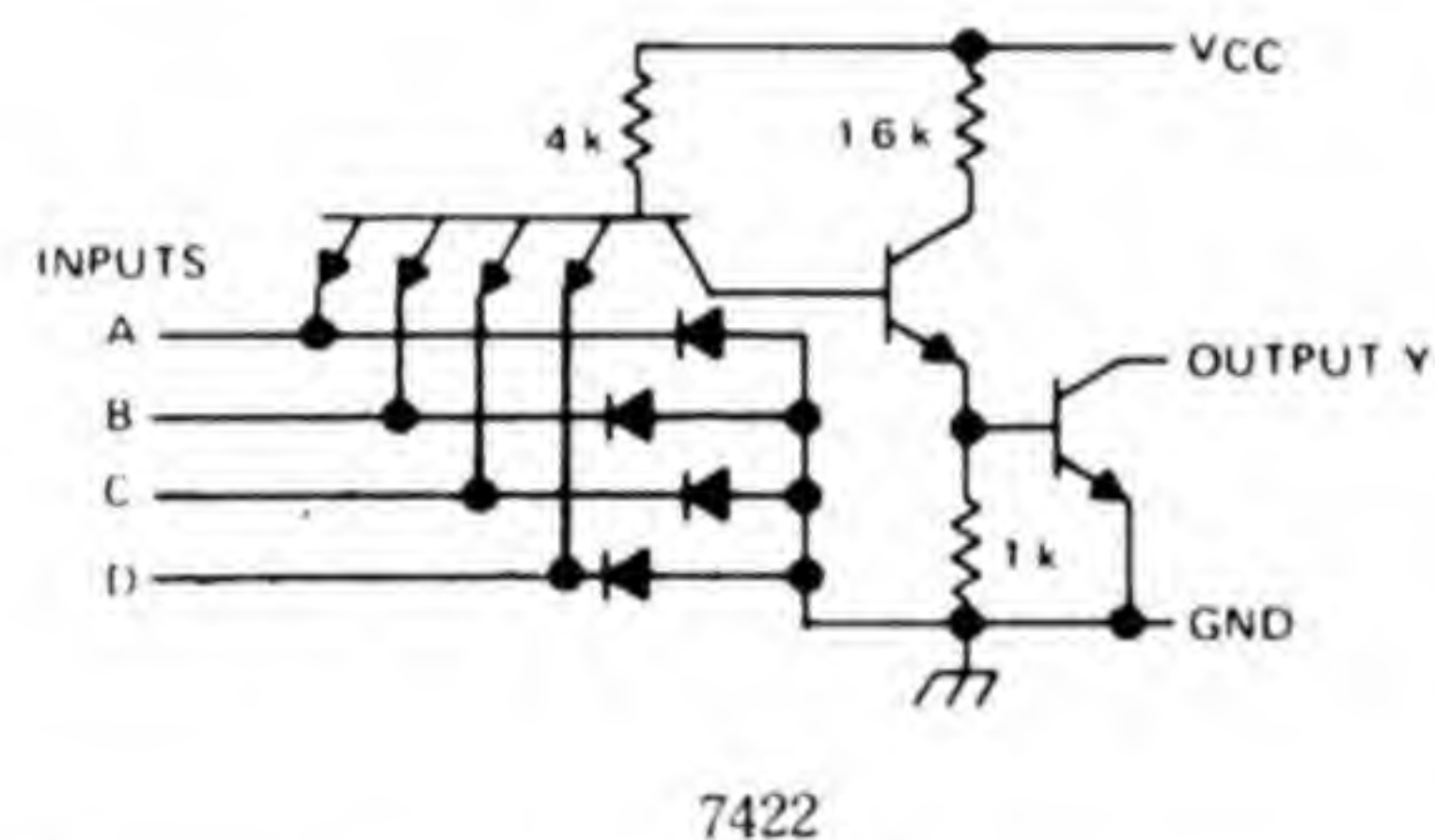
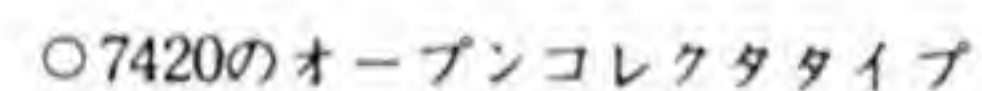
7410

7430

74133

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	11	8	6	5	11.1	12.3	23		35			ns
tpd	max			H→L	↓		15	10	7	5.3	4.5	11.1	12.3	23		35			ns
Icc	max			High	H		0.8	0.4	0.8	1.4	1.6	0.04	0.04	0.02		0.02			mA
Icc	max			Low	L		2.2	1.5	3.9	5.1	8.7	0.04	0.04	0.02		0.02			mA
IIH	max	ALL	H				20	20	20	20	20								μA
IIl	max	ALL	L				0.4	0.1	0.1	0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4	2.6	1	2	24	24	4		4			mA
IOL	max			ALL	L		8	8	24	20	20	24	24	4		4			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF							DF								
		MOT		DF			DF		D	D	DF								
		日電									DF								
		NS		DF	DF		DF	DF	DF										
		PHIL									DF		DF		DF				
		RCA									DF	DF	DF		DF				
		SIGNE			DF		DF												
		TI		DF	DF	DF	DF	DF	DF	DF	DF	DF	DF						
		東芝		D			D		DF		DF								
		SGS											DF						
		CYPRES																	
		IDT																	

7422

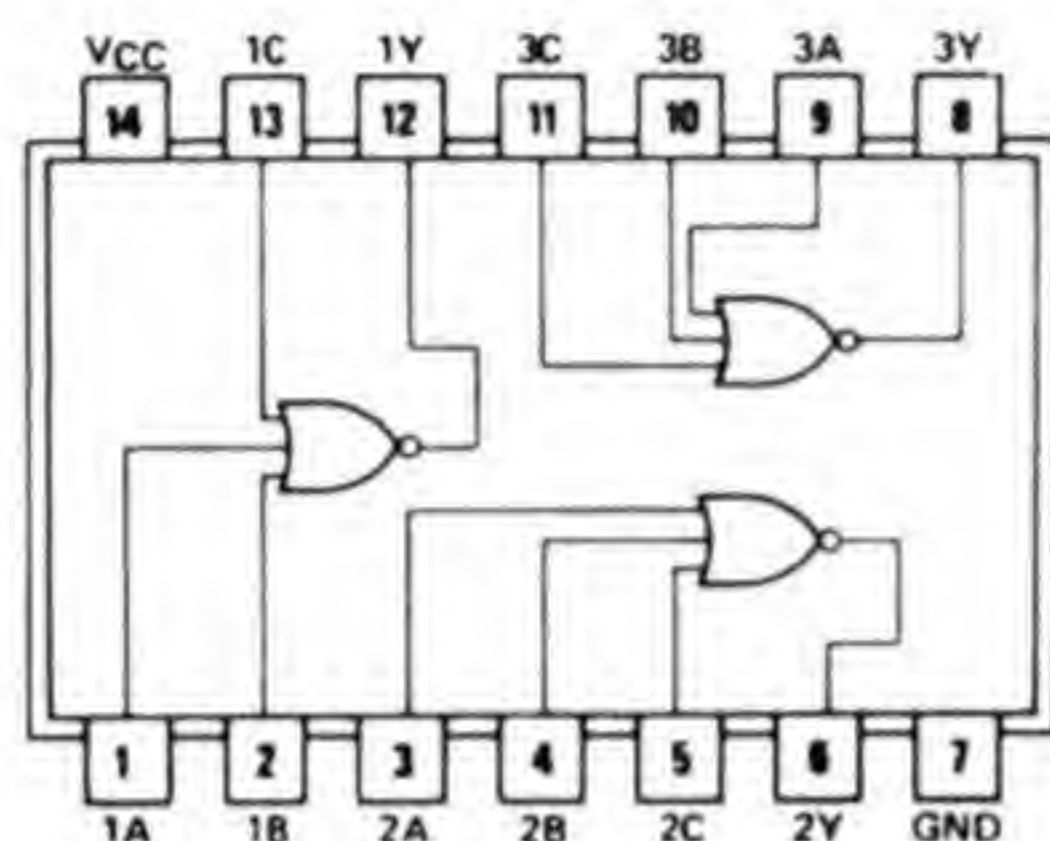


参考品種
7412

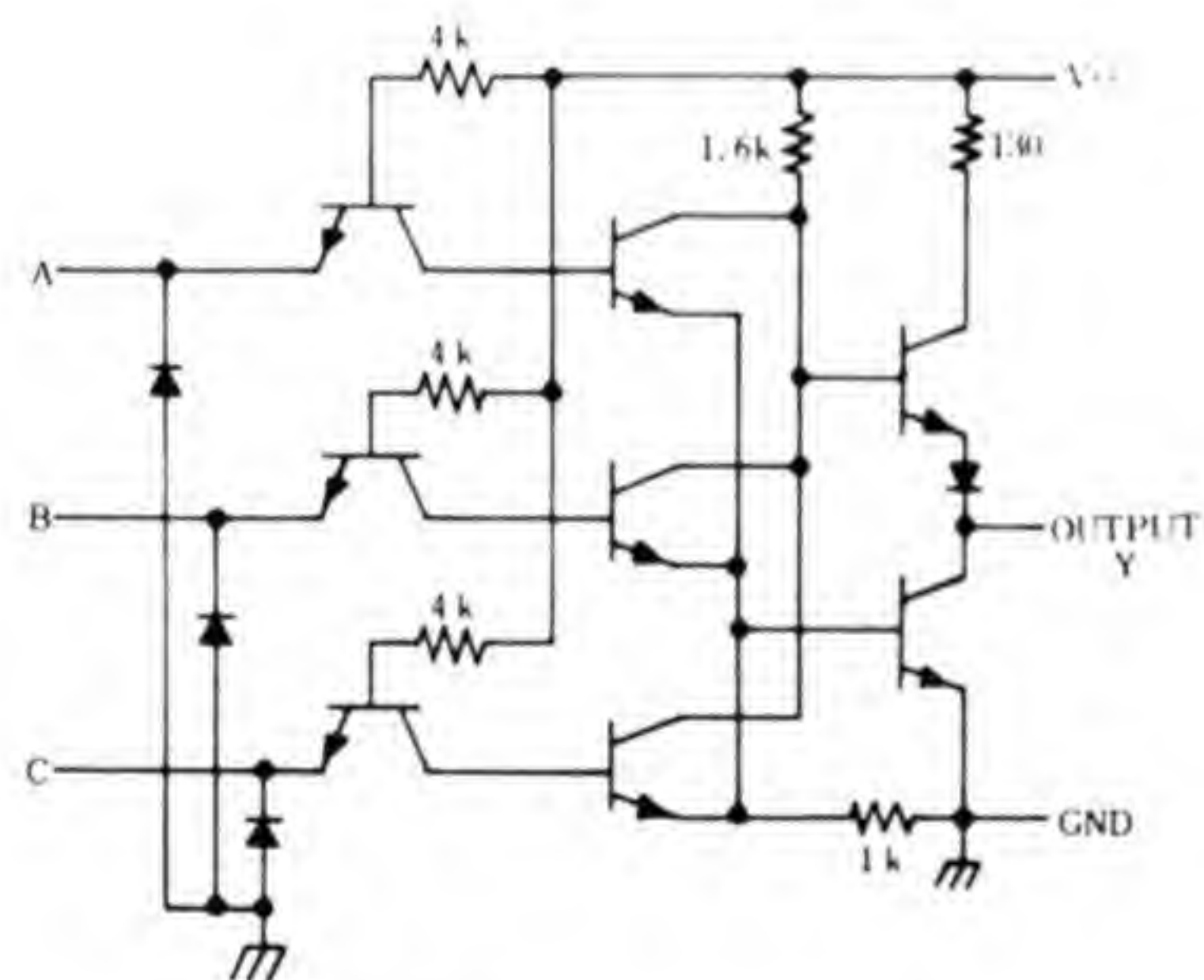
[illegible]

7427

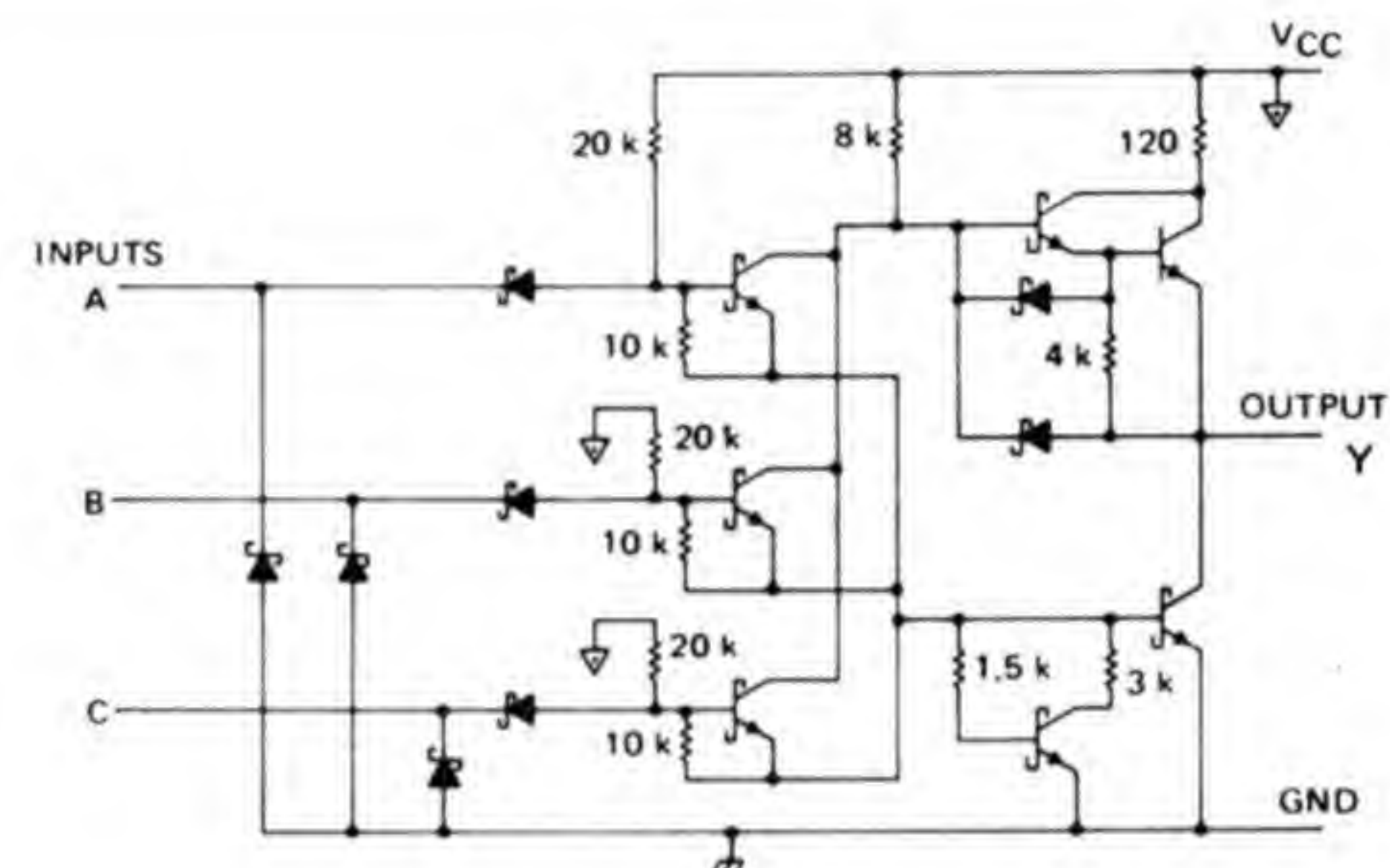
Triple 3 Input NOR



$$Y = \overline{A+B+C}$$



7427



74LS27

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		15	15		6.5	5.5			23		26			ns
tpd	max			H→L	↓		15	9		5	4.5			23		26			ns
Icc	max			High	H		4	1.8		5.5	6.4			0.02		0.02			mA
Icc	max			Low	L		6.8	4		12	17.1			0.02		0.02			mA
IiH	max	ALL	H				20	20		20	20								μA
IiL	max	ALL	L				0.4	0.1		0.6	0.5								mA
IOH	max			ALL	H		0.4	0.4		3	2			4		4			mA
IOL	max			ALL	L		8	8		20	20			4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
日立		DF							DF					
MOT		DF							DF					
日電									DF					
NS		DF	DF		DF	DF			DF					
PHIL									DF		DF			
RCA									DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D							DF					
SGS									DF		DF			
CYPRES														
IDT														

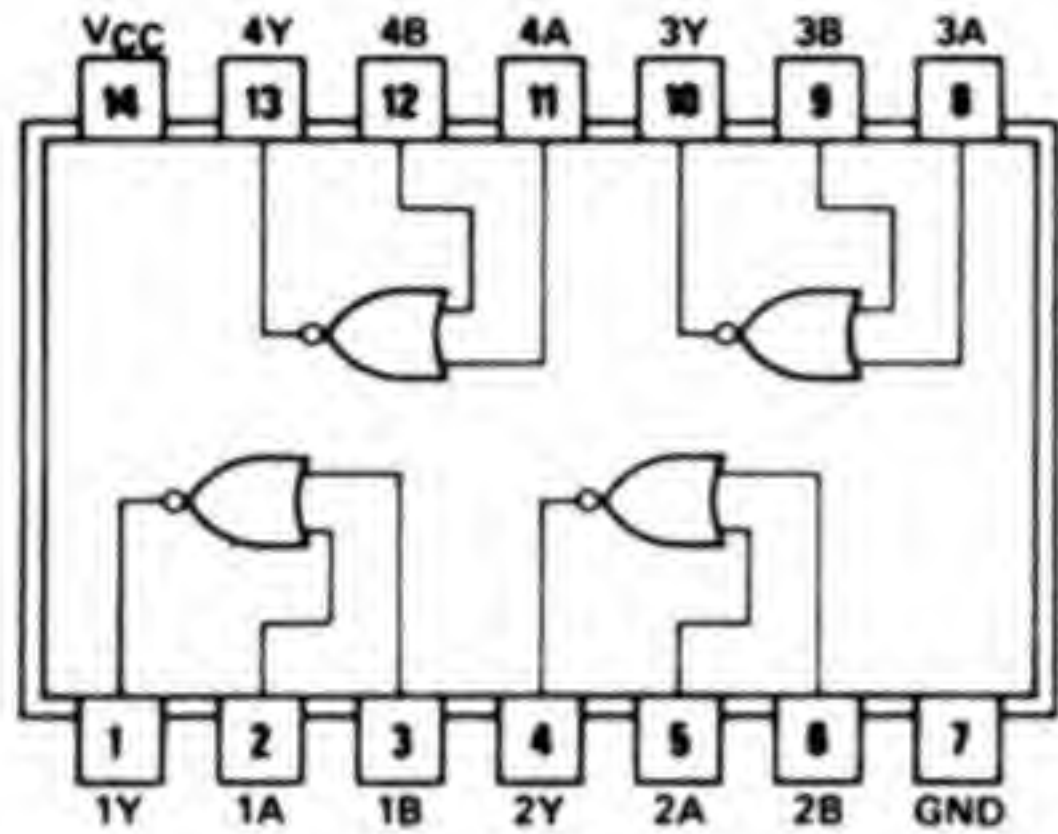
参考品種

7402

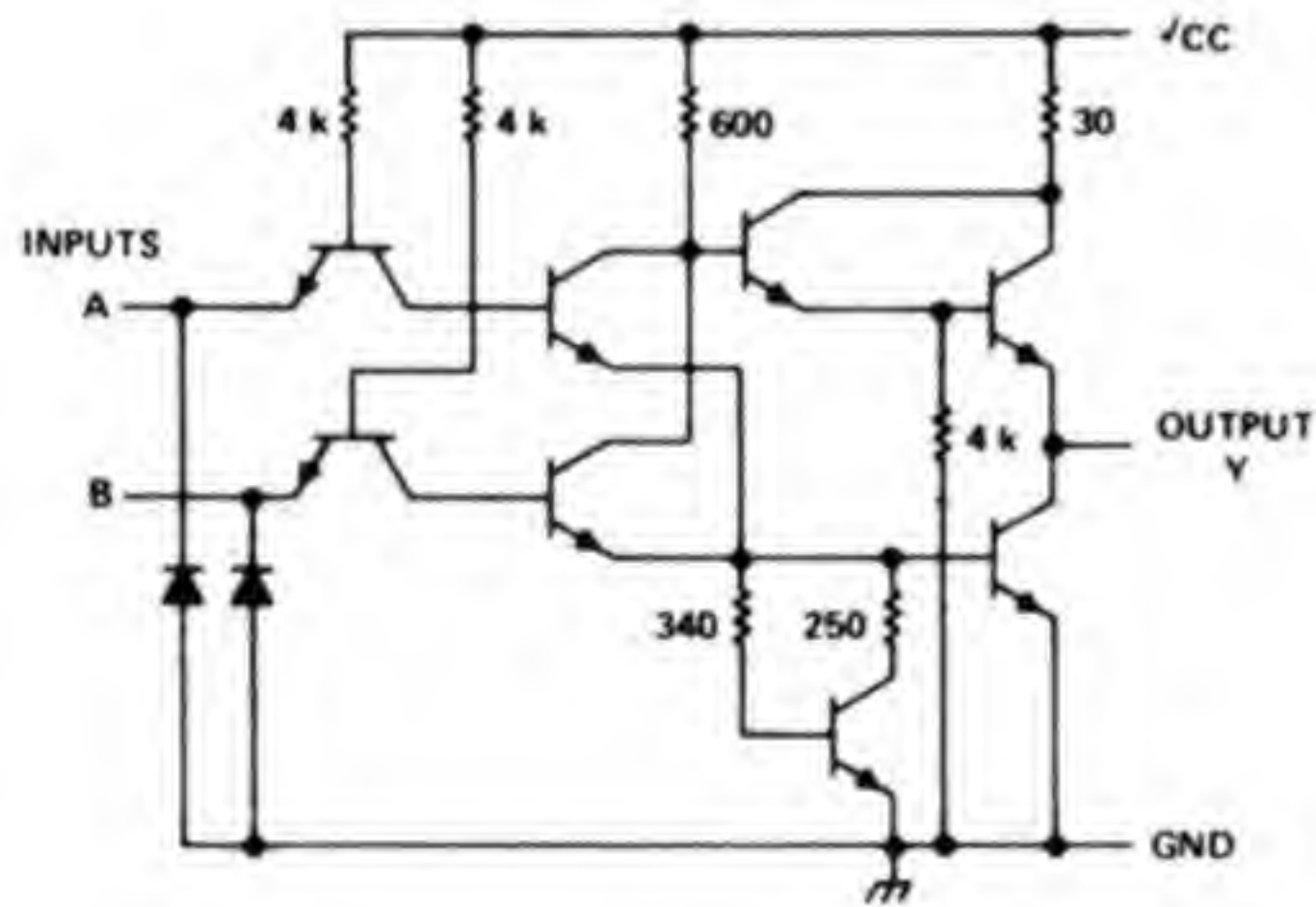
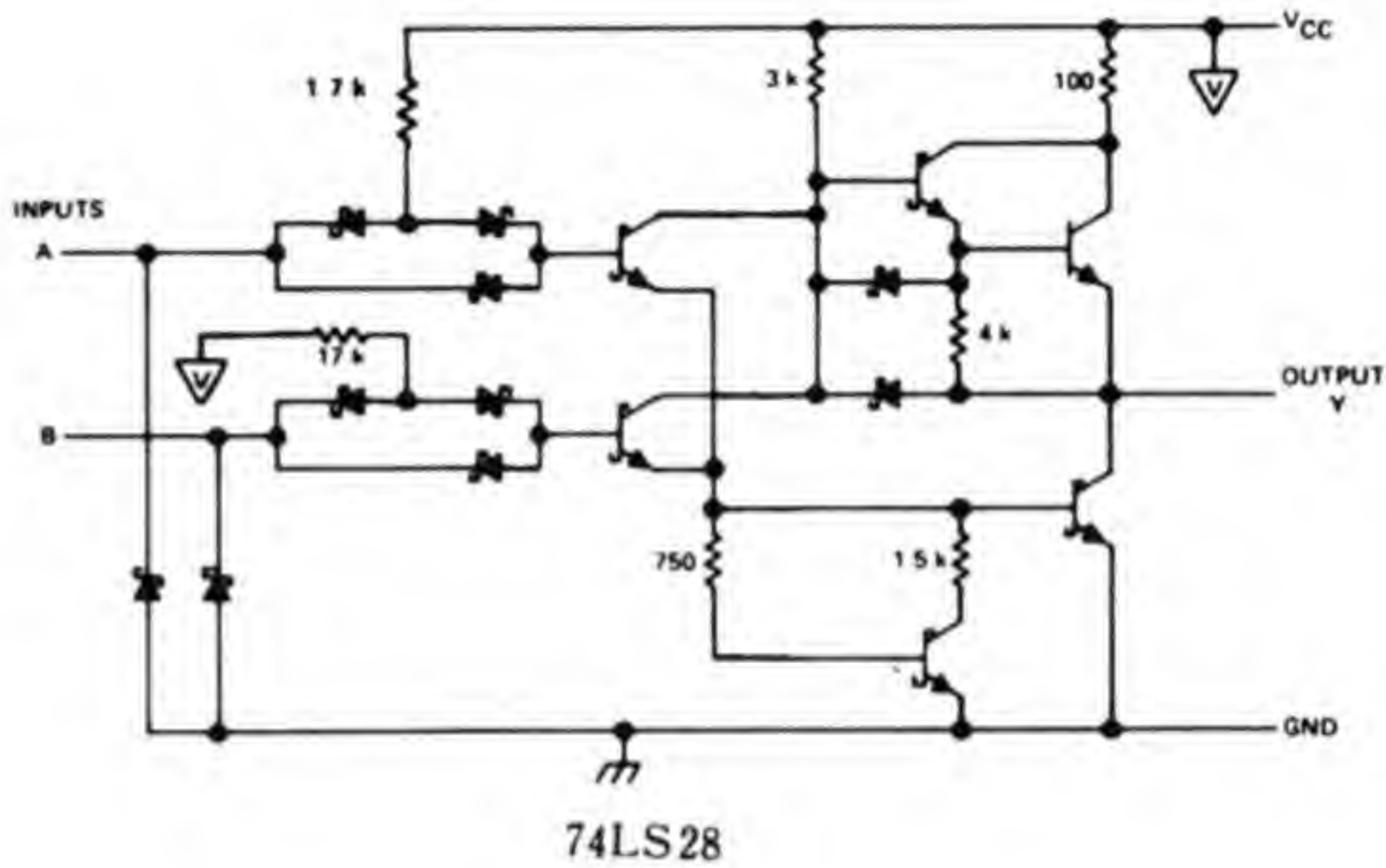
7425

7428

Quad 2 Input NOR Buffers



- 7402のバッファタイプ
- 入出力ピンは一般のゲートと逆向き (7402と同じ)

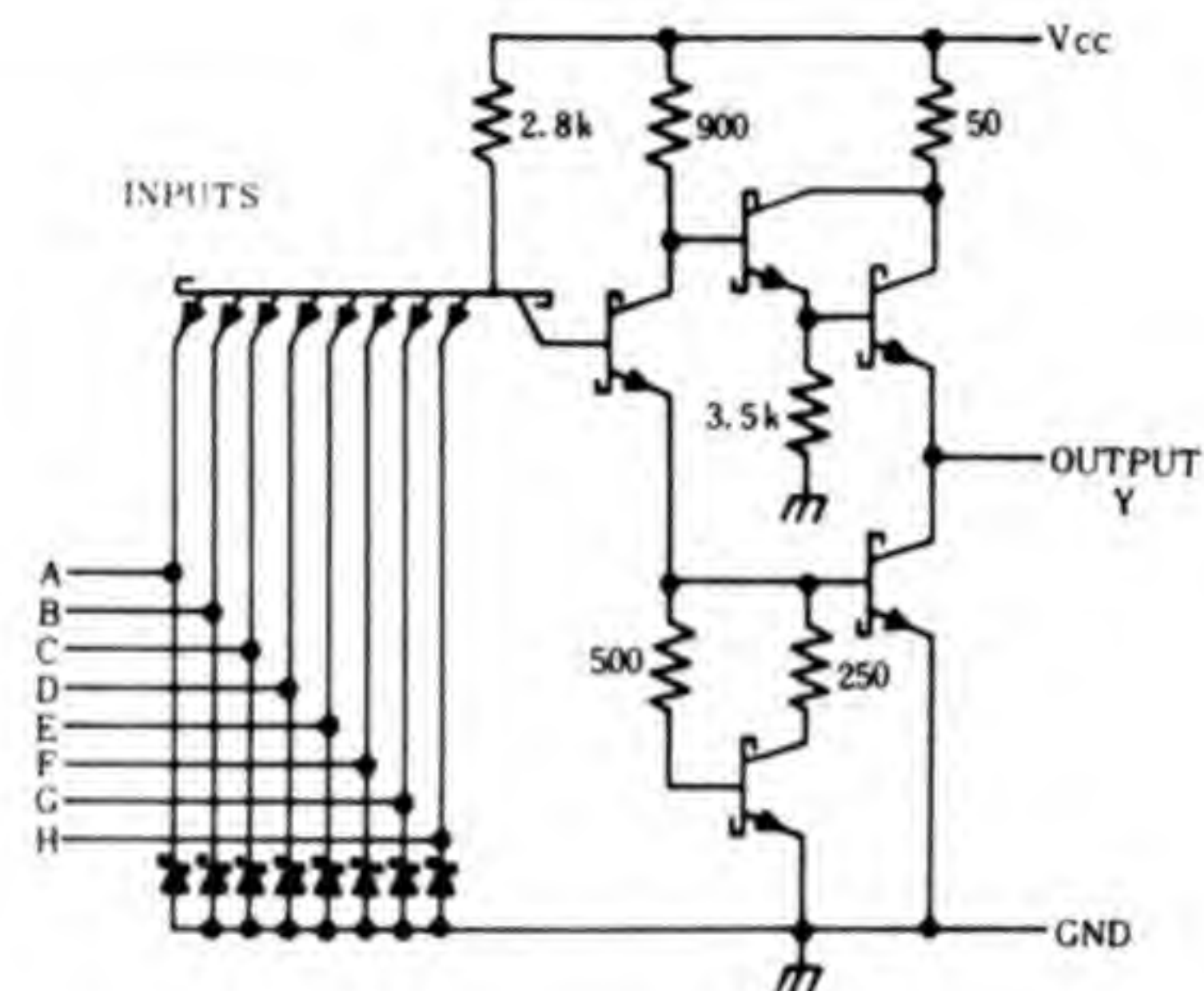


7428

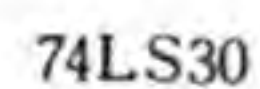
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位				
tpd	max			L→H	↑		24	8		6.5									ns				
tpd	max			H→L	↓		24	7		5									ns				
Icc	max			High	H		3.6	2.8		11									mA				
Icc	max			Low	L		13.8	9		32									mA				
IiH	max	ALL	H				20	20		20									μA				
IiL	max	ALL	L				0.36	0.1		0.6									mA				
IOH	max			ALL	H		1.2	2.6		3									mA				
IOL	max			ALL	L		24	24		64									mA				
<div>参考品種</div> <div>74128</div> <div></div> <div></div> <div></div>						社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
						日立																	
						MOT		D															
						日電																	
						NS		DF	DF														
						PHIL																	
						RCA																	
						SIGNE																	
						TI			DF														
						東芝																	
						SGS																	
						CYPRES																	
IDT																							

参考品種
74128

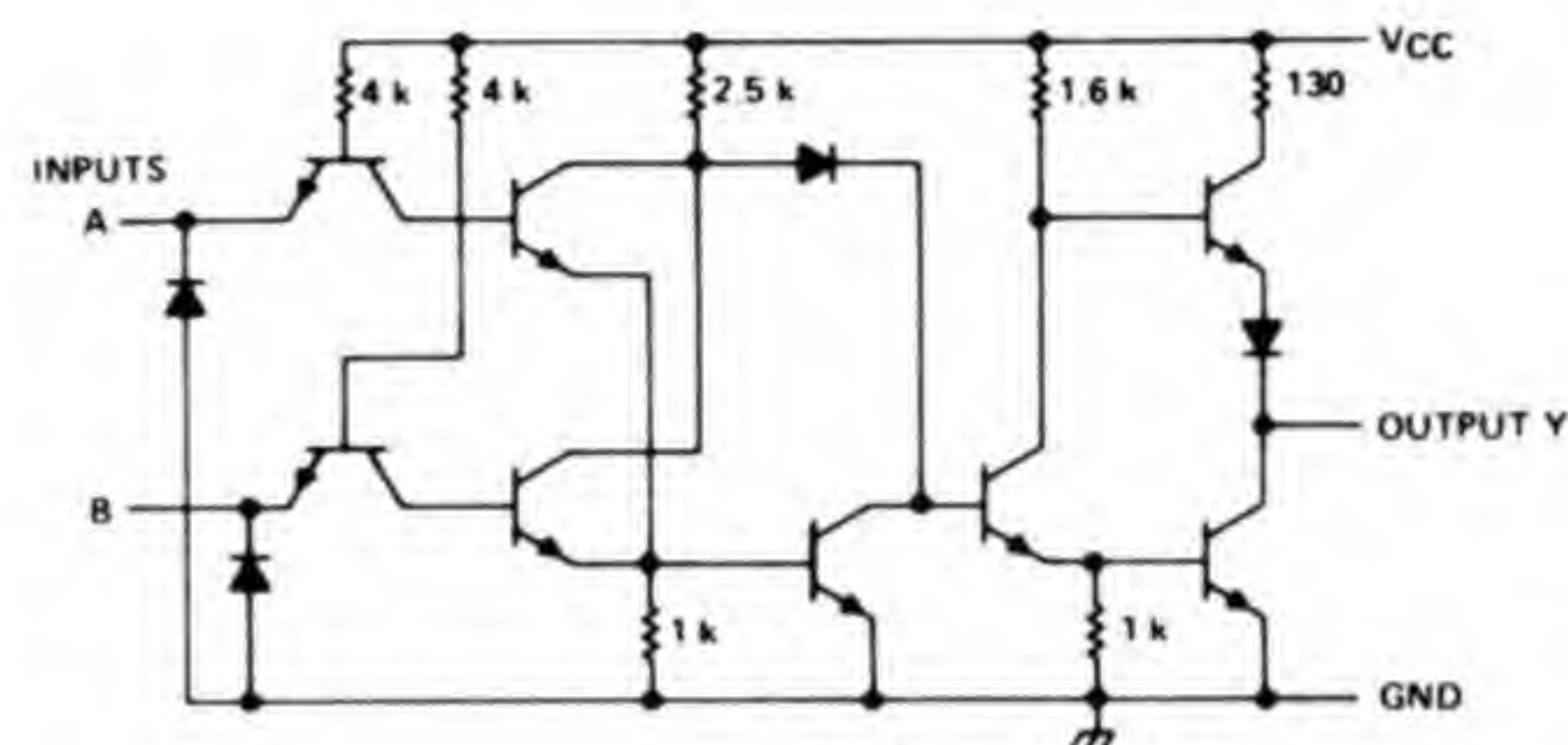
8 Input NAND



参考品種
7420
74133

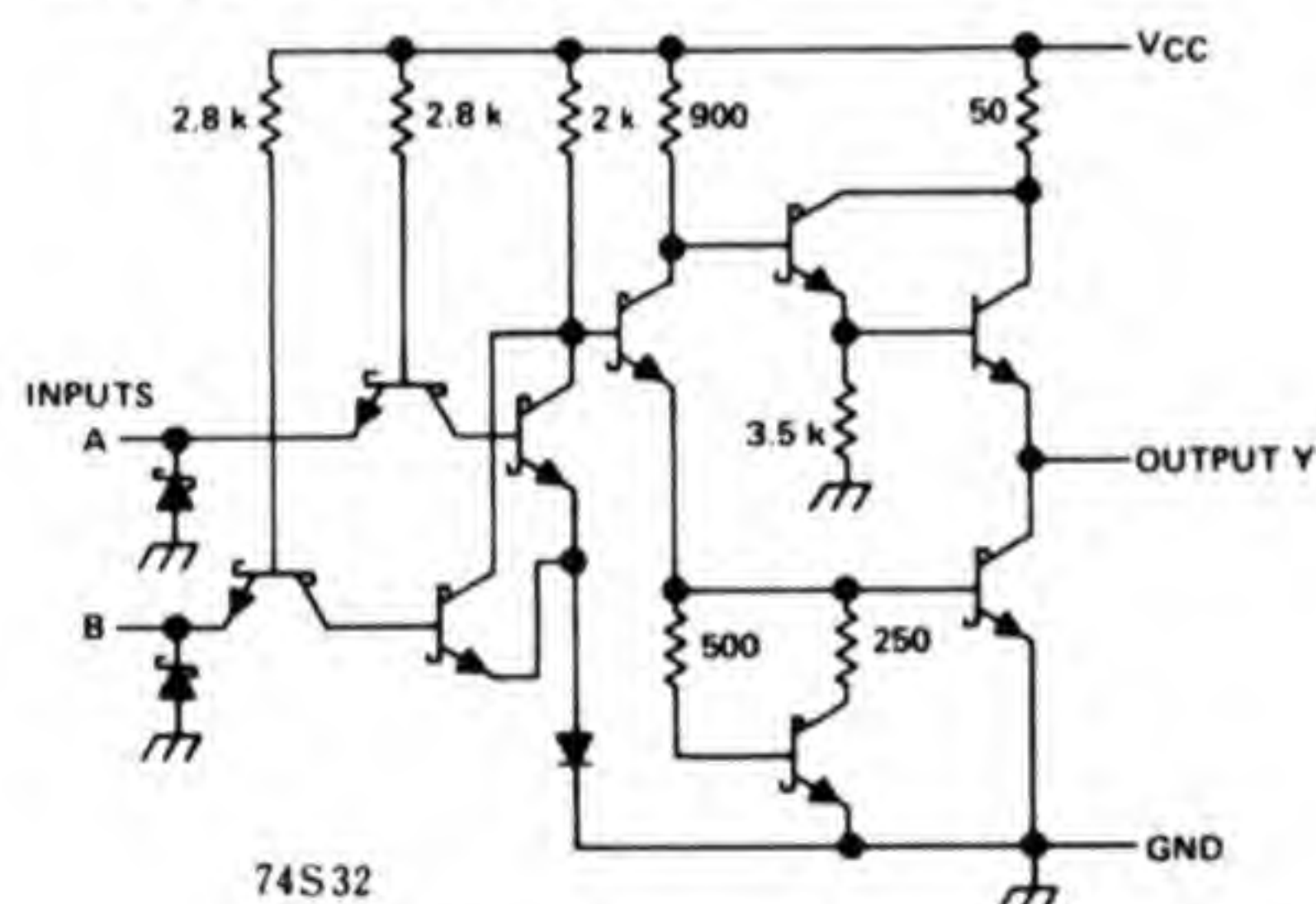
[illegible]

Quad 2 Input OR

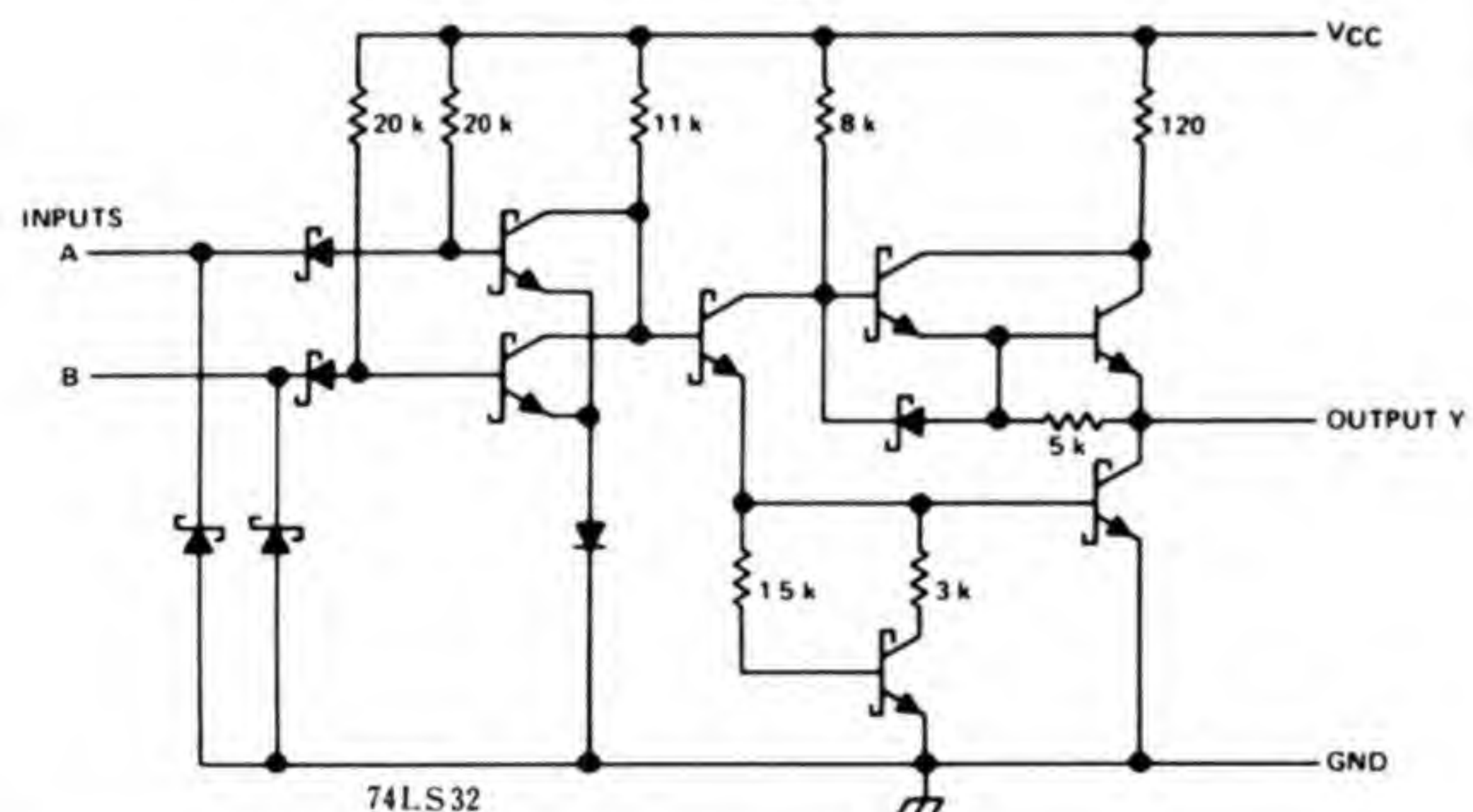


7432

○7402とは入出力の向きが逆



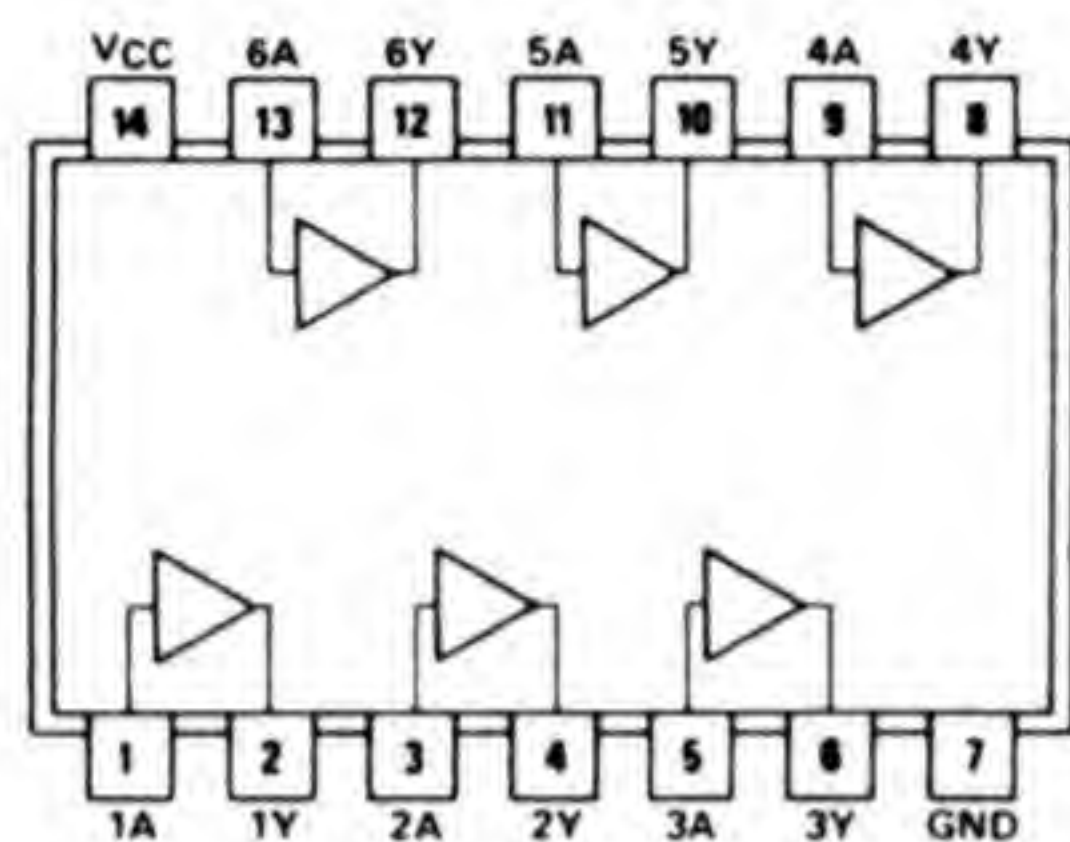
74S32



74LS32

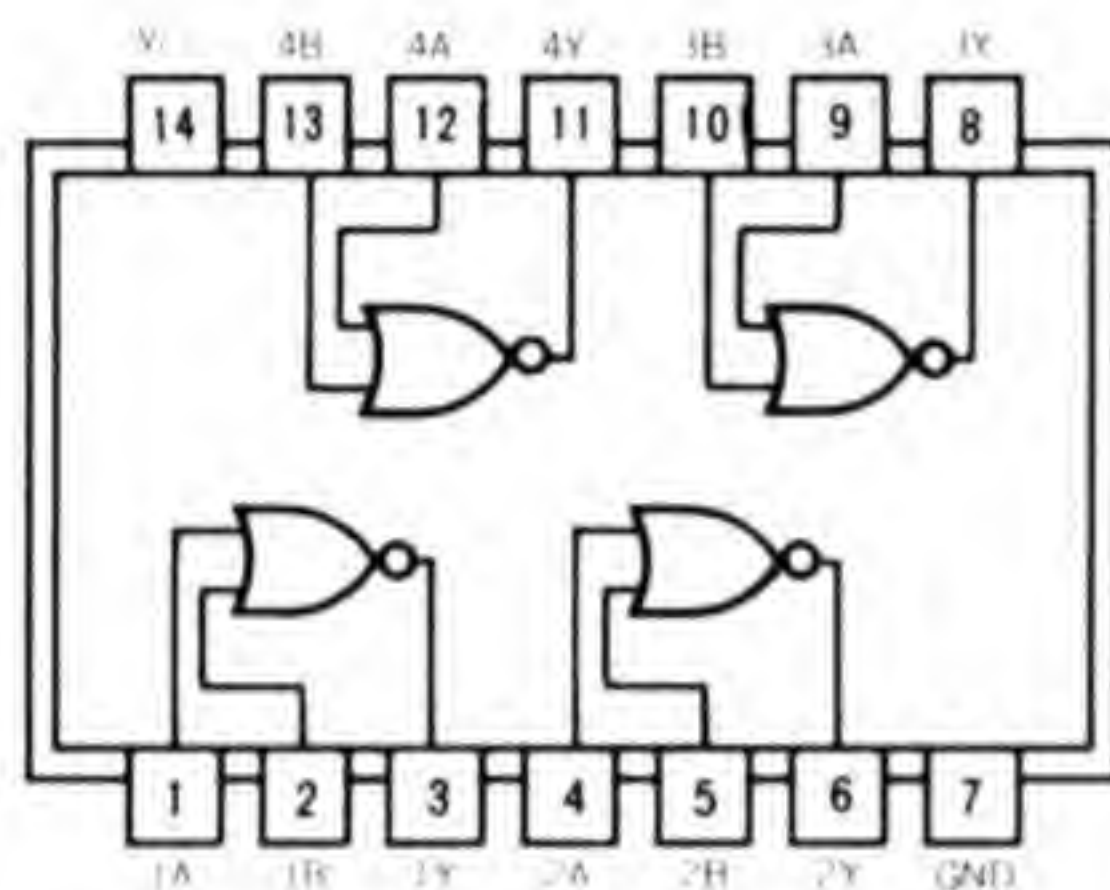
[illegible]

Hex Buffer

[illegible]

7436

Quad 2 Input NOR

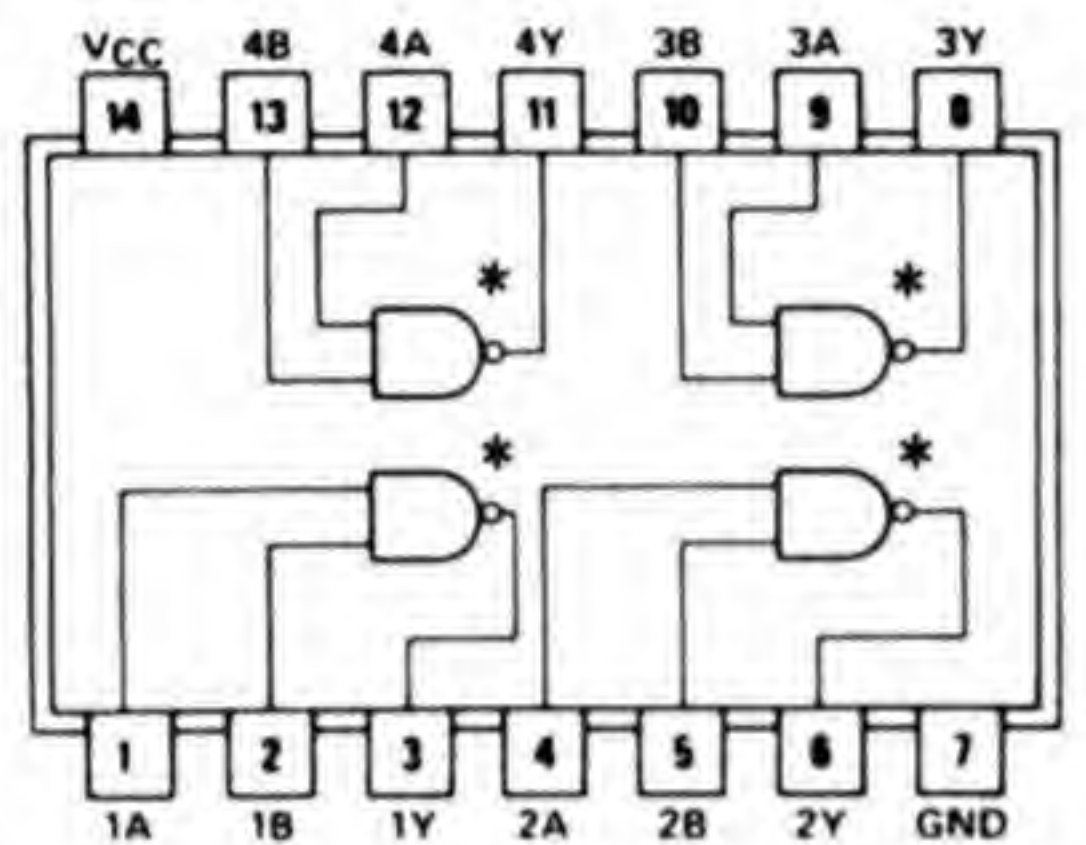


○7432の NOR タイプ

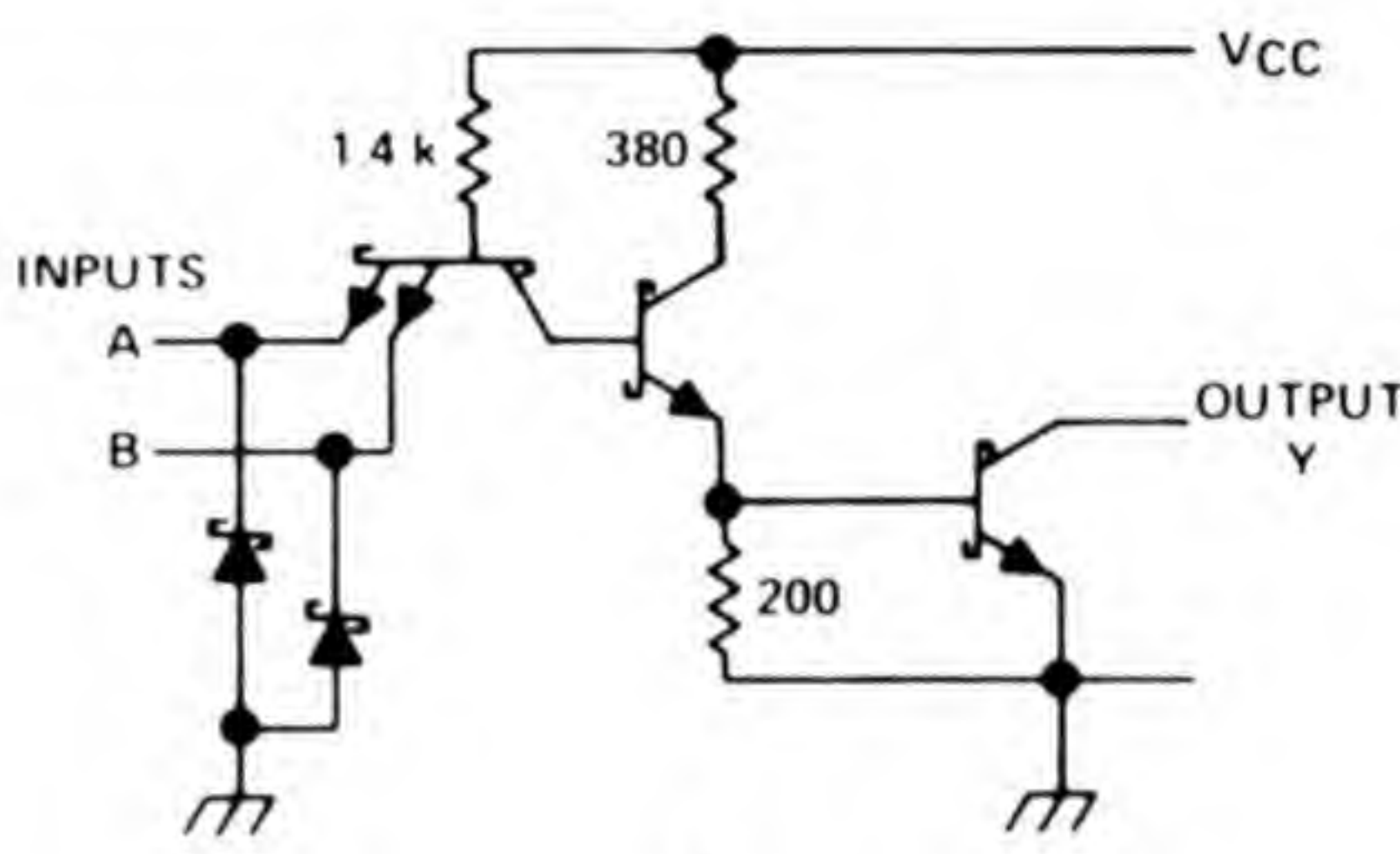
[illegible]

7438

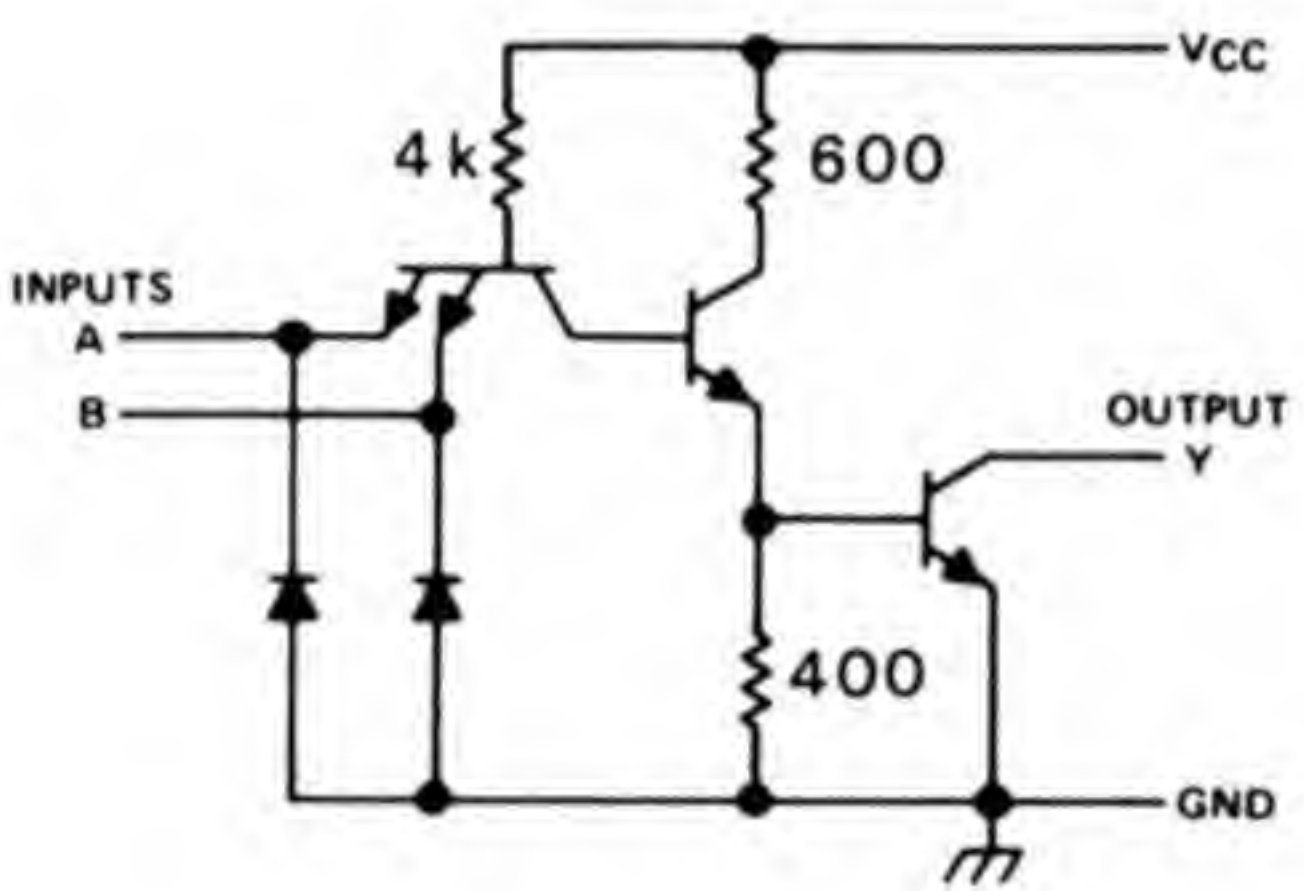
Quad 2 Input O.C. NAND Buffers



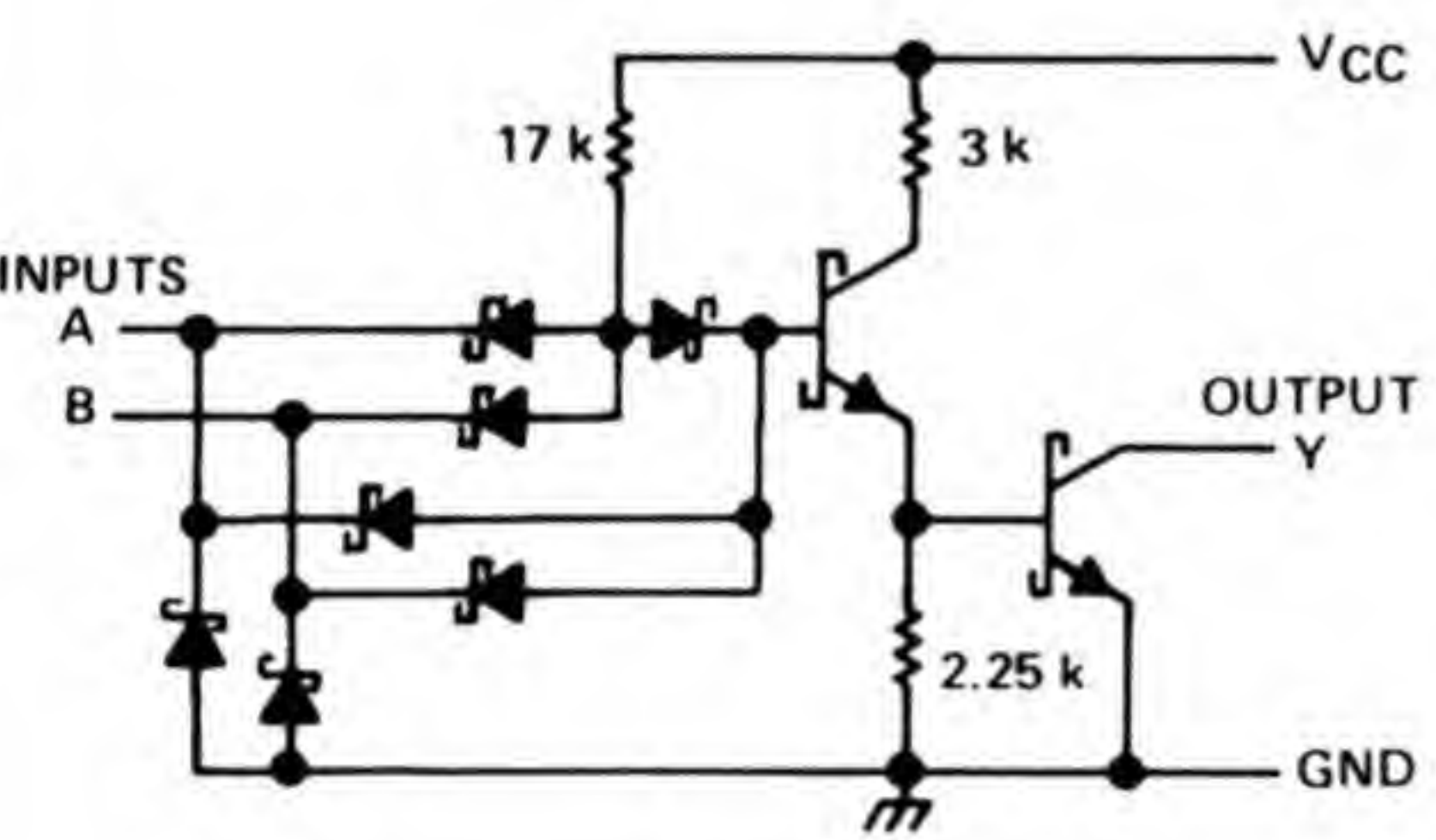
○7437のオープンコレクタタイプ



74S38



7438

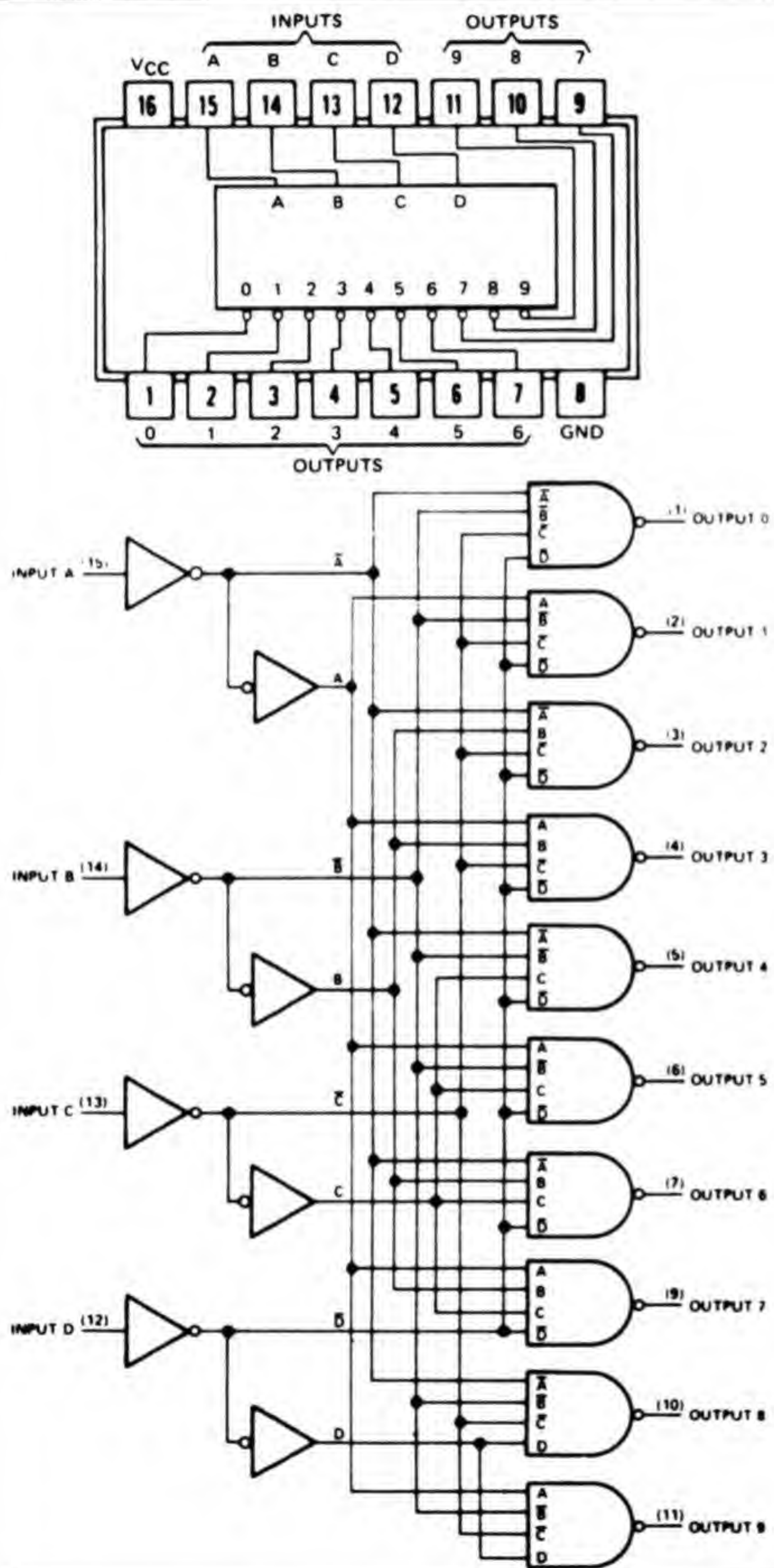


74LS38

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		32	33		13									ns
tpd	max			H→L	↓		28	12		5.5									ns
VOH	max						5.5	5.5		5.5									V
Icc	max			High	H		2	1.6		6									mA
Icc	max			Low	L		12	7.8		33									mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.36	0.1		1.2									mA
IOH	max			ALL	H		0.25	0.1		3									mA
IOL	max			ALL	L		24	24		64									mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF															
		MOT		DF			DF												
		日電																	
		NS		DF	DF		DF												
		PHIL																	
		RCA																	
		SIGNE			DF		DF												
		TI		DF	DF		D												
		東芝		D															
		SGS																	
		CYPRES																	
		IDT																	

7442

BCD to DECIMAL Decoder



- 入力に加えた2進コードにより選ばれた出力がLになる。
- 10～15(A～F)に対しては出力H
- 入力コードをA, B, Cのみ(0～7)に加え、D入力をストローブにすることにより3 to 8デマルチプレクサとして使用できる。このとき出力は0～7を使用。
- 7442を2個用いて、A, B, C入力は共通、D入力は一方だけ反転して加えると4 to 16デコードとして使用可、D入力にゲートでインヒビット端子を設けるとデマルチプレクサとしても使用できる。

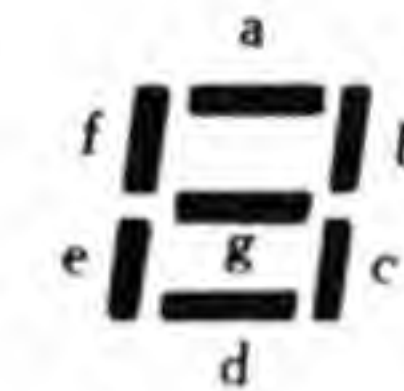
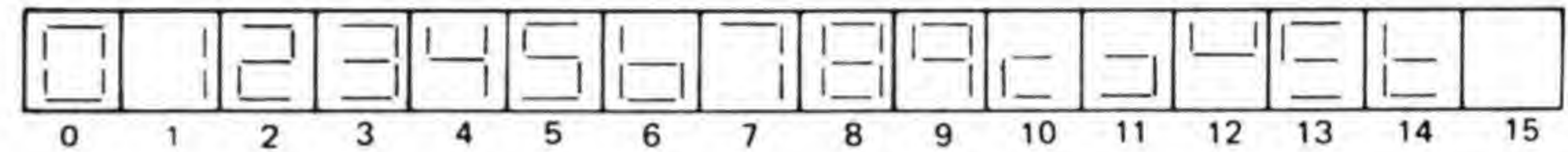
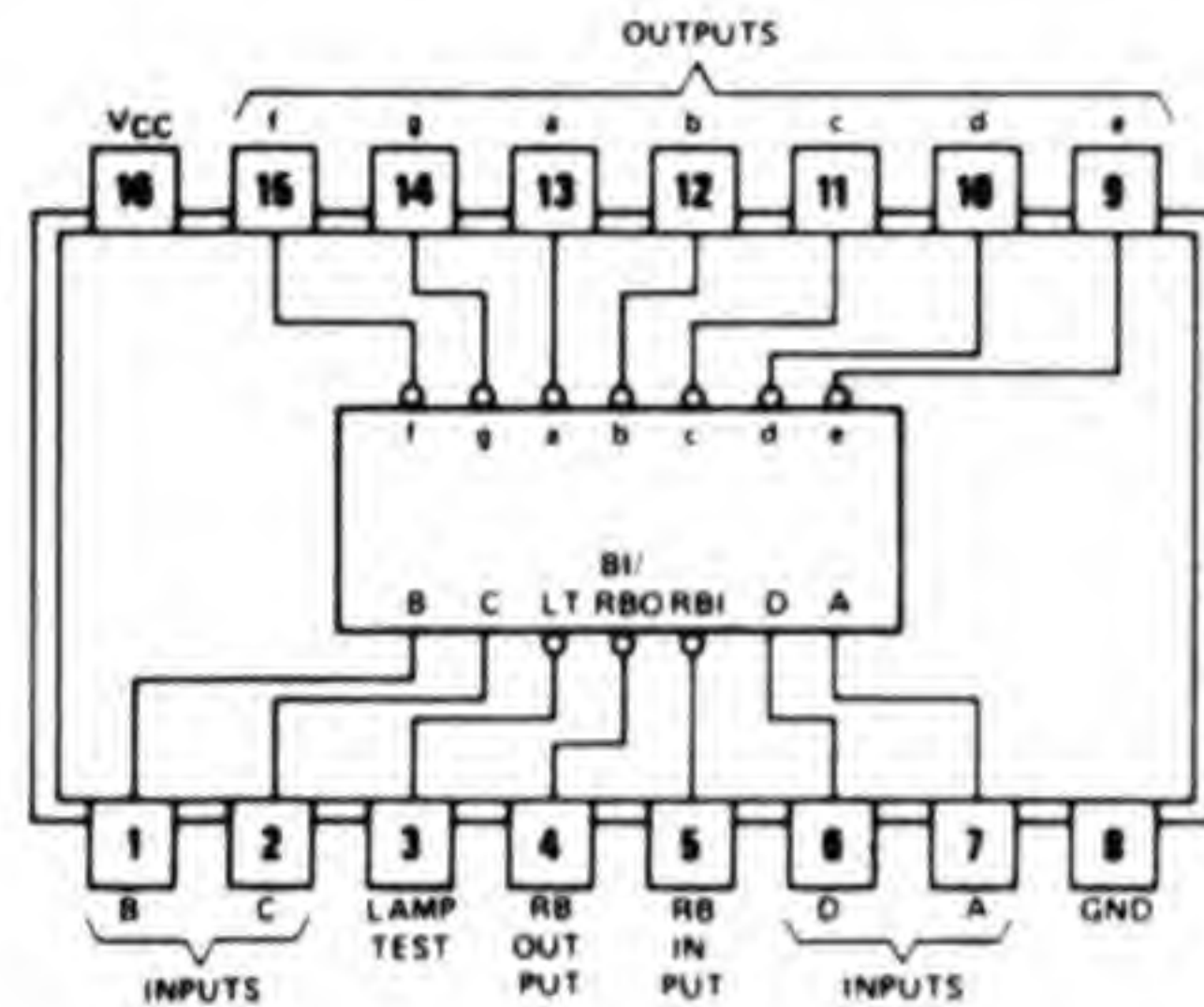
FUNCTION TABLE

NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H

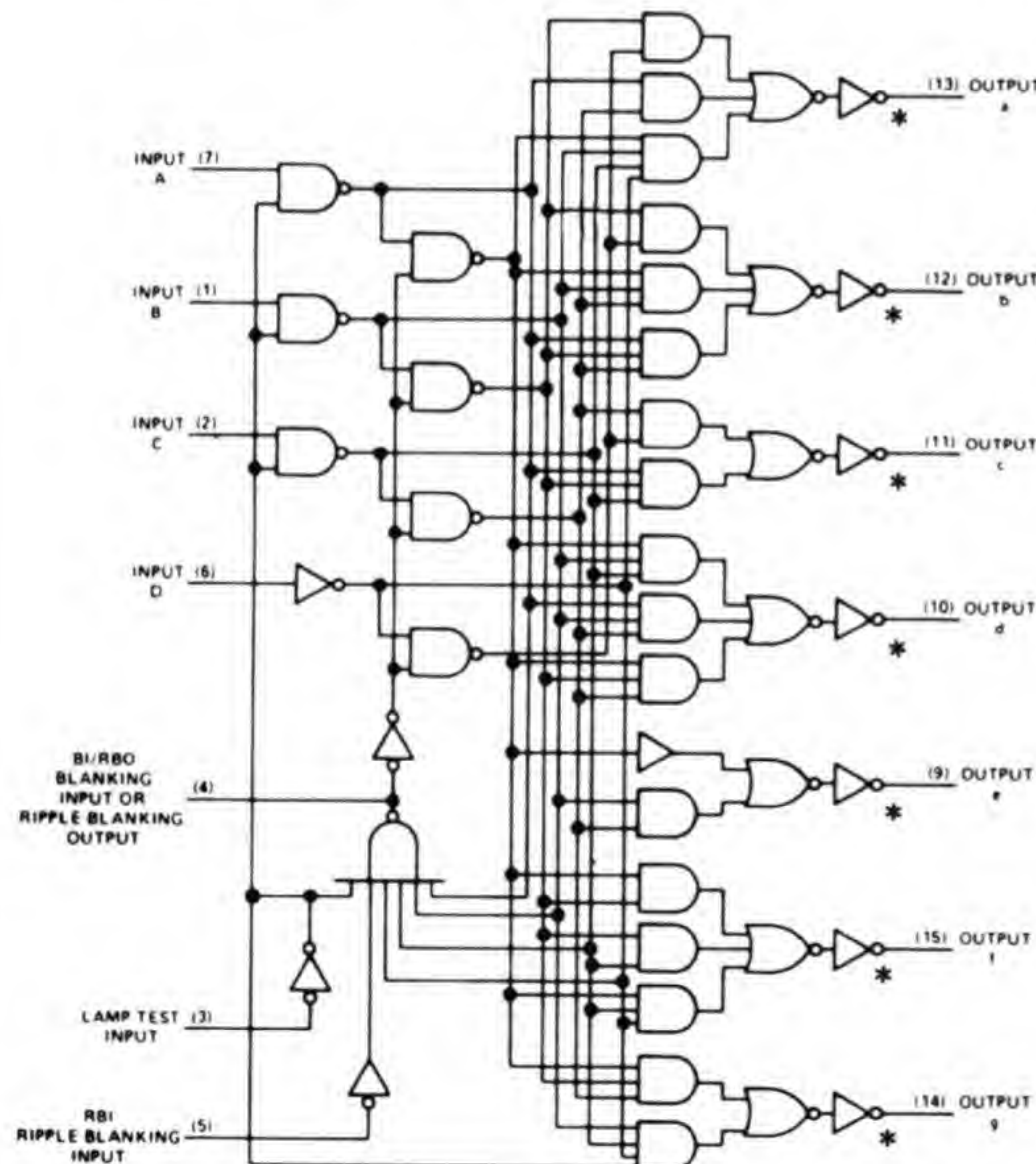
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						30							14	16	44			ns
Icc	max		L		OPEN		13							0.08	0.08	0.08			mA
I _{IH}	max	ALL	H				20												μA
I _{IL}	max	ALL	L				0.4												mA
I _{OH}	max			ALL	H		0.4							4	4	4			mA
I _{OL}	max			ALL	L		8							4	4	4			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF							DF								
		MOT		DF							DF								
		日電									DF								
		NS		DF															
		PHIL									DF		DF						
		RCA									DF		DF						
		SIGNE																	
		TI		DF							DF								
		東芝		D							DF								
		SGS									DF								
		CYPRES																	
		IDT																	

7447

BCD to 7 Segment Decoder/Driver

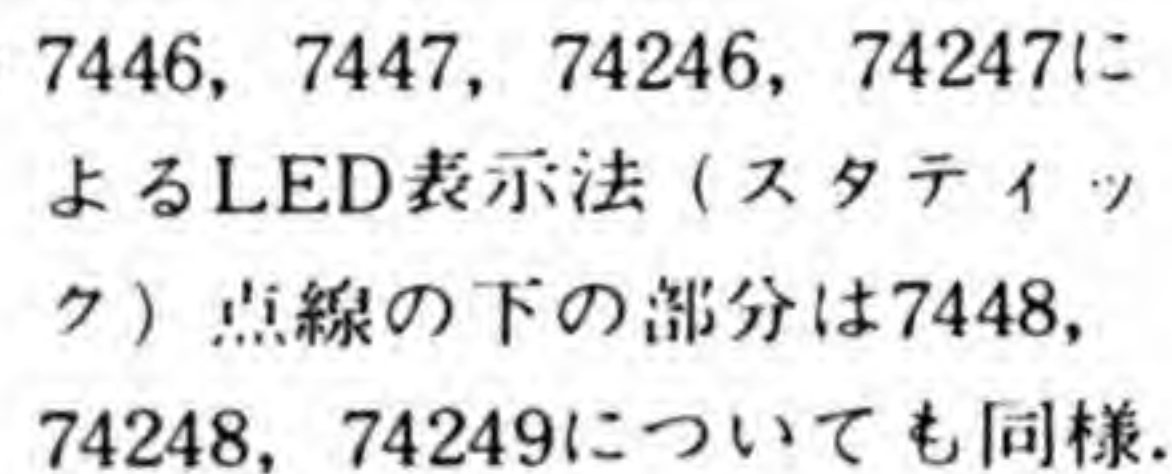


- オープンコレクタ出力
- 7446と7447は出力耐圧が異なるのみ他は同一
- 7446と74246、7447と74247はそれぞれ6および9の字形が異なるのみで他は同一、したがって交換可能
- 使用例は次頁を参照のこと

[illegible][illegible]

参考品種
74246
74247

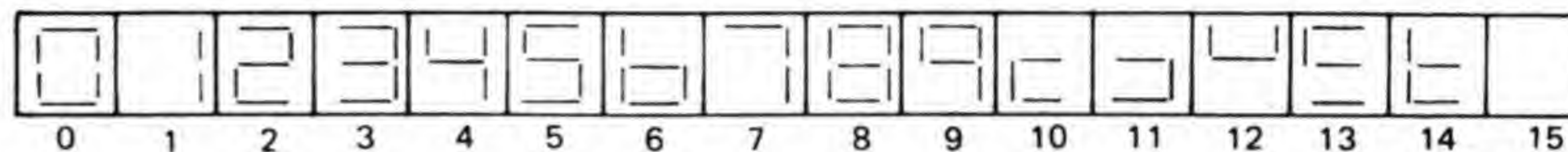
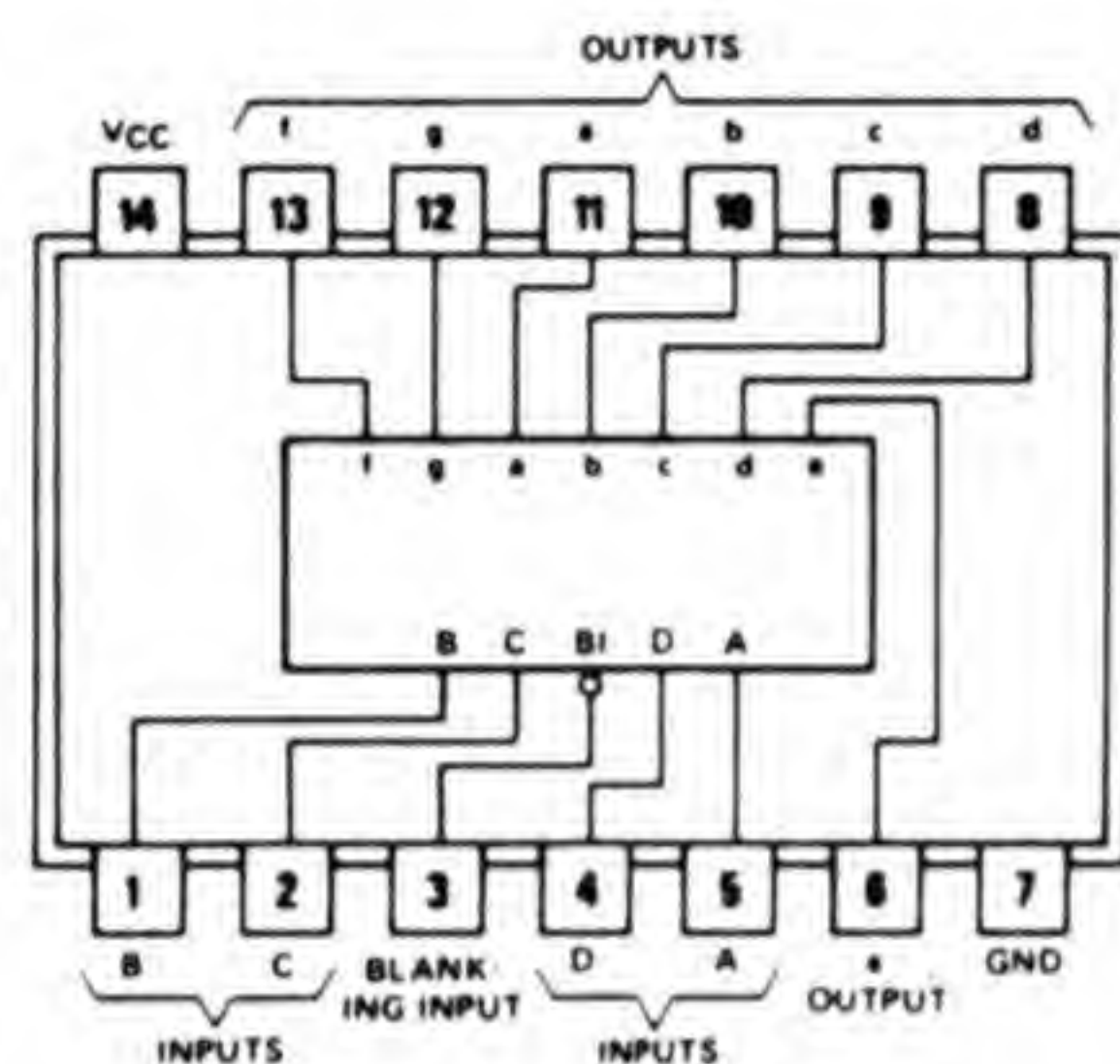
7447



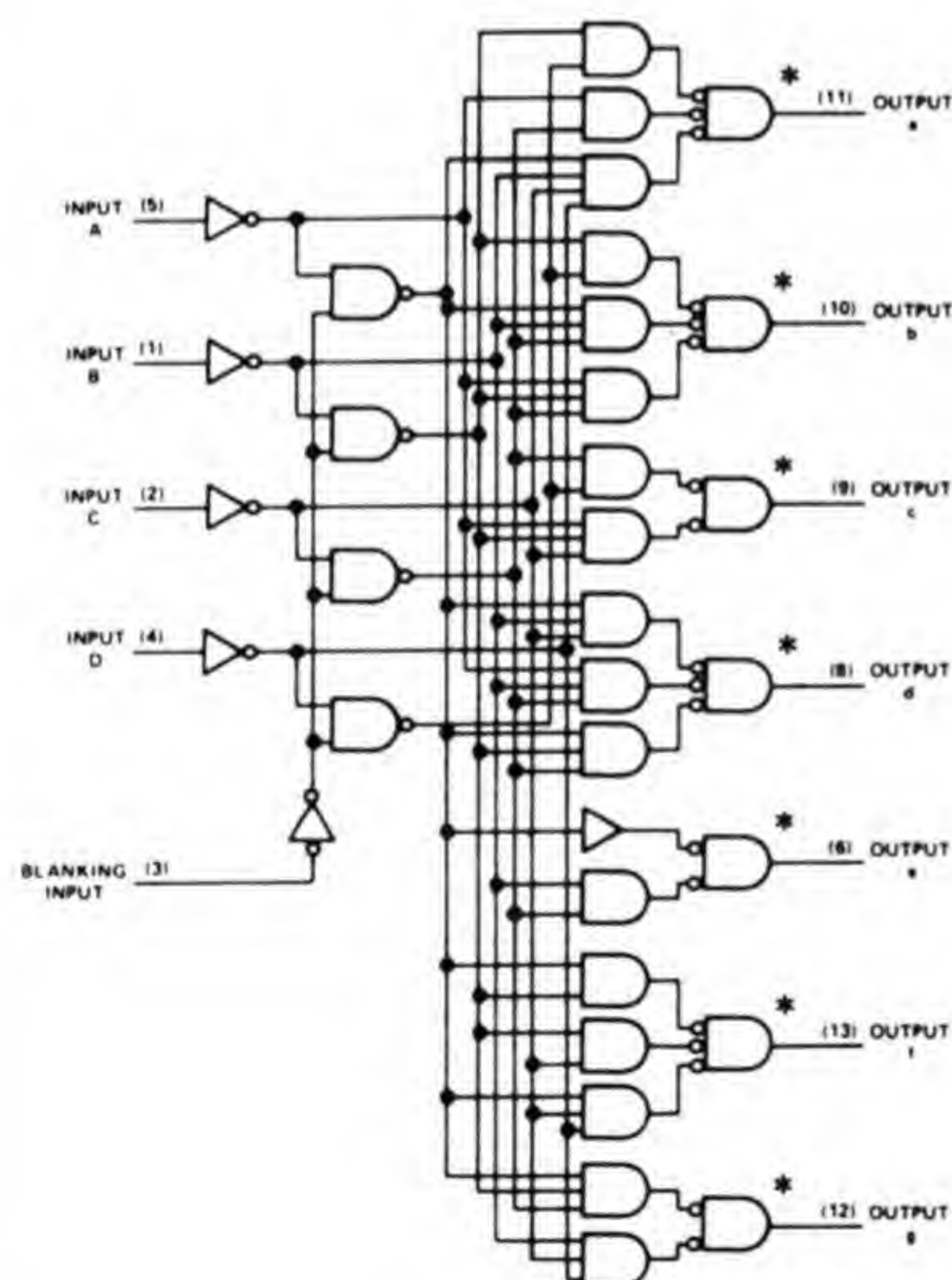
- ゼロサプレスをかけないときは上図10⁰の桁のようにそれぞれの桁のRBIをオープンにしておく。
 - BI/RBOを外部からLにすると全セグメントが強制的に消灯する。
(これはランプテストに優先する。すなわちBI/RBOおよびLTを共にLにすると全セグメント消灯)
- BI/RBO端子は抵抗でプルアップされているので入力（ワイアードOR接続）としても出力としても使用可能で、A～Dの入力およびBI入力がすべてLの時にLになり、ここがLになると全セグメントが消える。

7449

BCD to 7 Segment Decoder/Driver



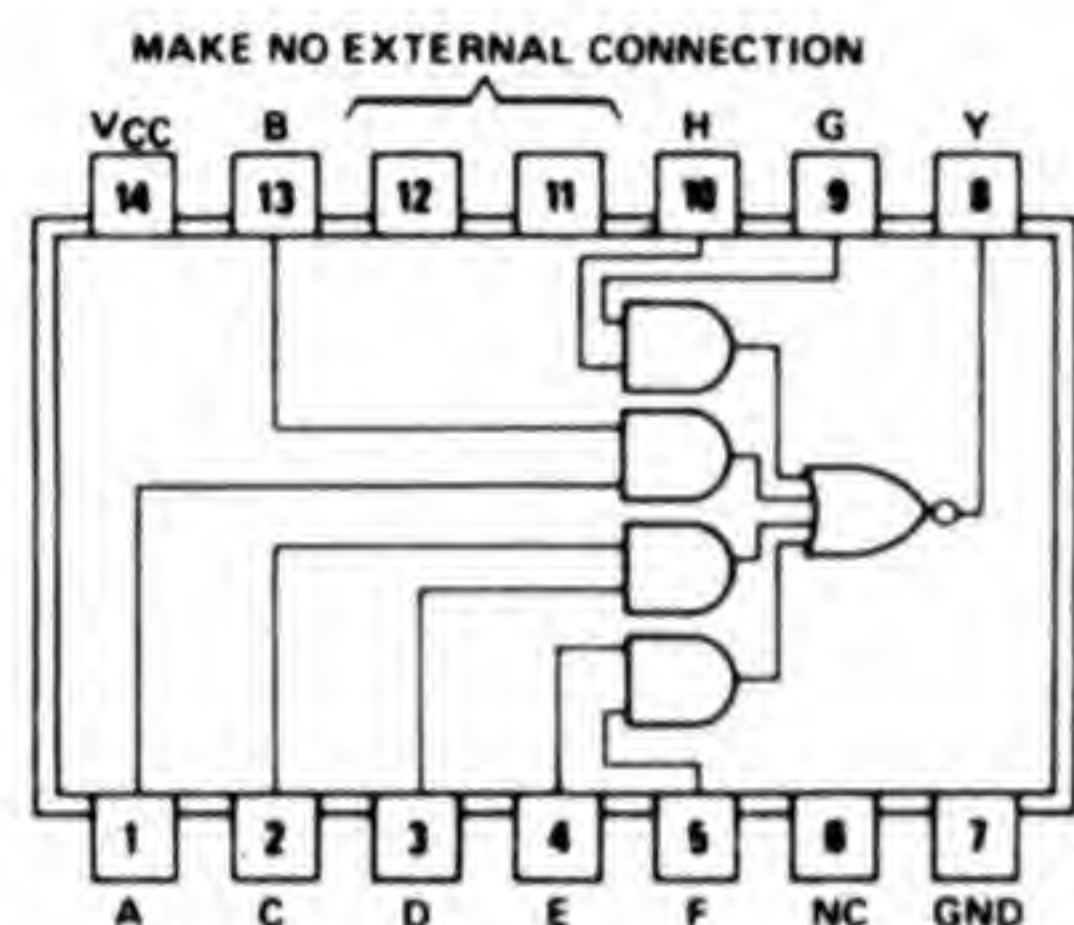
- 74LS48 の RBI, LT ピンおよびプルアップ抵抗も省いたタイプ(オープンコレクタ)
- ブランキングインプットをLにすると全セグメント消灯
- 字形は7446, 7447, 7448と同一



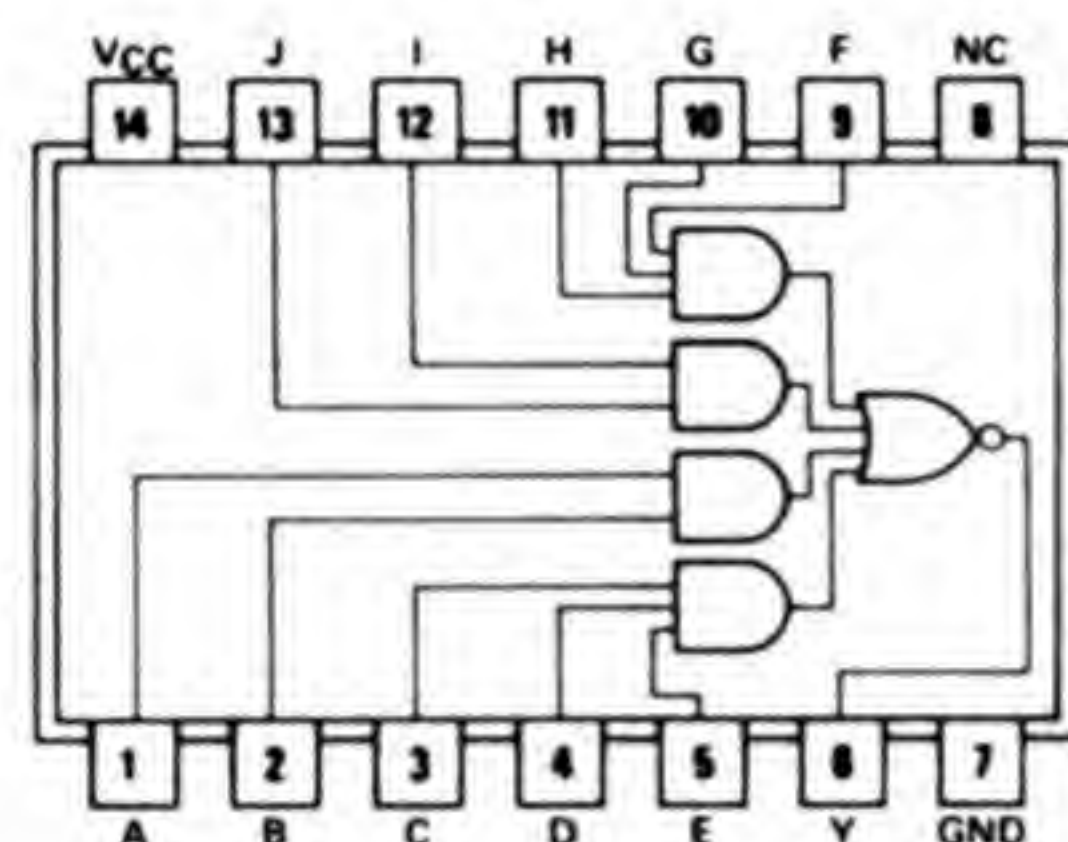
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A~D		a~g			100												ns
tpd	max	BI		a~g			(100)												ns
VOH	max						5.5												V
Icc	max	ALL	H	ALL	0		15												mA
IiH	max	ALL	H				20												μA
IiL	max	ALL	L				0.36												mA
IOH	max			ALL	H														mA
IOL	max			ALL	L		8												mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF															
		MOT																	
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI																	
		東芝																	
		SGS																	
		CYPRES																	
		IDT																	

7454

4W-2 (3) Input AND-OR-INV

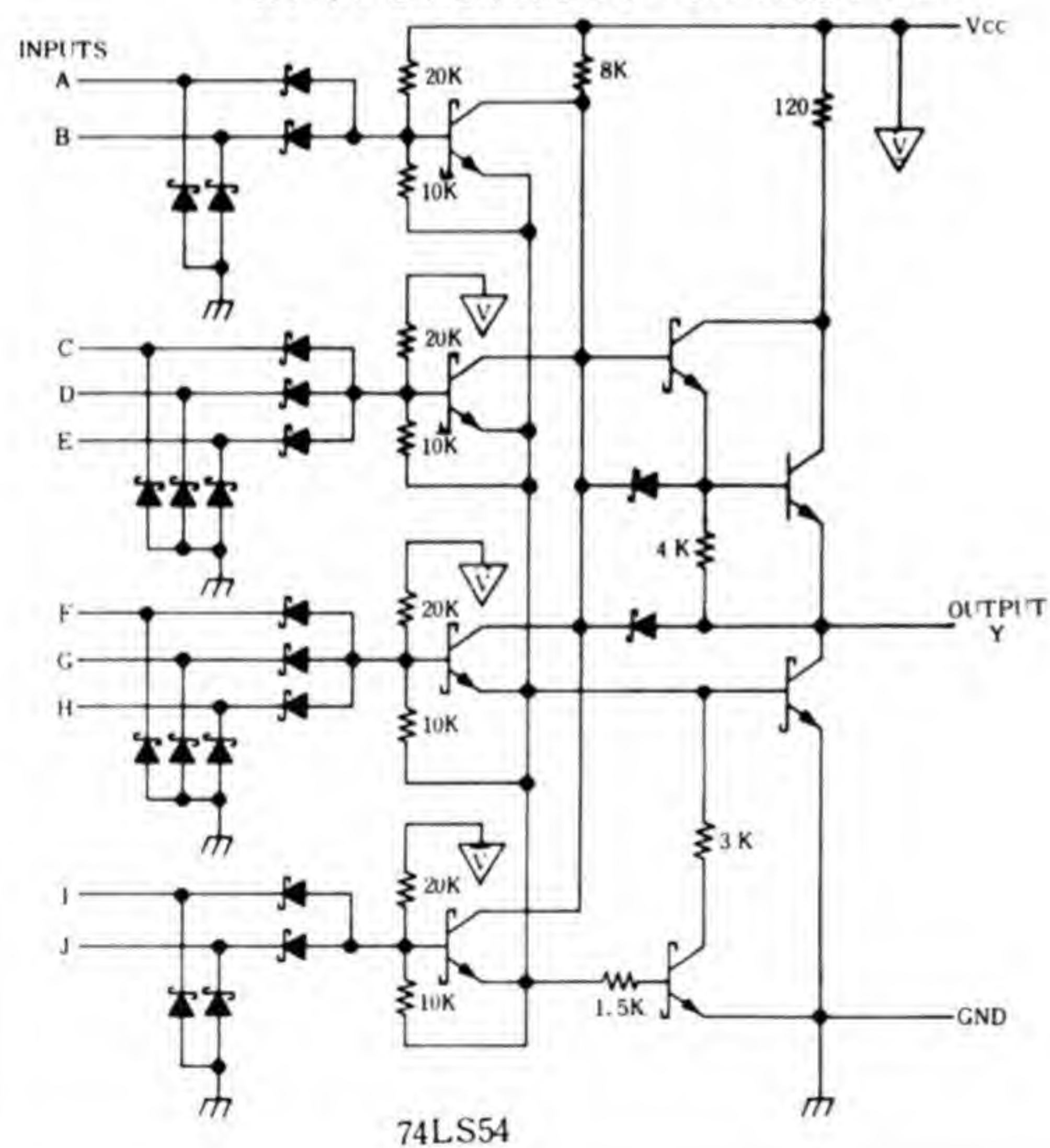


7454

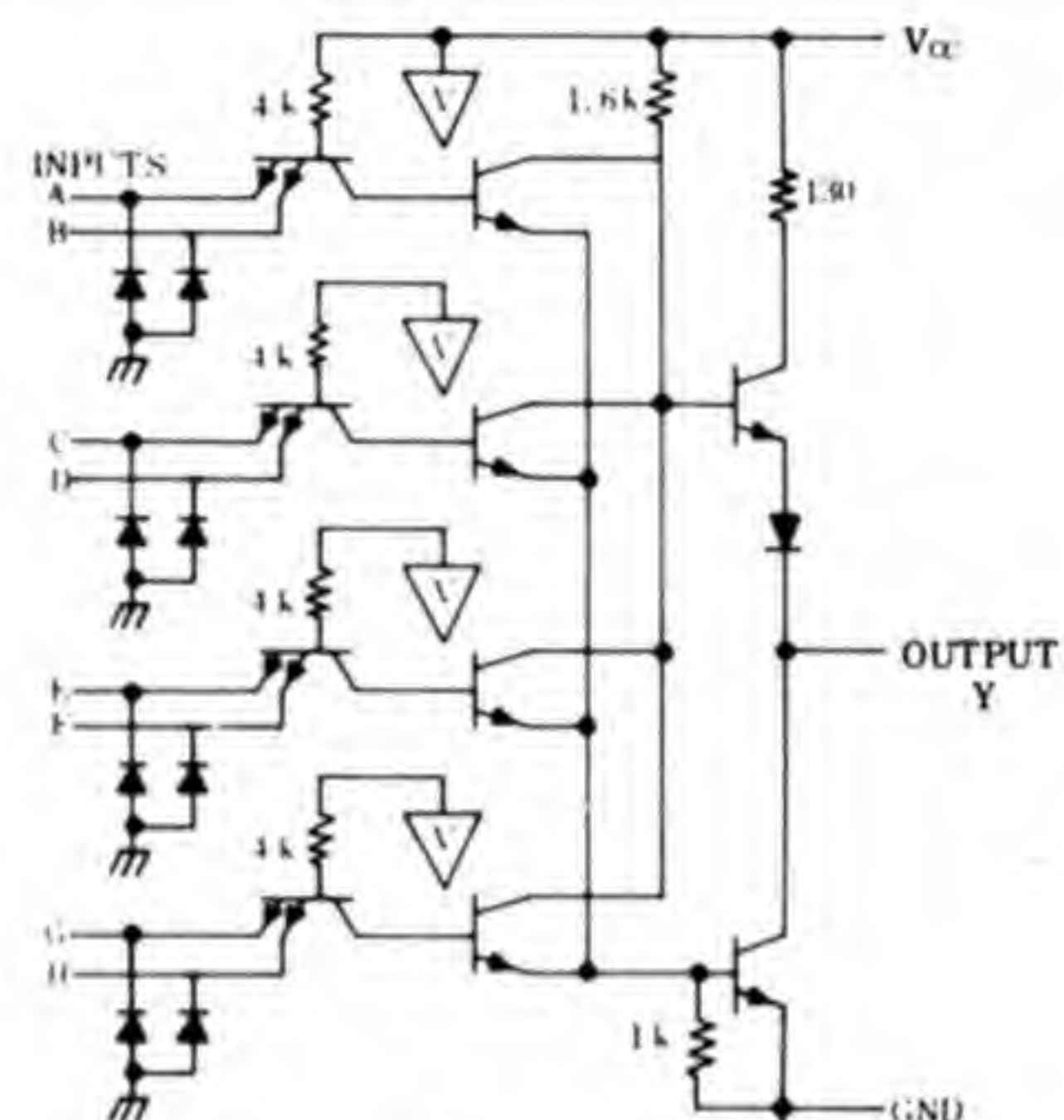


74LS54
74ALS54

- 7453のEXP端子を省いたタイプ
- LSタイプは3-2-2-3入力になっていて、ピン接続もNタイプとかなり異なっているので注意すること



74LS54

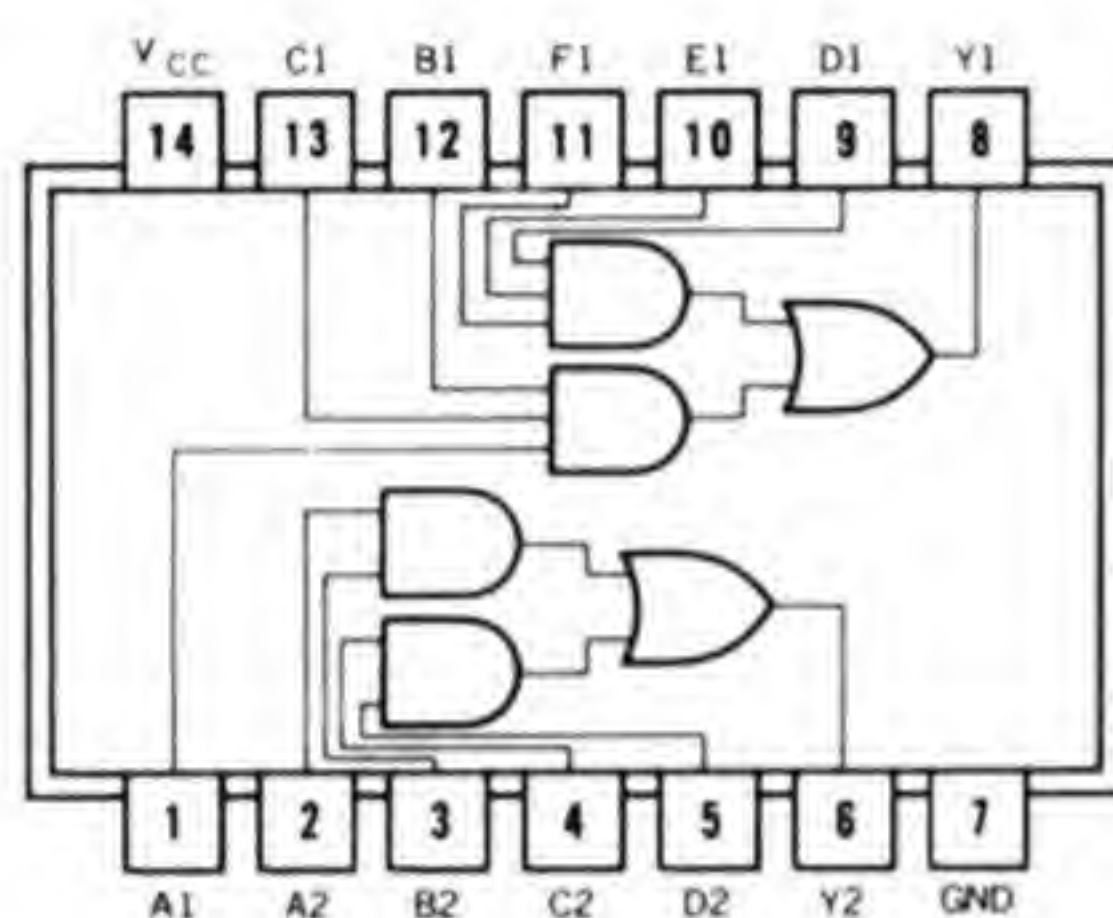


7454

参考品種
7451
7455

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	MAX			L→H	↑		20												ns
tpd	MAX			H→L	↓		20												ns
Icc	MAX			High	H		1.6												mA
Icc	MAX			Low	L		2												mA
I _{IH}	MAX	ALL	H				20												μA
I _{IL}	MAX	ALL	L				0.4												mA
I _{OH}	MAX			Y	H		0.4												mA
I _{OL}	MAX			Y	L		8												mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF															
		MOT		DF															
		日電																	
		NS		DF															
		PHIL																	
		RCA																	
		SIGNE																	
		TI		DF															
		東芝		D															
		SGS																	
		CYPRES																	
		IDT																	

2 Input/3 Input AND-OR Gate



FUNCTION TABLES

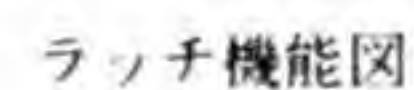
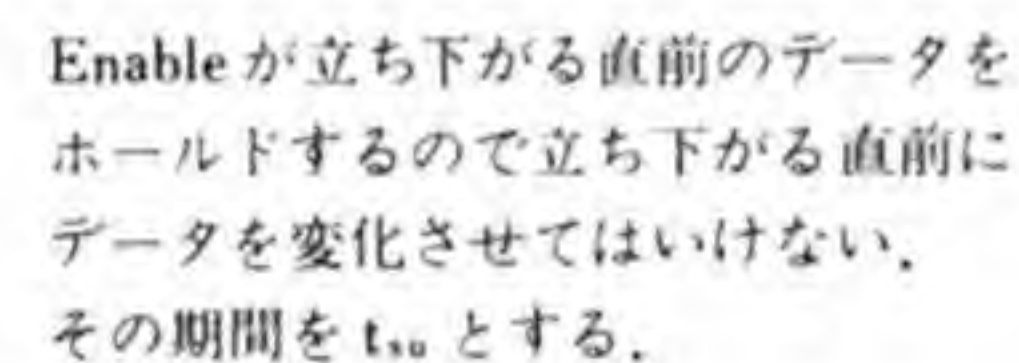
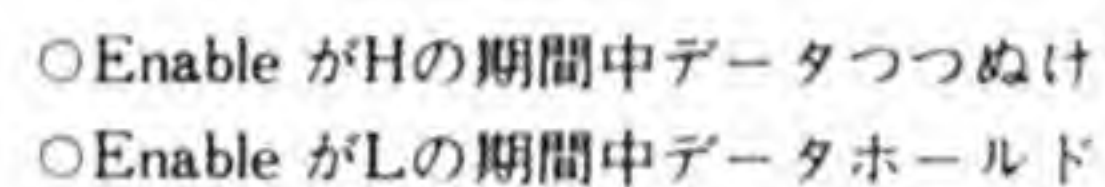
Inputs						Output
A1	B1	C1	D1	E1	F1	Y1
H	H	H	X	X	X	H
X	X	X	H	H	H	H
Any other combination						L

Inputs				Output
A2	B2	C2	D2	Y2
H	H	X	X	H
X	X	H	H	H
Any other combination				L

[illegible]

[illegible][illegible]

7475

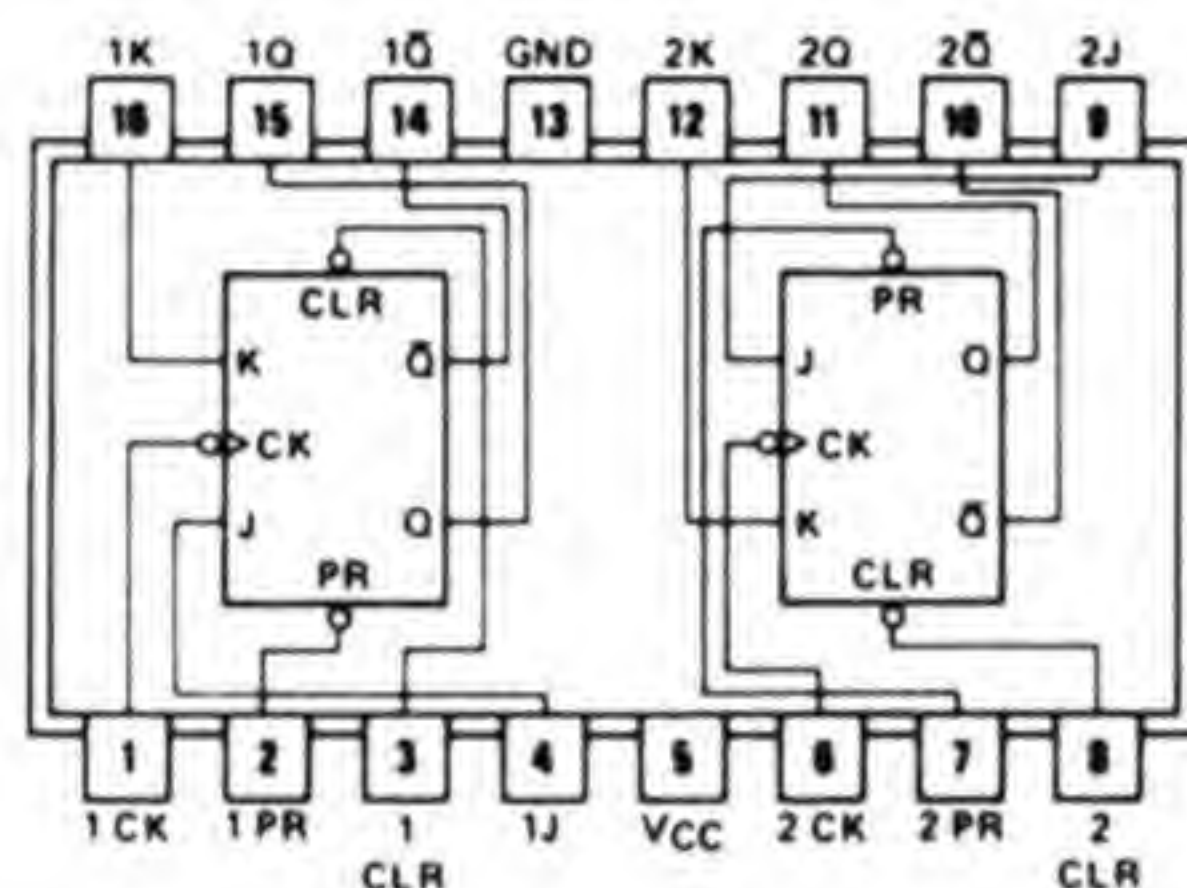


参考品種
74375
7477

[illegible]

7476

Dual JK-FFs with Preset and Clear



○マスタスレーブ型(7476)

クロック

 $\bar{t} - t$

○ネガティブリーディングエッジトリガ (74LS76)

クロック

デ-タ

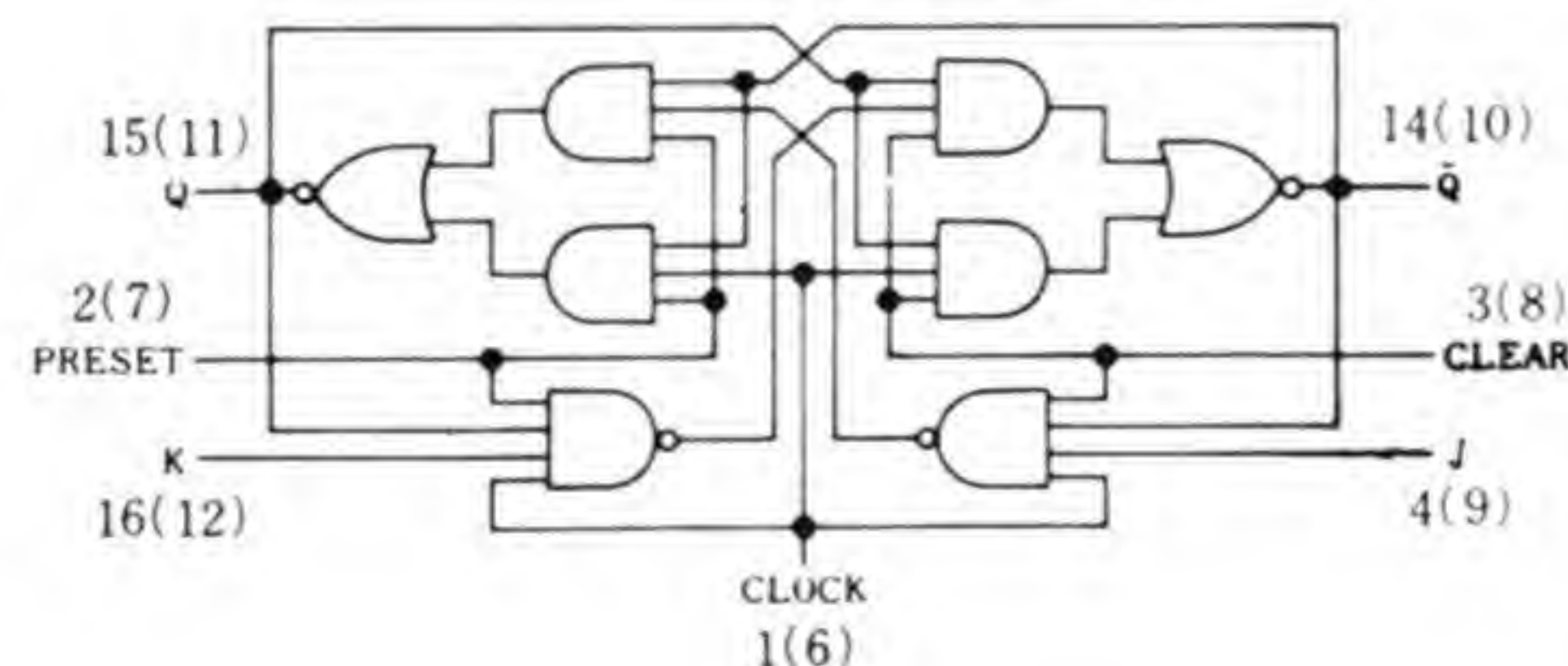
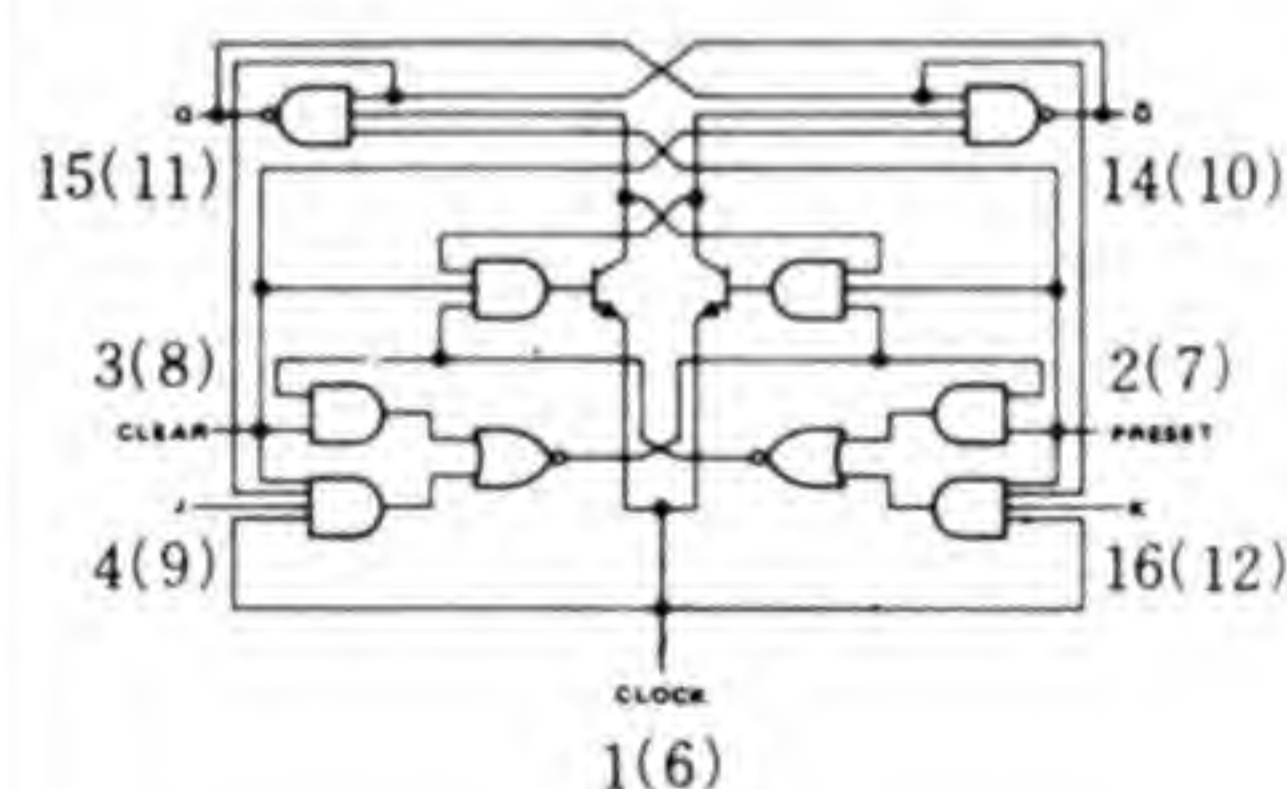
○クリア

(プリセット)

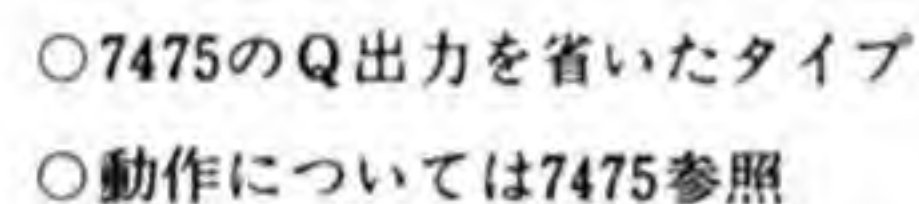
N, LS 共通

○7473の項参照

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30							21		22			MHz
tw	min	CLK	H				20							20		20			ns
tw	min	CLK	L													20			ns
tw	min	PR, CLR	L				25							20		20			ns
tsu	min	J, K					20 ↓							25		25			ns
th	min	J, K					0 ↓							0 ↓		0			ns
tpd	max	ALL		Q, -Q			20							41		44			ns
Icc	max						6							0.04		0.04			mA
IIH	max	CLK	H				80												μA
IIL	max	CLK	L				0.8												mA
IIH	max	J, K	H				20												μA
IIL	max	J, K	L				0.4												mA
IIH	max	PR, CLR	H				60												μA
IIL	max	PR, CLR	L				0.8												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA

[illegible]

7477

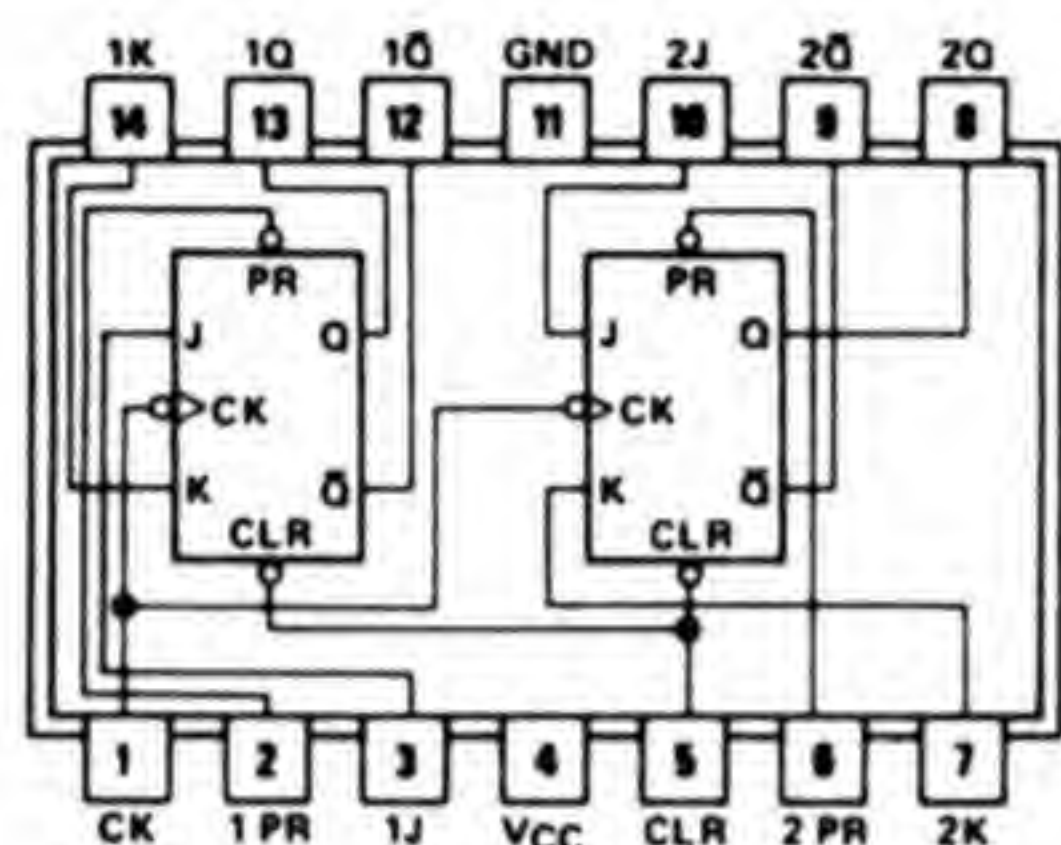


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	G					20												ns
tsu	min	D					20												ns
tpd	max	D			H		19							26					ns
tpd	max	D			L		17							26					ns
tpd	max	G			H		18							25					ns
tpd	max	G			L		18							25					ns
Icc	max	ALL	L	ALL	H		13							0.02					mA
I _{IH}	max	D	H				20												μA
I _{IL}	max	D	L				0.4												mA
I _{IH}	max	G	H				80												μA
I _{IL}	max	G	L				1.6												mA
I _{OH}	max			ALL	H		0.4							4					mA
I _{OL}	max			ALL	L		8							4					mA
					社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
					日立		DF							DF					
					MOT		D												
					日電														
					NS														
					PHIL														
					RCA														
					SIGNE														
					TI														
					東芝									DF					
					SGS									DF					
					CYPRES														
					IDT														

参考品種
7475
74375

7478

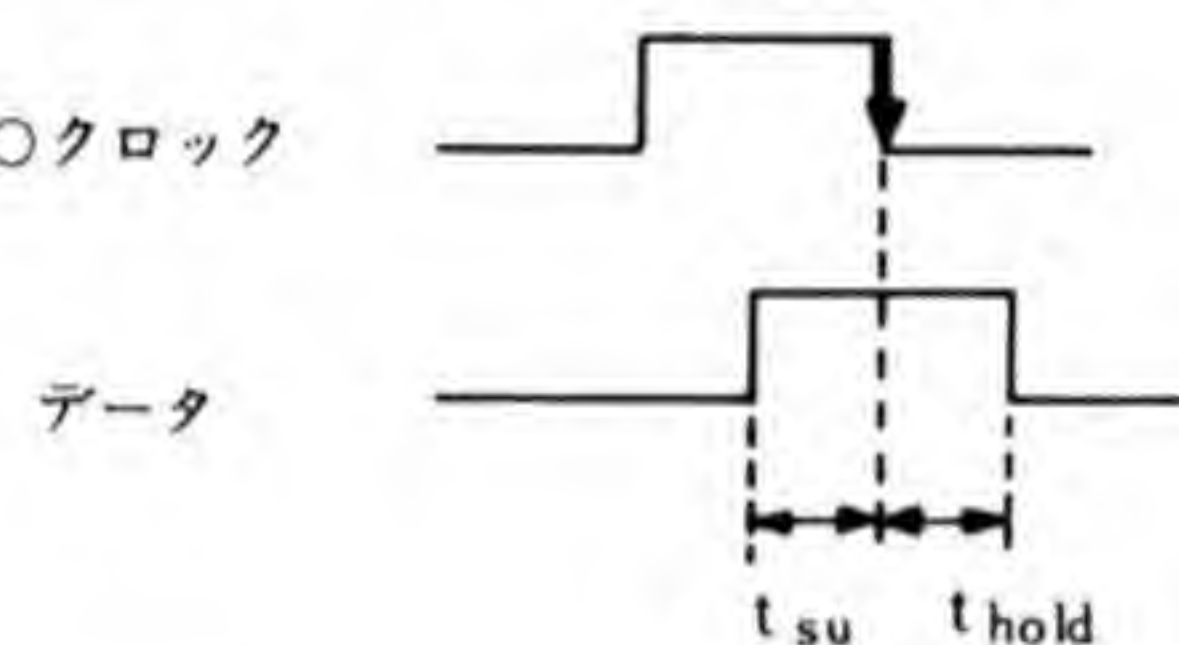
Dual JK-FFs with Preset and Clear (common clear/common clock)



○リーディング エッジトリガ(NEG)

○クロックおよびリセット端子が共通

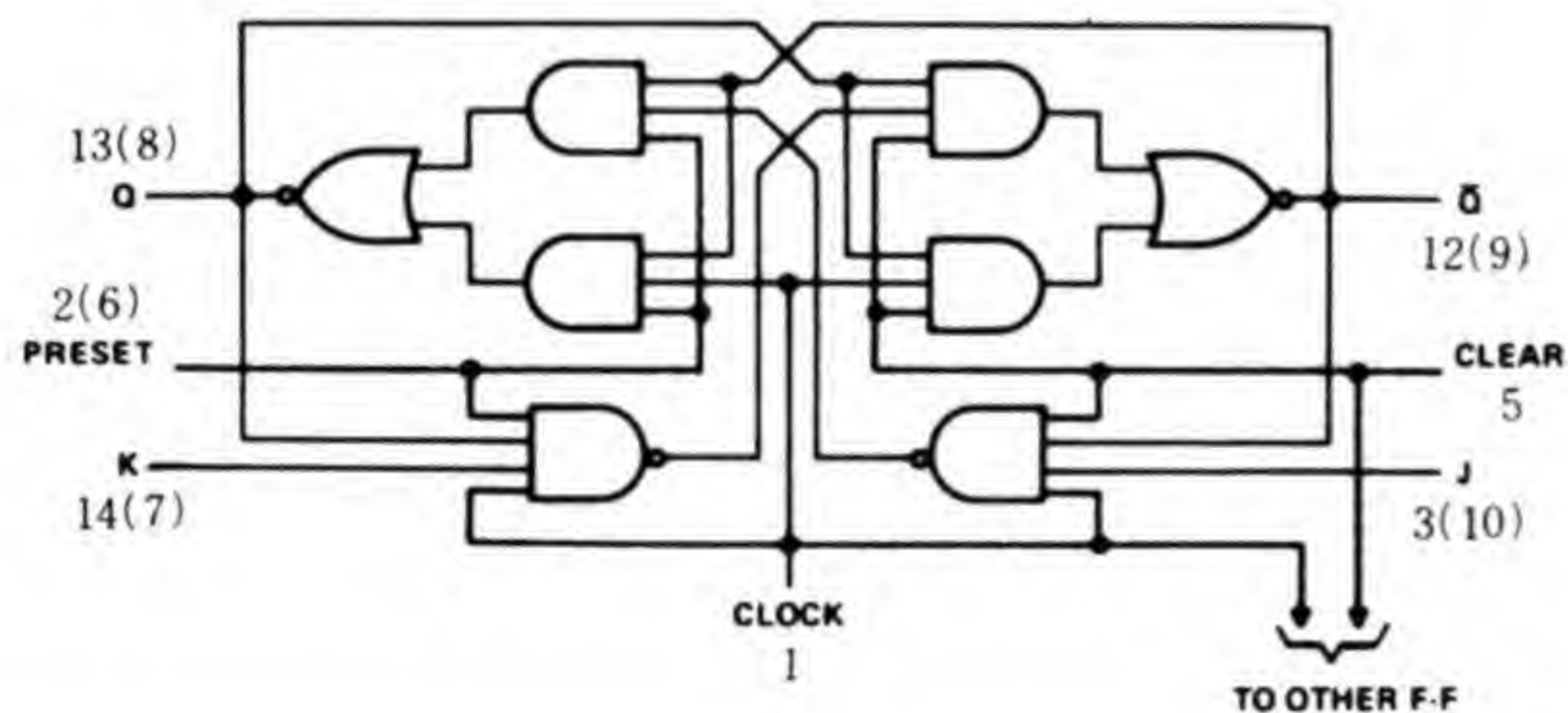
○クロック



○クリア
(プリセット)



○7473の項参照



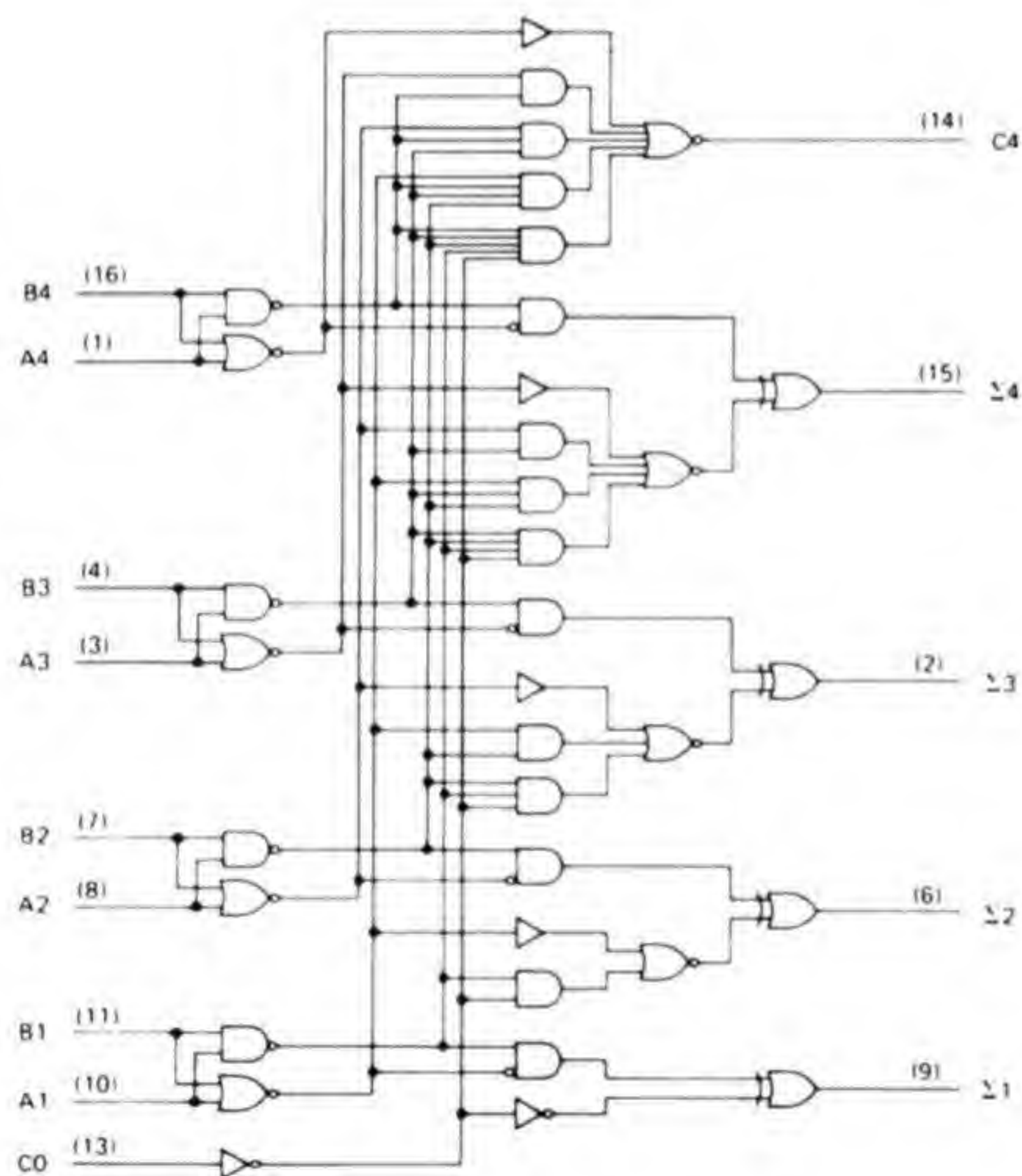
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f _{max}	min	CLK					30							24					ns
t _w	min	CLK	H				20	16.5						20					ns
t _w	min	PR, CLR	L				25	10						20					ns
t _{su}	min	J, K					20 ↓	20						25					ns
t _{hold}	min	J, K					0 ↓	3						5					ns
t _{pd}	max	ALL	Q, -Q				20	19						35					ns
I _{cc}	max						6	4.5						0.02					mA
I _{IH}	max	CLK	H				160	20											μA
I _{IL}	max	CLK	L				1.6	0.2											mA
I _{IH}	max	J, K	H				20	20											μA
I _{IL}	max	J, K	L				0.4	0.2											mA
I _{IH}	max	PR	H				60	40											μA
I _{IL}	max	PR	L				0.8	0.4											mA
I _{IH}	max	CLR	H				120	40											μA
I _{IL}	max	CLR	L				1.6	0.4											mA
I _{OH}	max				H		0.4	0.4						4					mA
I _{OL}	max				L		8	8						4					mA

[illegible]

参考品種

74114

7483



7483A, 74LS83A

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	C0	Σ4				24			10.5				38					ns
tpd	max	Ai, Bi	Σ4				24			10.5				38					ns
tpd	max	C0	C4				22			8.0				38					ns
tpd	max	Ai, Bi	C4				17			8.0				38					ns
Icc	max	ALL	H				34			55				0.04					mA
Icc	max	Bi	L				34												mA
Icc	typ	Bi	L							36									mA
I _{IH}	max	C0	H				80			20									μA
I _{IL}	max	C0	L				1.44			0.6									mA
I _{IH}	max	Ai, Bi	H				20			20									μA
I _{IL}	max	Ai, Bi	L				0.36			1.2									mA
I _{OH}	max			Σ1~4	H		0.4			1									mA
I _{OL}	max			Σ1~4	L		8			20									mA
I _{OH}	max			C4	H		0.4			1				4					mA
I _{OL}	max			C4	L		8			20				4					mA
						社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
						日立		DF							DF				
						MOT		D											
						日電													
						NS		DF											
						PHIL													
						RCA													
						SIGNE													
						TI													
						東芝													
						SGS													
						CYPRES													
						IDT													

参考品種
74283
74583

7483

4-Bit Binary Full Adders

INPUT				OUTPUT					
				WHEN C0 = L			WHEN C0 = H		
A1	B1	A2	B2	WHEN C2 = L			WHEN C2 = H		
A3	B3	A4	B4	Σ1	Σ2	C2	Σ1	Σ2	C2
A3	B3	A4	B4	Σ3	Σ4	C4	Σ3	Σ4	C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

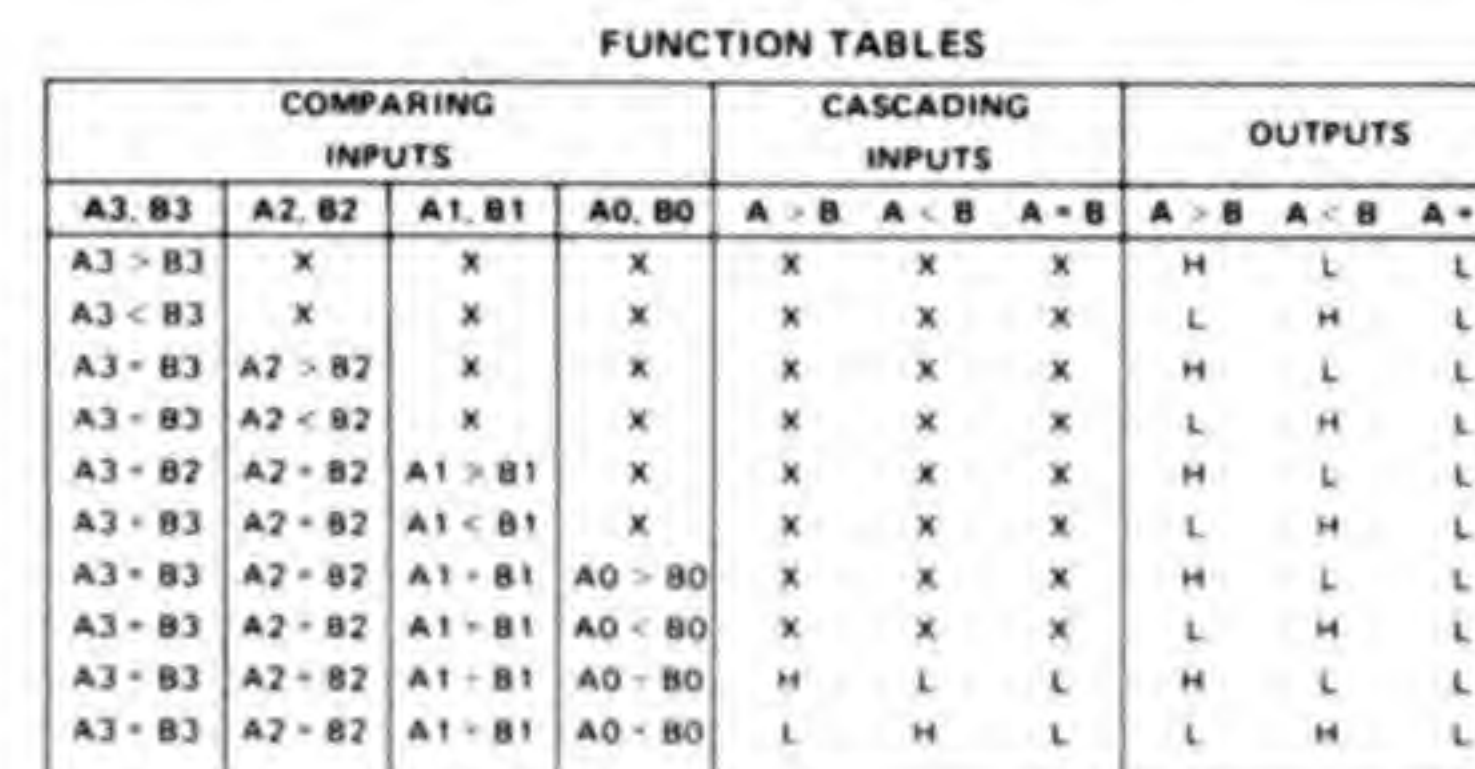
演算

$$\begin{array}{r}
 \text{MSB} \qquad \qquad \text{LSB} \\
 \qquad \qquad \qquad C_0 \\
 \qquad \qquad A_4 \ A_3 \ A_2 \ A_1 \\
 +) \ B_4 \ B_3 \ B_2 \ B_1 \\
 \hline
 C_4 \ \Sigma_4 \ \Sigma_3 \ \Sigma_2 \ \Sigma_1 \\
 \text{キャリ} \qquad \text{部分和}
 \end{array}$$

○7483Aは内部にキャリルックアヘッド回路がある。74LS83は直列キャリなので $\frac{1}{2}$ ～ $\frac{1}{4}$ 程度のスピードになる。

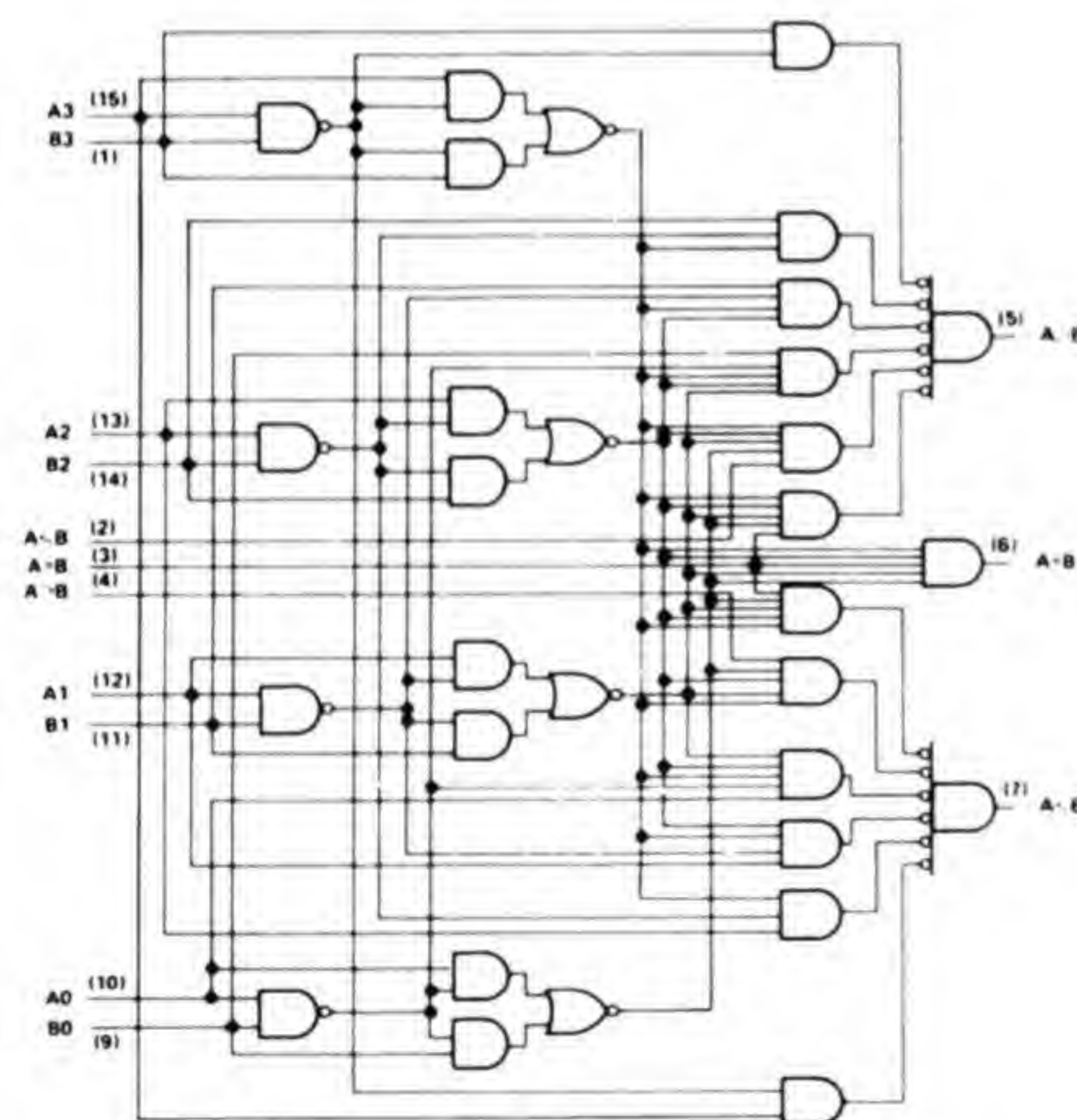
	8ビット	16ビット
7483A	23nS	43nS
74LS83	89nS	165nS
74LS83A	25nS	45nS

7485



A3 - B3	A2 - B2	A1 - B1	A0 - B0	X	X	H	L	L	H
A3 - B3	A2 - B2	A1 - B1	A0 - B0	H	H	L	L	L	L
A3 - B3	A2 - B2	A1 - B1	A0 - B0	L	L	L	H	H	L

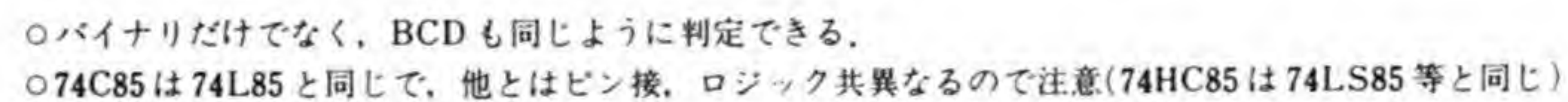
8200



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		A=B	↑		45			14.0				50		44			ns
tpd	max	A, B		A=B	↓		45			14.5				50		44			ns
tpd	max	A+B		A=B			26			12.0				37		30			ns
lcc	max						20			50				0.08		0.08			mA
IIH	max	A>B	H				20			20									μA
IIH	max	A>B	L				0.4			20									mA
IIH	max	A<B	H				20			20									μA
IIH	max	A<B	L				0.4			20									mA
IIH	max	OTHERS	H				60												μA
IIH	max	OTHERS	L				1.2												mA
IOH	max			ALL	H		0.4			1				4		4			mA
IOH	max			ALL	L		8			20				4		4			mA

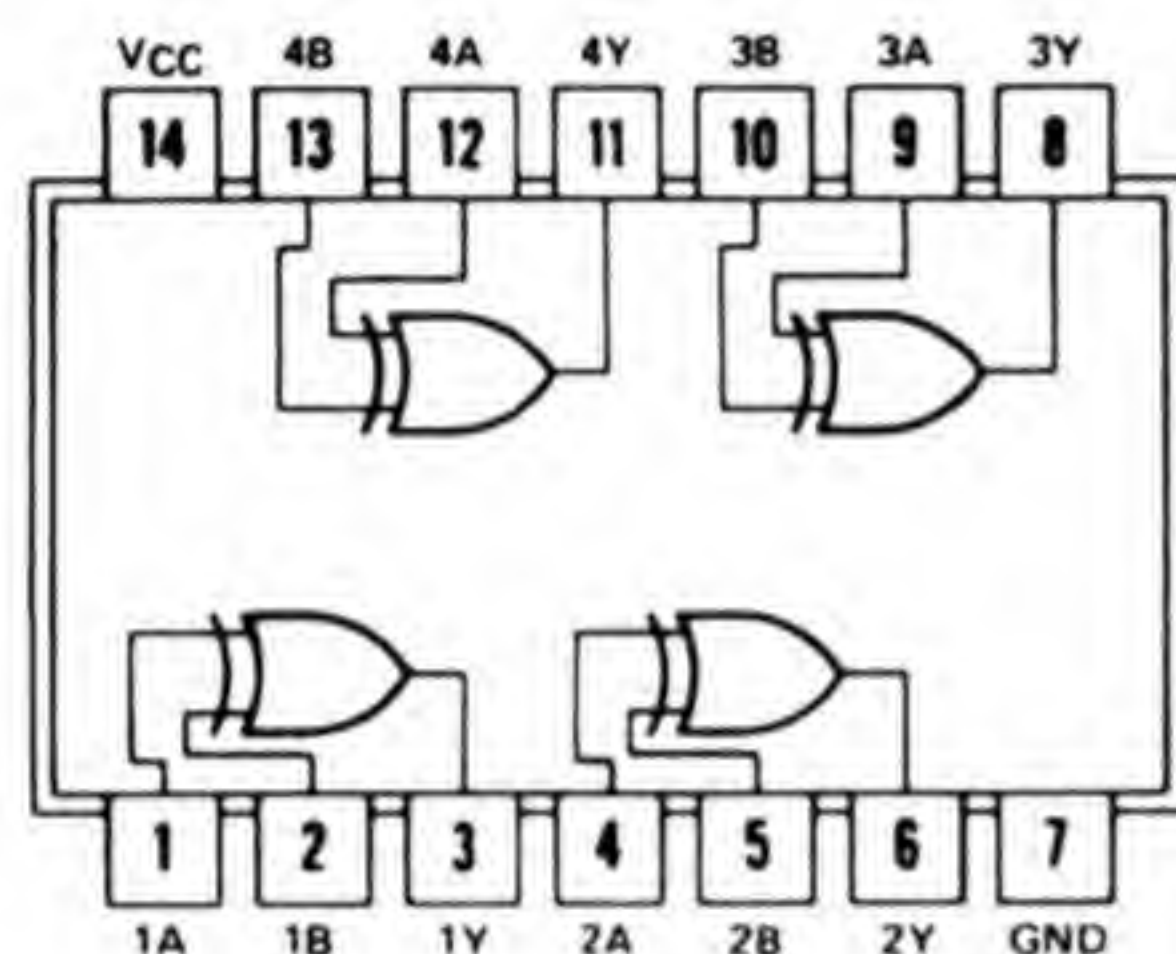
[illegible]

7485



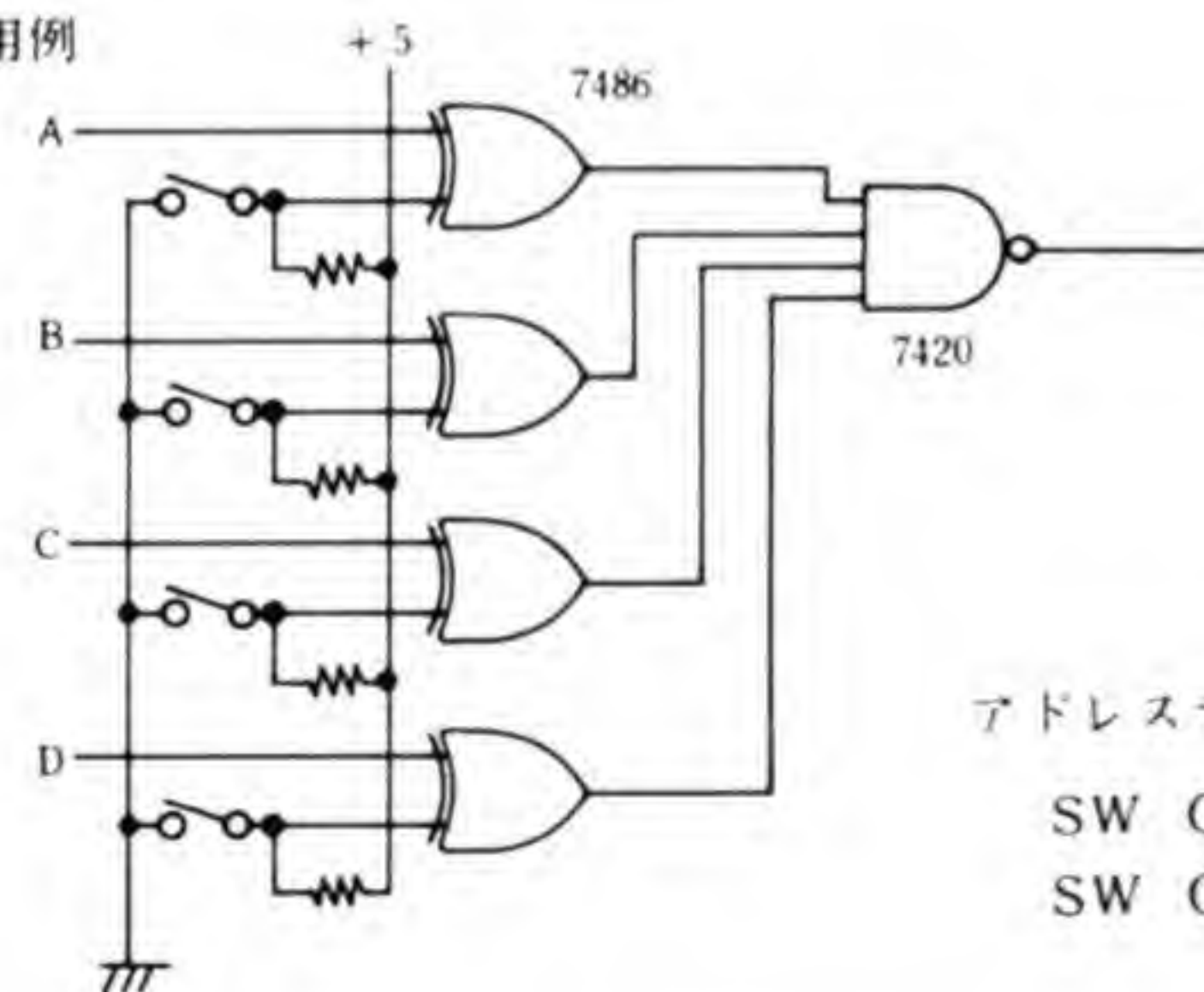
7486

Quad 2 Input EX-OR



$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

応用例



アドレスデコーダ

SW ONのビットHで選択
SW OFFのビットLで選択


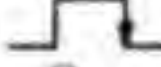


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L, L→H	↑	L→H	↑	11.5	23	17		6.5	6.5	9.5	12	30		40			ns
tpd	max	L, H→L	↓	H→L	↓	11.5	17	12		6.5	6.5	9.0	11	30		40			ns
tpd	max	H, H→L	↑	L→H	↑	11.5	30	17		8	6	9.5	12	30		40			ns
tpd	max	H, L→H	↓	H→L	↓	11.5	22	10		7.5	6	9.0	11	30		40			ns
Icc	max			OPEN		0.0025	10	5.9		28	12	0.08	0.08	0.02		0.02			mA
IiH	max	A, B	H				40	20		20	20								μA
IiL	max	A, B	L				0.6	0.1		0.6	0.5								mA
IOH	max			Y	H	12	0.4	0.4		1	2	24	4	4		4			mA
IOL	max			Y	L	12	8	8		20	20	24	4	4		4			mA
社名																			
日立																			
MOT																			
日電																			
NS																			
PHIL																			
RCA																			
SIGNE																			
TI																			
東芝																			
SGS																			
CYPRES																			
IDT																			

参考品種

74386

74136

- [illegible]

入		力			出				動作
R ₀	R ₁	CK			Q _A	Q _B	Q _C	Q _D	
		A	B	パルス数					
L	L	 Q _A に対する CK	 Q _B / Q _D に対する CK	0	L	L	L	カウント	
				1	H	H	L		
				2	L	L	H		L
				3		H	H		L
				4		L	L		H
				5		L	L		L
L		×	×	—	H	L	L	H	プリセット 9
	×	×	×	—	L	L	L	L	クリア

$$R_0 = R_{0(1)} \cdot R_{0(2)}$$

$$R_9 = R_{9(1)} \cdot R_{9(2)}$$

[illegible][illegible]

参考品種
74290
74490
74390

Asynchronous counter

○非同期カウンタは、前段のFFの出力をCKに入れます。

(Ripple clock)

例として図1に7490の一部を示します。この場合、 Q_A のドライブ能力は CK_2 の分だけ減少するわけですが、 Q_A にかぎり CK_2 の分を上のでしてあります。つまり、 Q_A に CK_2 を接続しないときには10を越えるファンアウトがあるということです。これは90系、290系、196系のすべてに当てはまります。

○7490のように内部で分離しているカウンタを、分周器として使用する場合、図2のように Q_D を入力Aに接続すると、 Q_A のデューティ（1周期に対するHの期間の割合）は50%となります。ただし入力Bは入力Aに比べて遅いので注意。

○非同期カウンタのプリセットは、ラッチ回路（7475等）と同じ動作なので多段に接続するとレーシングを起してしまい、シフトレジスタのような使用法はできません（図3）。シフトしたい場合は図4のように多相にします。

○各動作の優先順位は、クリア、プリセット、クロック、の順になっています。ただし7490, 74290, 74490についてはプリセット9. クリア、クロックとなります。

○ t_{su} , t_{hold} はFFと同じなので7473の項参照 t_{rec} (Count recover time)はロード（データセット）が解除された後、カウントが可能になるまでの時間。

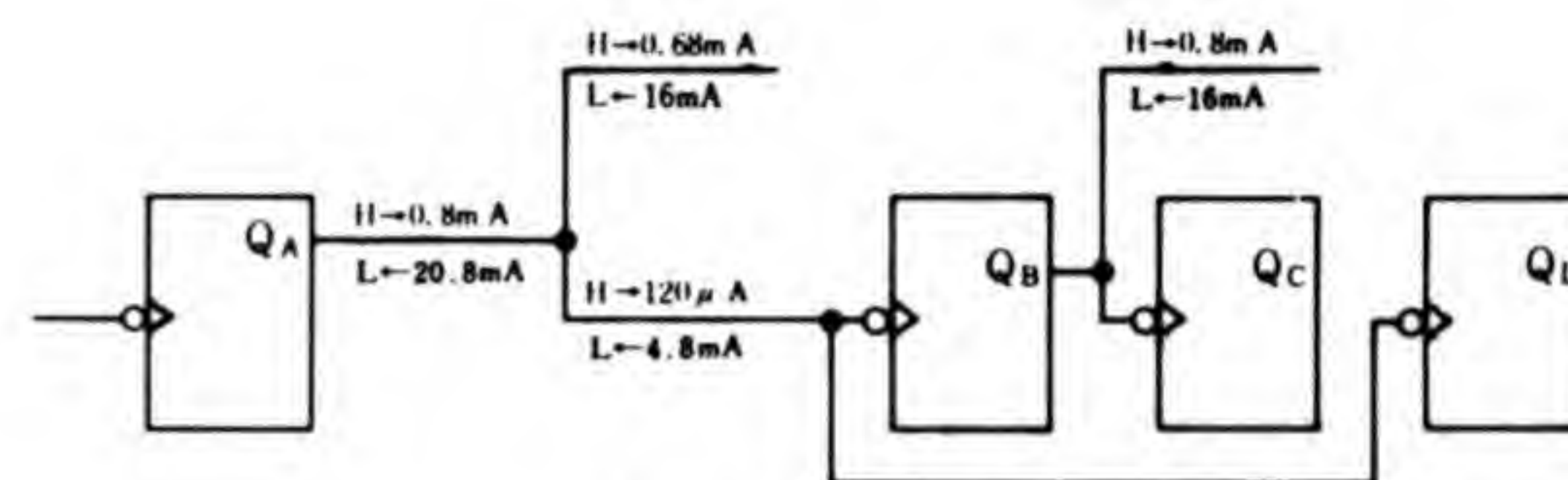


図1 7490のドライブ能力

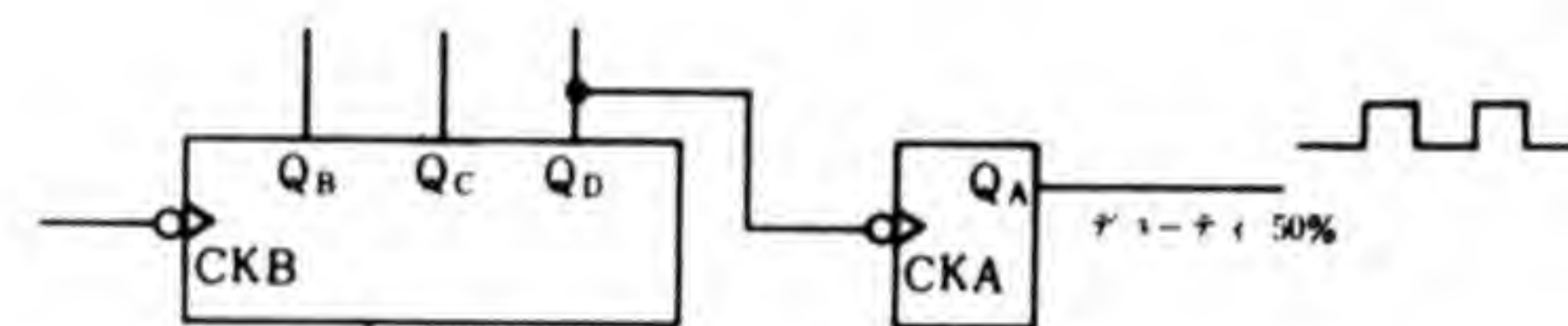


図2

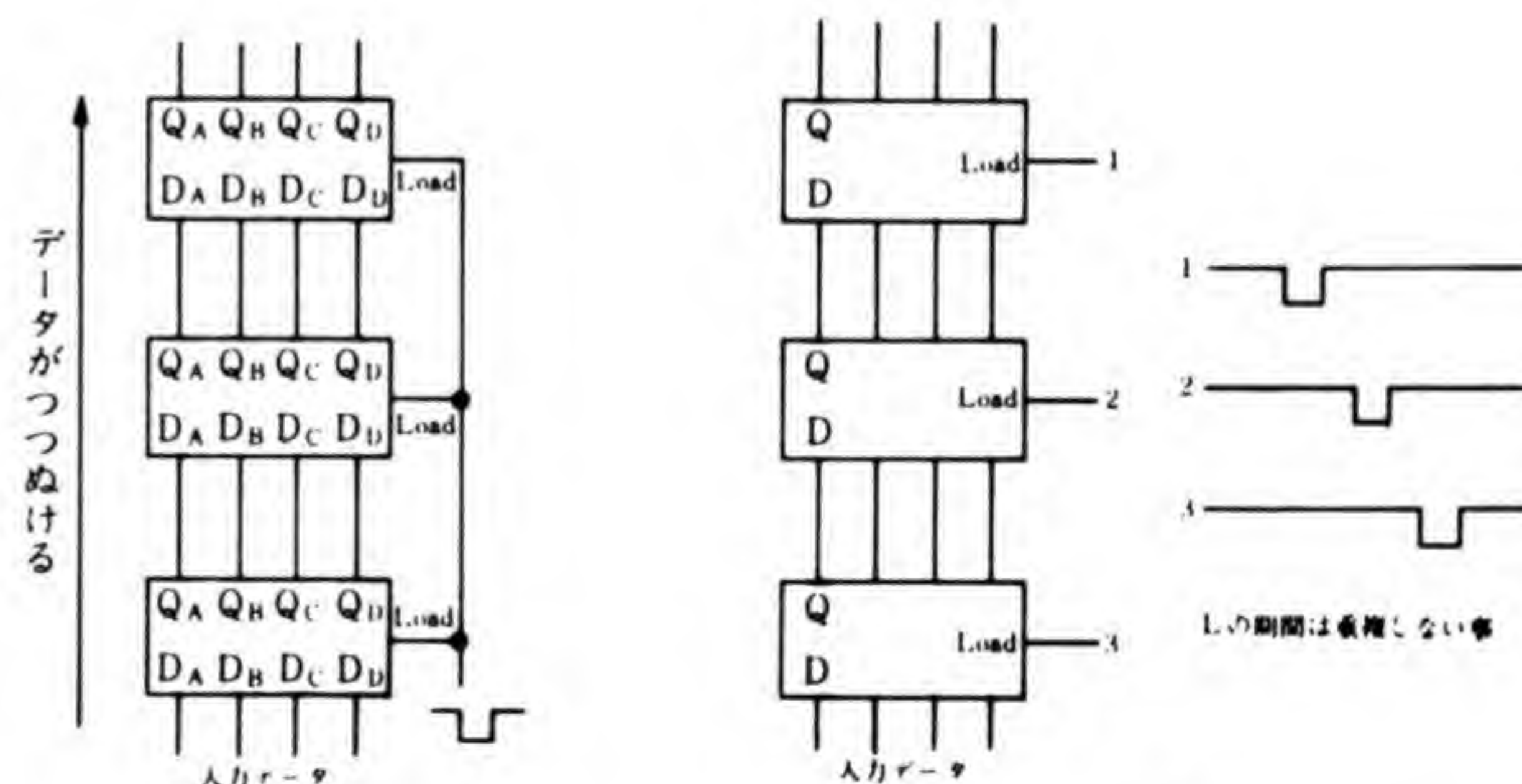


図3

図4

Shift Register

シフトレジスタの解説

◎シフトレジスタの全機能はワクで囲んだ矢印の記号および表で示してあります。

i) bit数……矢印右側数字

ii) 右シフト機能……右方向矢印

iii) 左シフト機能……左方向矢印

iv) 並列出力……縦方向矢印（上半分）

出力が 3 state ならば矢印の上を示してあります。

v) 並列入力……縦方向矢印（下半分）

実線の場合はクロック同期、点線の場合は非同期です。

非同期のなかにはリセットとプリセットが独立しているタイプと一動作でデータセットができるタイプとがあります。

vi) データホールド機能……矢印中央の小丸

○はクロック同期でホールド、つまり出力が入力に帰還されているタイプ。

●はクロックをインヒビットするタイプです。クロックとインヒビットの入力が入力ORになっているので、インヒビットをON-OFFするとクロックが入ったのと同じことになります。

いずれにしてもレジスタですから何もしなければホールドしているのはいうまでもありません。

vii) クロック

ネガティブタイプかポジティブタイプかは表のなかに波形で示してあります。

viii) クリア

74323はクロック同期クリア、他は非同期です。

正論理か負論理かは表に示してあります。

◎例として 74199 を示します。

右図から

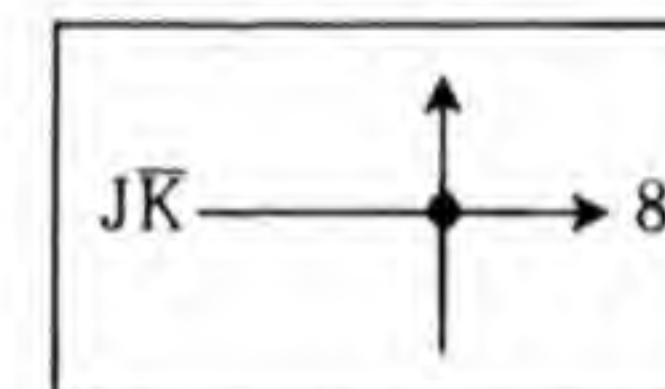
○ライトシフト（8 bit）

○パラレルインプット可能（クロック同期）

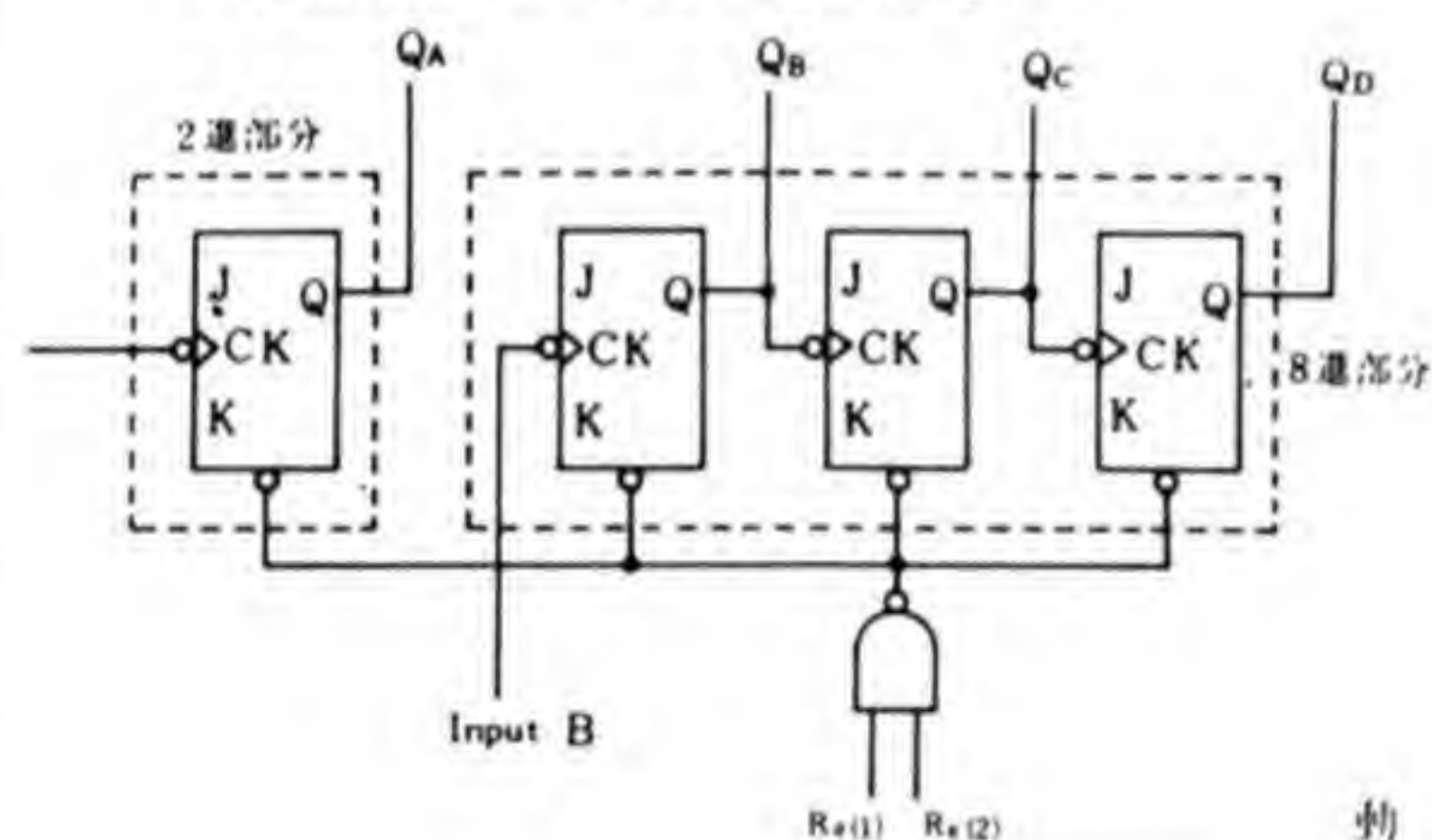
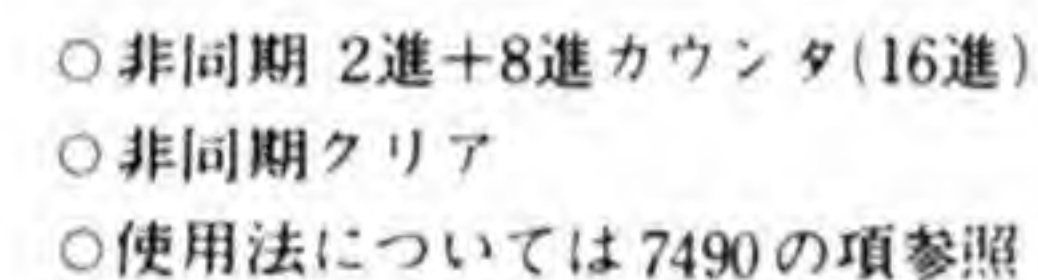
○パラレルアウトプットあり

○クロックインヒビット端子あり

○シリアルインプットはJKモード（7473の項参照）が読みとれます。



4-Bit Binary Counter

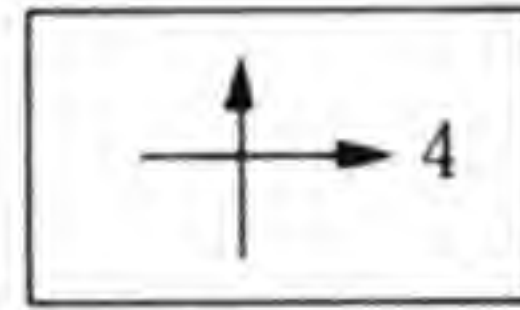
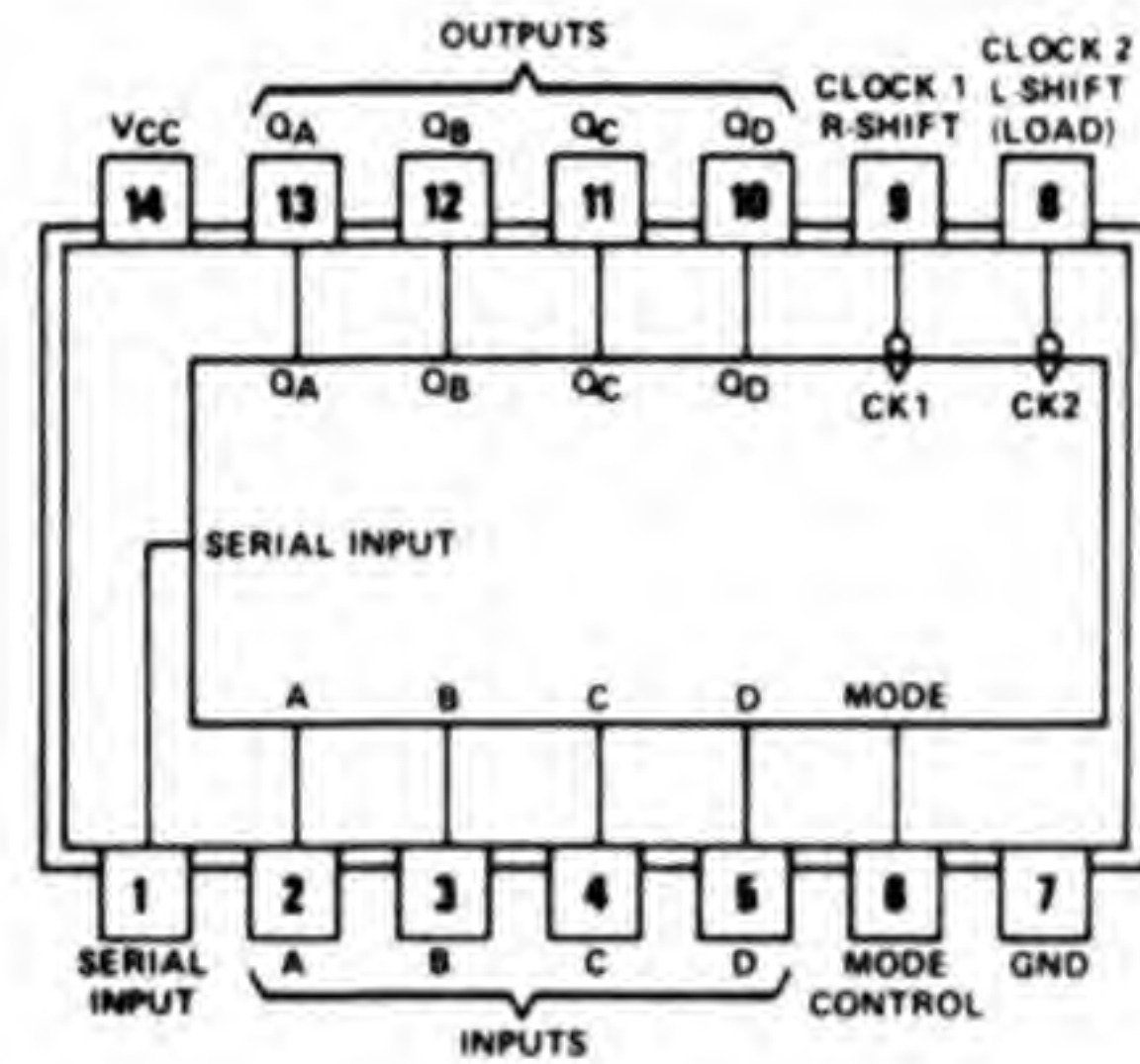

$$R_0 = R_{0(1)} \cdot R_{0(2)}$$

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	INP. A					32							24		24			MHz
fmax	min	INP. B					16							24		24			MHz
tw	min	INP. A					15							20		20			ns
tw	min	INP. B					30							20		20			ns
tw	min	RO					15							20		20			ns
trec	min	RO					25 ↓												ns
tpd	max	INP. A		Qa			18							31		43			ns
tpd	max	INP. B		Qd			51							61		73			ns
tpd	max	RO		Qa~Qd			40							39		41			ns
Icc	max						15							0.08		0.08			mA
I _{IH}	max	INP. A	H				40												μA
I _{IL}	max	INP. A	L				2.4												mA
I _{IH}	max	INP. B	H				20												μA
I _{IL}	max	INP. B	L				0.4												mA
I _{OH}	max	RO					0.4							4		4			mA
I _{OL}	max	RO					8							4		4			mA

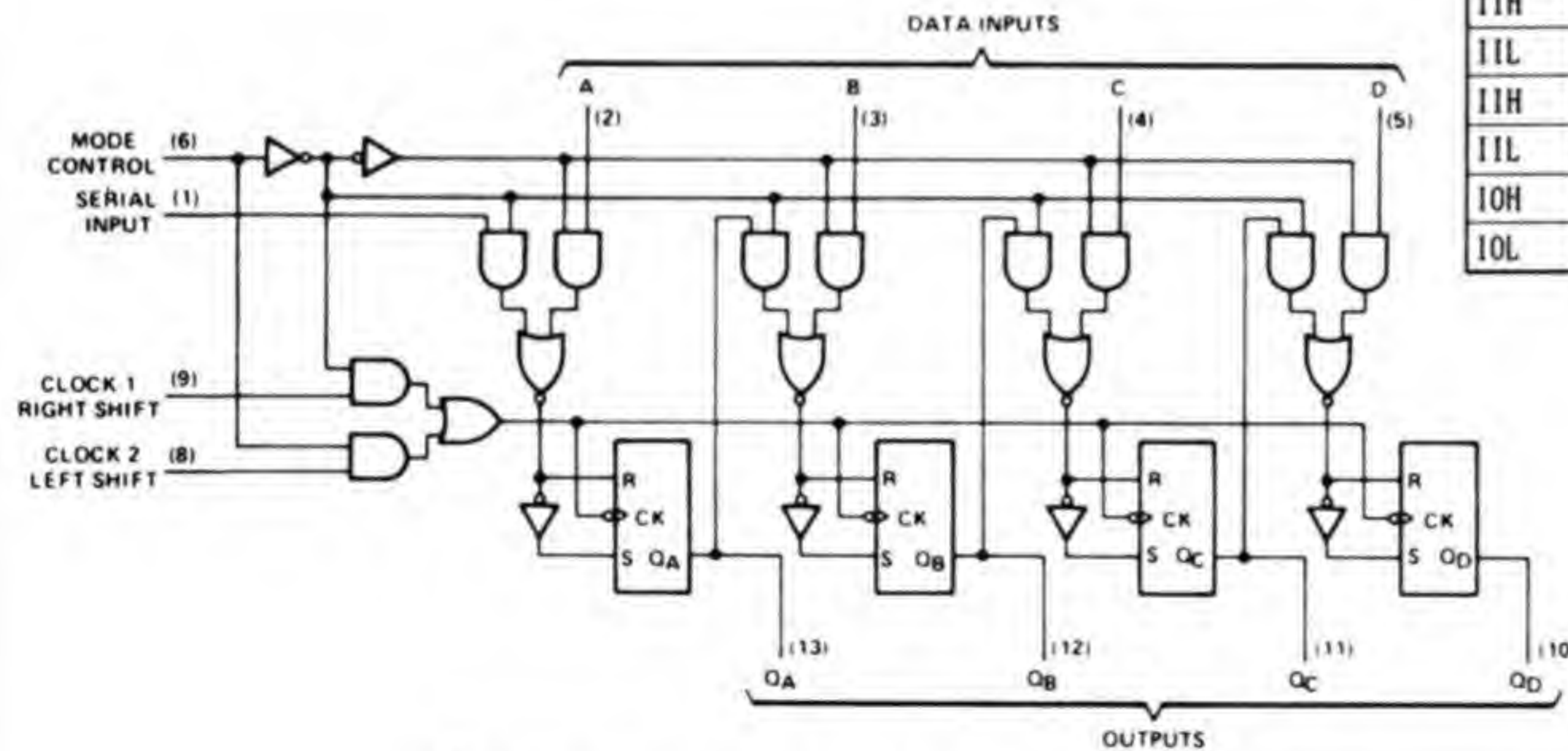
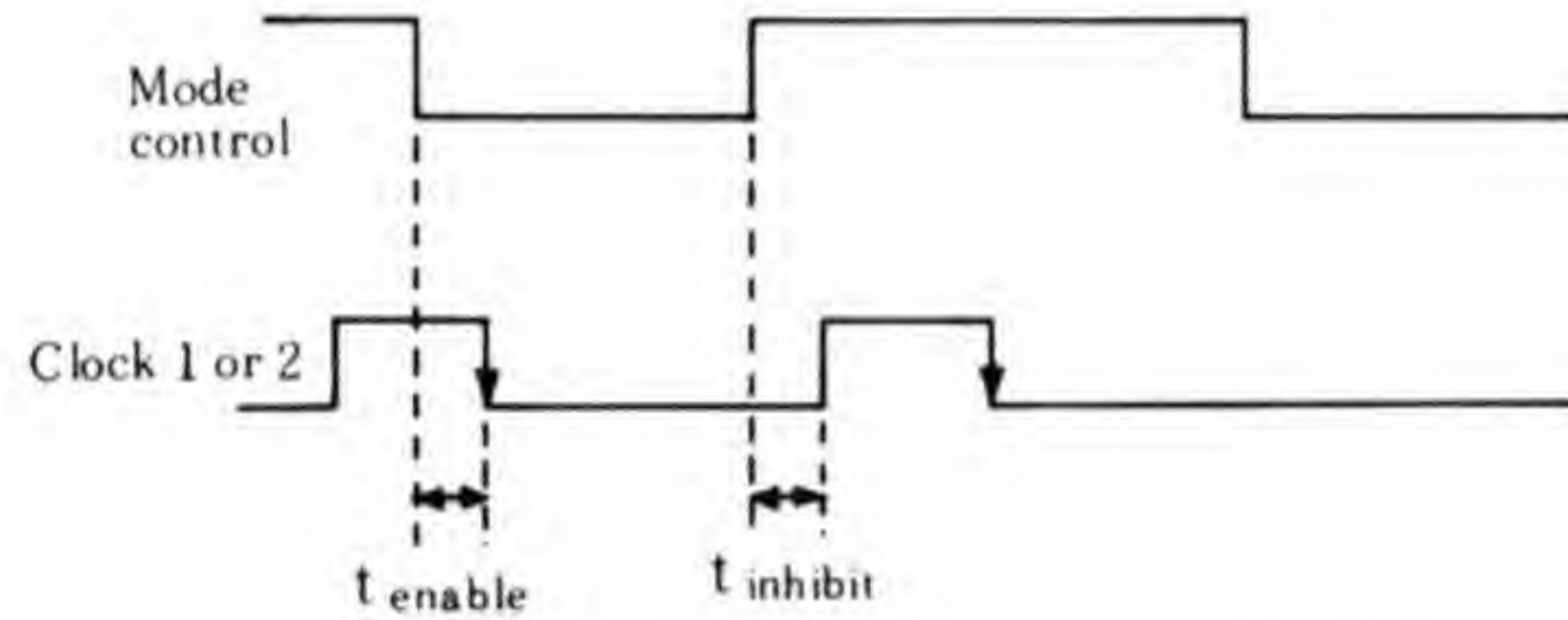
[illegible]

7495

4-Bit Shift Register



入 力			動 作
Mode	C	K	
cont	1	2	
L		X	右シフト
H	X		ロード

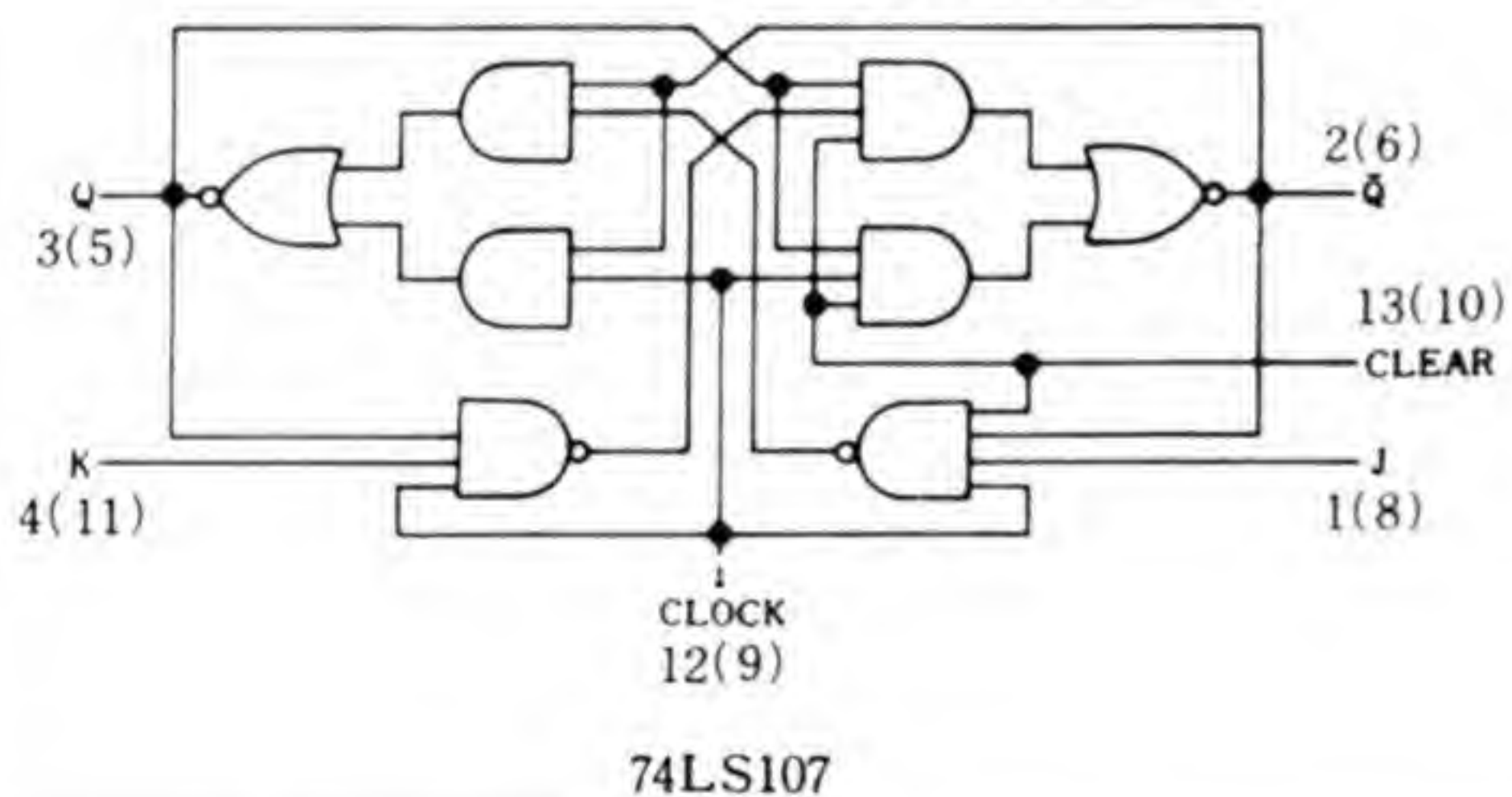
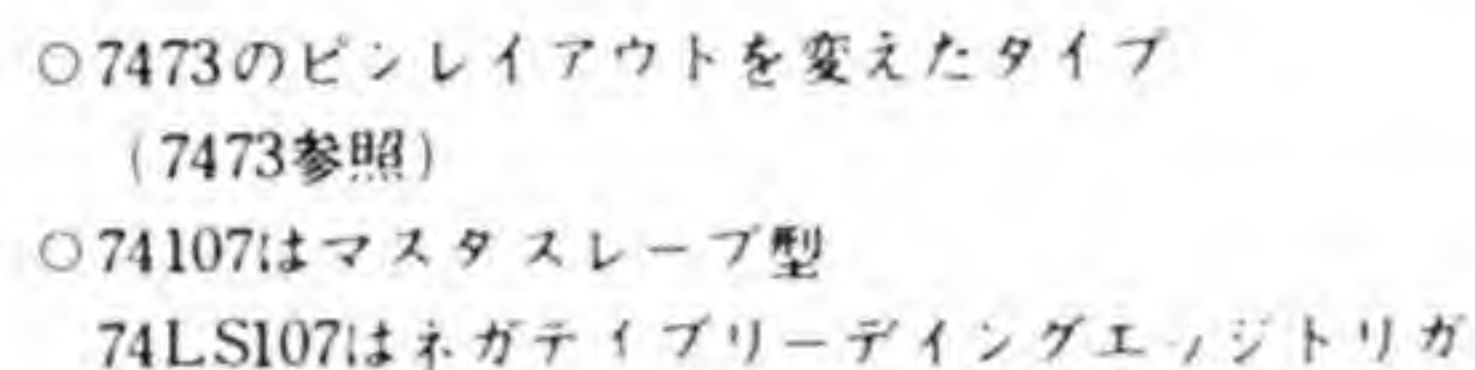


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25				100			16					MHz
tw	min	CLK					25				5			20					ns
tsu	min	A~D					20 ↓				2 ↓			25					ns
thold	min	A~D					10 ↓				3 ↓			10					ns
tenabl	min	MODE					20 ↓				12 ↓								ns
tinhb	min	MODE					20 ↑				2.5 ↑								ns
tpd	max	A~D		Q			32				10			43					ns
Icc	max	A~D	L		OPEN		21				39			0.04					mA
IIH	max	CLK	H				40				20								μA
IIL	max	CLK	L				0.8				0.5								mA
IIH	max	MODE	H				20				20								μA
IIL	max	MODE	L				0.4				1								mA
IIH	max	SERIAL	H				20				20								μA
IIL	max	SERIAL	L				0.4				0.5								mA
IOH	max			ALL	H		0.4				2			4					mA
IOL	max			ALL	L		8				20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT														
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

t inhibitはモードが変化してからどちらかのCKを上げてはいけない期間。
この間にCKが立ち上がるとCKが1ハルス入ったことになり1 bitシフト

Dual JK-FFs with Clear



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30					125	125	21		24			MHz
tw	min	CLK	H				20	16.5				5.0	5.0	20		20			ns
tw	min	CLK	L					16.5				5.0	5.0	20		20			ns
tw	min	CLR	L				25	10				5.0	5.0	20		30			ns
tsu	min	J, K					20 ↓	20				4.5	4.5	25		25			ns
thold	min	J, K					0 ↓	3				0	0	0 ↓		5			ns
tpd	max	ALL		Q. -Q			20	19				11.5	11.5	39		48			ns
lcc	max						6	0.05				0.04	0.04	0.04		0.04			mA
I _{IH}	max	CLK	H				80	20											μA
I _{IL}	max	CLK	L				0.8	0.2											mA
I _{IH}	max	J, K	H				20	20											μA
I _{IL}	max	J, K	L				0.4	0.2											mA
I _{IH}	max	PR, CLR	H				60	40											μA
I _{IL}	max	PR, CLR	L				0.8	0.4											mA
I _{OH}	max			Q. -Q	H		0.4	0.4				24	24	4					mA
I _{OL}	max			Q. -Q	L		8	8				24	24	4					mA

[illegible]

Flip-Flop

FFについて

図1, および表1はJK FFのブロック図および真理値表です。以下、動作について説明します。

i) Q, \bar{Q}

出力です。Qと \bar{Q} は後述の特別な場合^{*}を除いて、互いに反対のレベルを出力します。すなわち $Q=H$ ならば $\bar{Q}=L$, $Q=L$ ならば $\bar{Q}=H$

ii) PR, CLR (厳密にはそれぞれ \overline{PR} , \overline{CLR})

①PR(プリセット)にLを加えると $Q=H$ となります。

②CLR(クリア)にLを加えると $\bar{Q}=H$ となります。

これらの期間中はクロックの入力を無視し、解除(Hにする)した後もその状態を保持します。

③PR, CLRを同時にLにすると、①, ②が同時に起こります(すなわちQ, \bar{Q} 共にHとなる) ただし一方を先に解除すれば①または②に従い、当然反対側の出力はLになります。同時に解除した場合は、Q, \bar{Q} のうちどちらがHになるかは不定です(素子のバラつきや、負荷の大小によって決定される)。

iii) J, K

PR, CLRが共にHのときにクロックを入れると、JKの入力状態により、表1のようにQ, \bar{Q} が出力されます(J \bar{K} -FF, D-FFはそれぞれ図2, 図3のようになっていると考えればよい)。

iv) CK

クロック入力です。三角の記号は、クロックの立ち上がりの瞬間にのみ動作するという意味です(カウンタ, シフトレジスタにも共通)。真理値表では波形に矢印を付けてあります。

ICによっては、CKに小丸のついているものもありますが、これは図4のように考えます(すなわちクロックの立ち下がりで動作)。前者をポジティブ・エッジ・ゴーイング型(POS)

後者をネガティブ・エッジ・ゴーイング型(NEG)とします。

真理値表

PR	CLR	CK	J	K	Q	\bar{Q}
L	H	×	×	×	H	L
H	L	×	×	×	L	H
L	L	×	×	×	H*	H*
H	H	↑	L	L	無変化	
H	H	↑	H	L	H	L
H	H	↑	L	H	L	H
H	H	↑	H	H	反転	

表 1

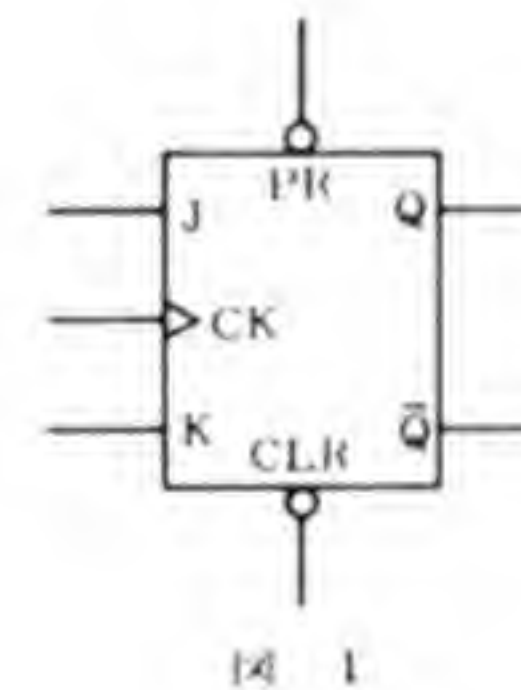


図 1

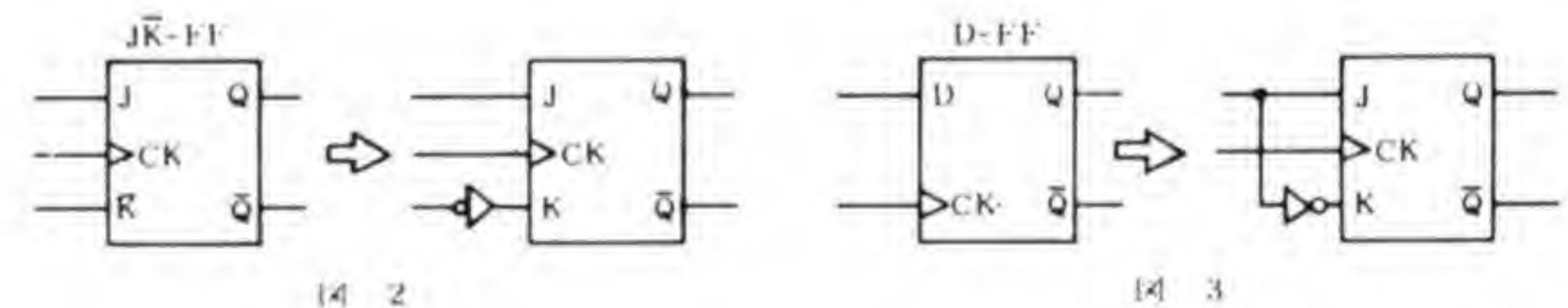


図 2

図 3



図 4

tsu および t_{hold} について

F/Fがデータを読み込むのに要する時間はゼロではないので、読み込む時期の前後のしばらくの間、データを固定しておく必要があります。前部をInput setup time (t_{su}) 後部をInput hold time (t_{hold}) と呼びます。後ろにある矢印はクロックの立ち上がりまたは立ち下がりを表わします。

データ読み込み時期について

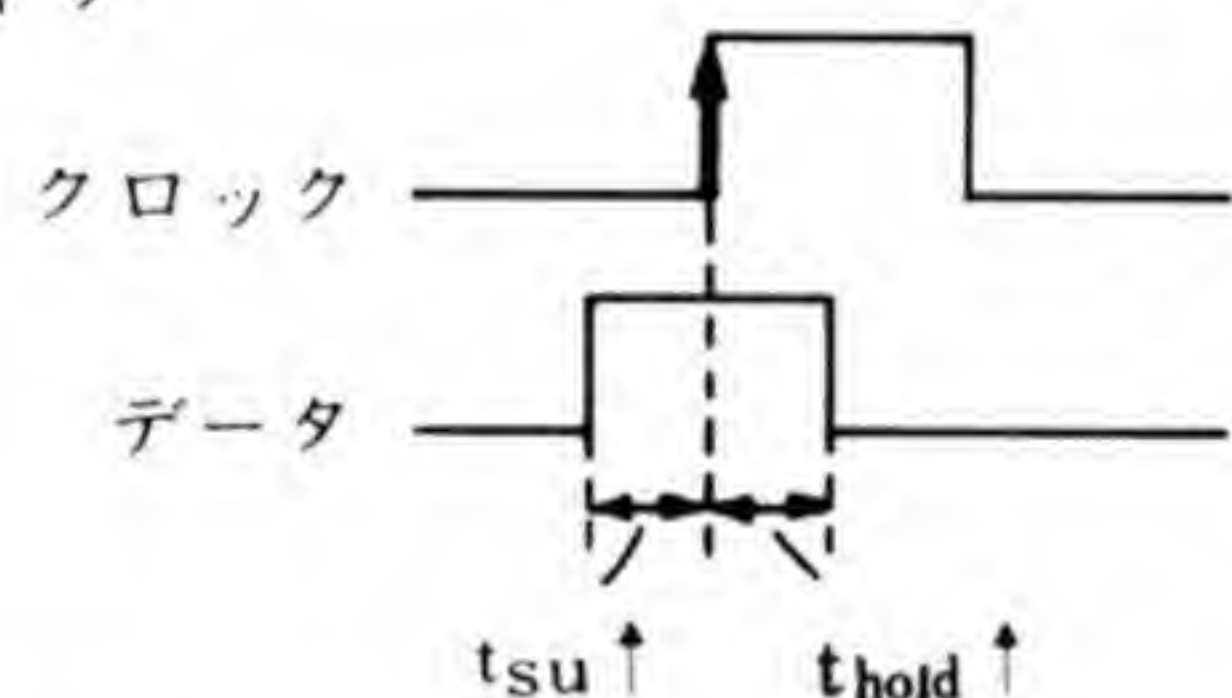
F/Fはデータ読み込みの時期により以下のように分類されます。それぞれについて波形で説明します。

(クロックの太線の部分がデータを読み込む時で、矢印は出力の変化する時、また、データの波形の山の部分は、データの固定すべき期間で、データの論理レベルではありません。)

i) リーディング・エッジトリガ型

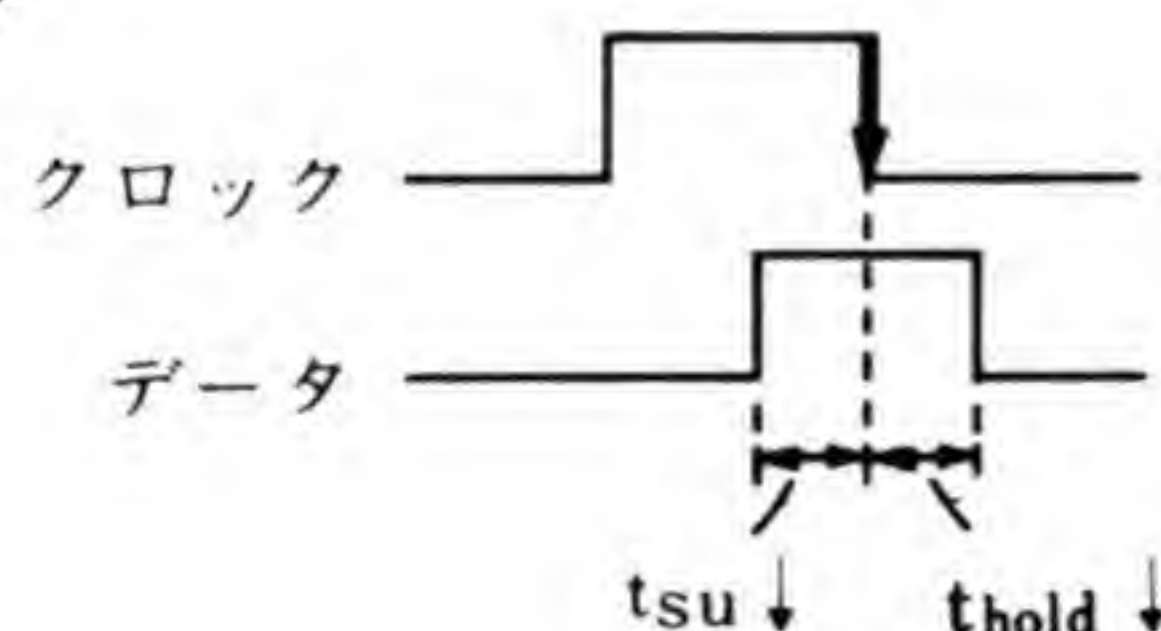
これはデータを読み込むと同時に出力するタイプで、クロックの動作により、さらに2種類に分かれます。

(1) POSタイプ



'74, 'LS74
'109, 'LS109など

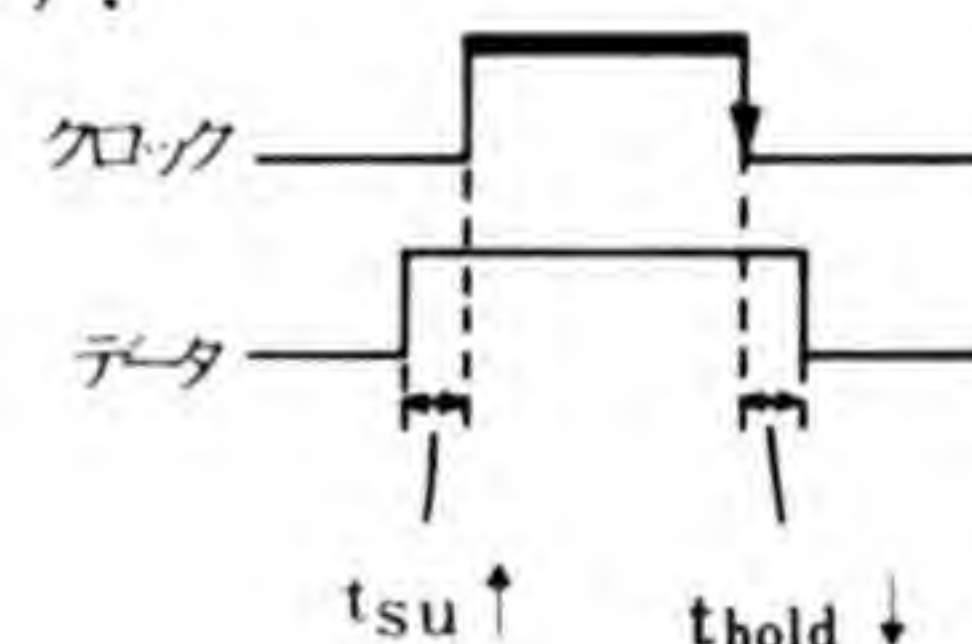
(2) NEGタイプ



'LS73, 'LS76, 'LS107,
'LS112, 'S112, 'LS113,
'S113, 'LS114, 'S114
などすべてLSおよびSタイプ

ii) マスタスレーブ型

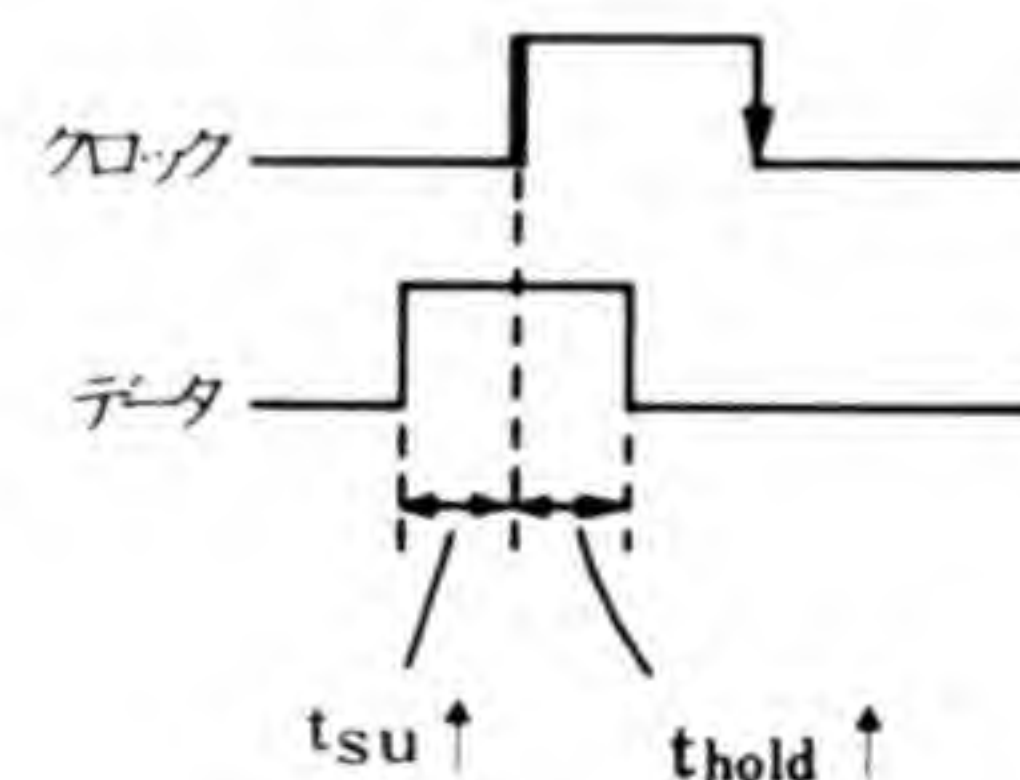
このタイプはクロックがHの間データを読み込みっぱなしなので、その間にデータを変化させると誤動作をすることがあります。それは、 $Q=H$ の時、KからHを ($Q=L$ の時HからJを) 読み込み、ホールドしてしまい、あとは入力をどう変化させても無視するからです。このことを利用した特殊な用法としてJKを共にLにしておき、クロックがHの間に出力をHにしたいほうの入力を一瞬だけHにすればクロックが落ちた時にそれを出します。








'72, '73, '76, '107
などすべてノーマルタイプ

iii) マスタスレーブ・データロックアウト型

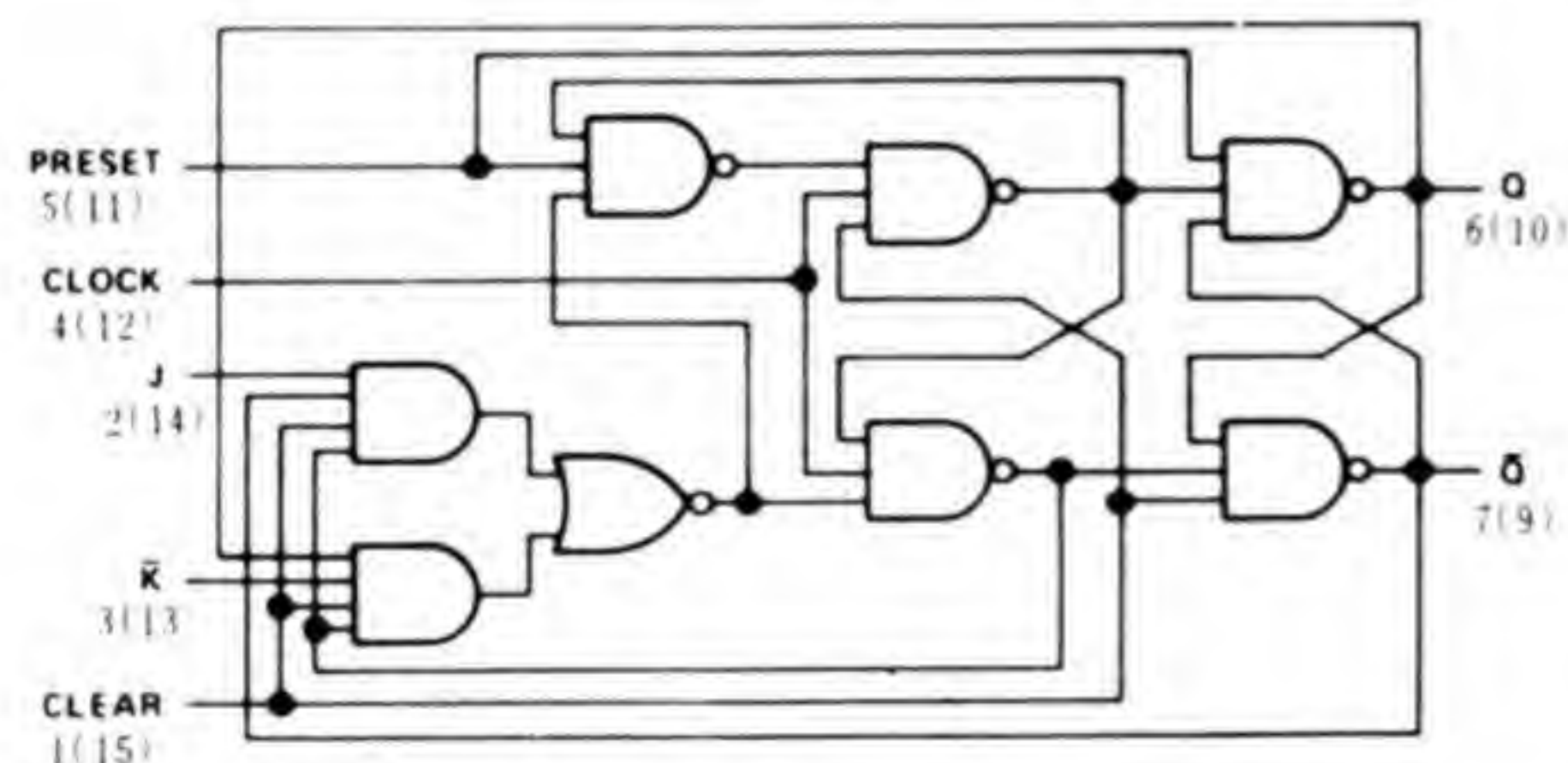
マスタスレーブを変型してデータを一瞬しか読み込まないタイプ ('110, '111があった)



Input					Output	
Preset	Clear	Clock	J	K	Q	\bar{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H		L	L	No Change	
H	H		L	H	L	H
H	H		H	L	H	L
H	H		H	H	Toggle	
H	H	L	X	X	No Change	
H	H	H	X	X	No Change	
H	H		X	X	No Change	

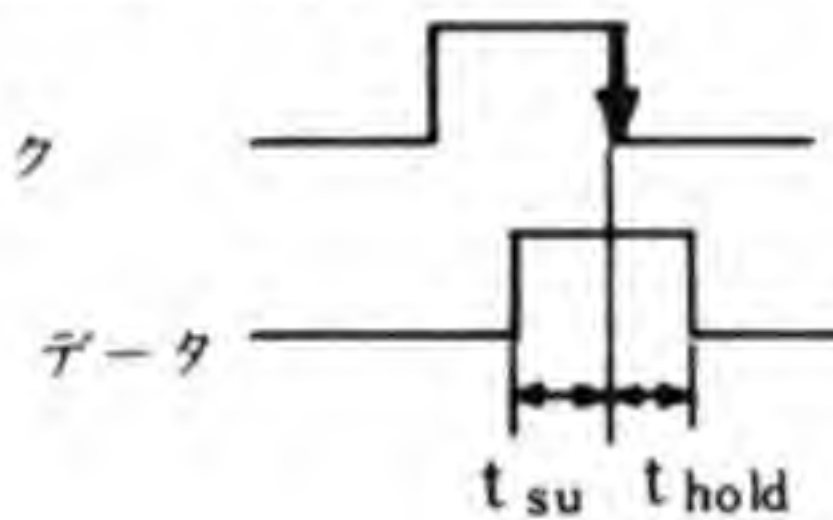
[illegible]

Dual J \bar{K} -FFs with Preset and Clear

[illegible]

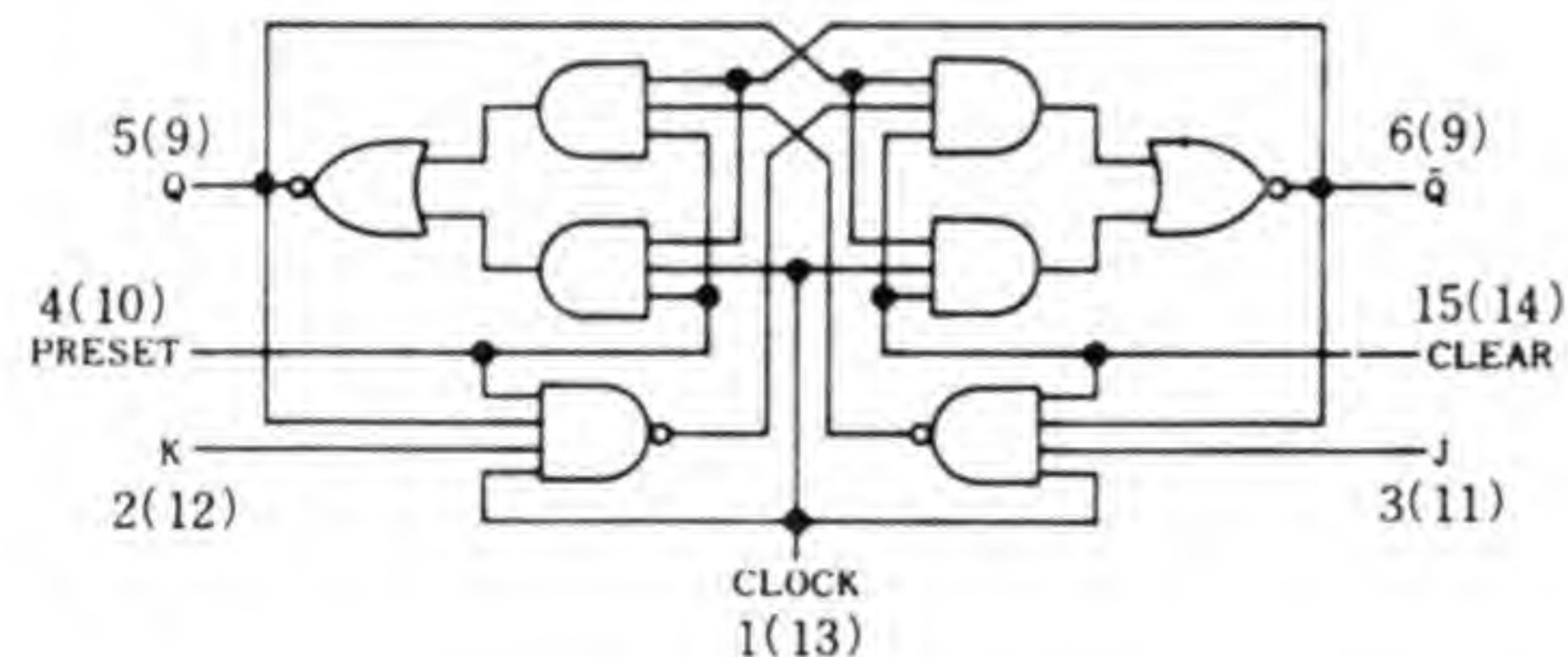
○動作は74LS76と同じ

○クロック



○クリア
(プリセット)

○7473の項参照



74LS112, 74S112

参考品種

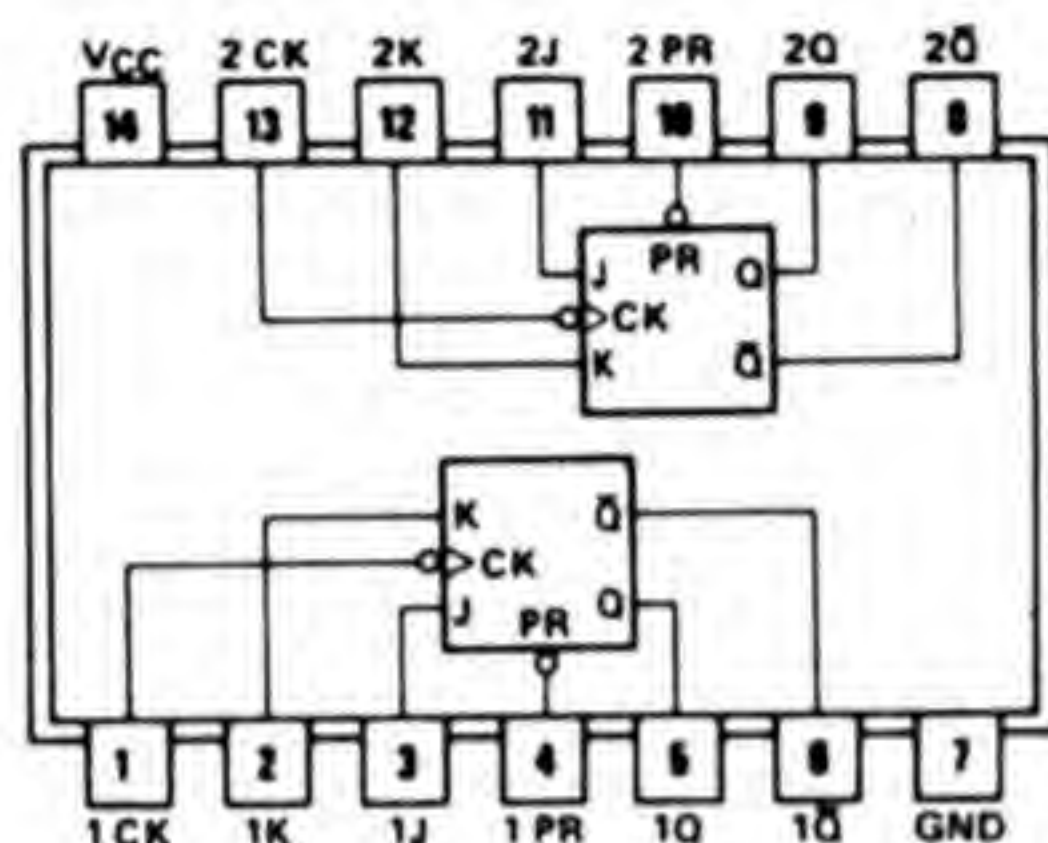
74LS76

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175	125	80	21		22			MHz
tw	min	CLK	H				20	16.5		5		5.0	8.0	20		20			ns
tw	min	CLK	L					16.5		5		5.0	8.0	20		20			ns
tw	min	PR, CLR	L				25	10		5		5.0	8.0	20		20			ns
tsu	min	J, K					20 ↓	22 ↓		3 ↓		4.5	8.0	25		20			ns
thold	min	J, K					0 ↓	0 ↓		0 ↓		0	1.5	0 ↓		0			ns
tpd	max	CLK		Q - Q			20	19		7.7	4	12.0	14.0	32		50			ns
tpd	max	PR, CLR		Q - Q			20	18		7.7	4	12.5	13.5	39		46			ns
Icc	max						6	4.5		19	38	0.04	0.04	0.04		0.04			mA
IIH	max	CLK	H				80	20		20	100								μA
IIL	max	CLK	L				0.8	0.2		2.4	5								mA
IIH	max	J, K	H				20	20		20	20								μA
IIL	max	J, K	L				0.4	0.2		0.6	1								mA
IIH	max	PR, CLR	H				60	40		20	100								μA
IIL	max	PR, CLR	L				0.8	0.4		3	5.5								mA
IOH	max			Q - Q	H		0.4	0.4		1	2	24	24	4		4			mA
IOL	max			Q - Q	L		8	8		20	20	24		4		4			mA

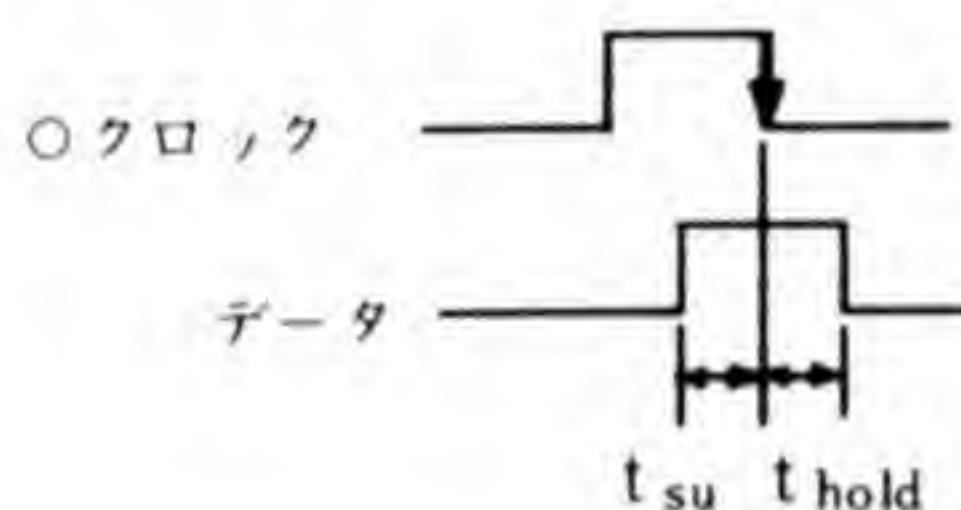
[illegible]


74113

Dual JK-FFs with Preset

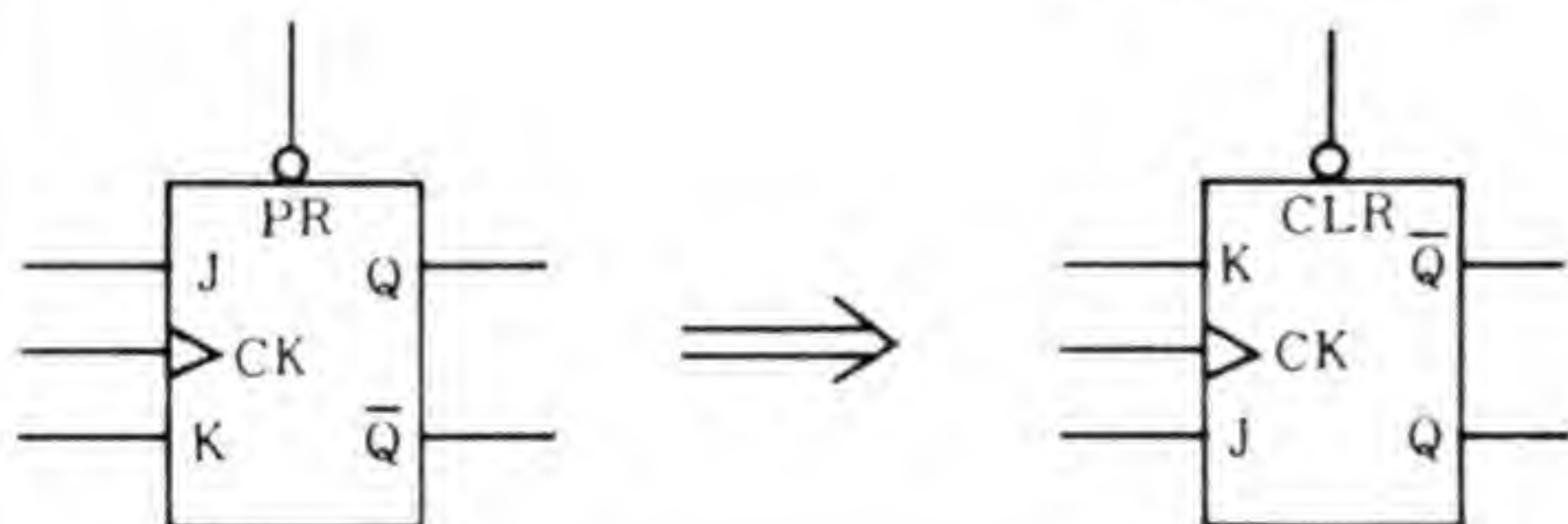
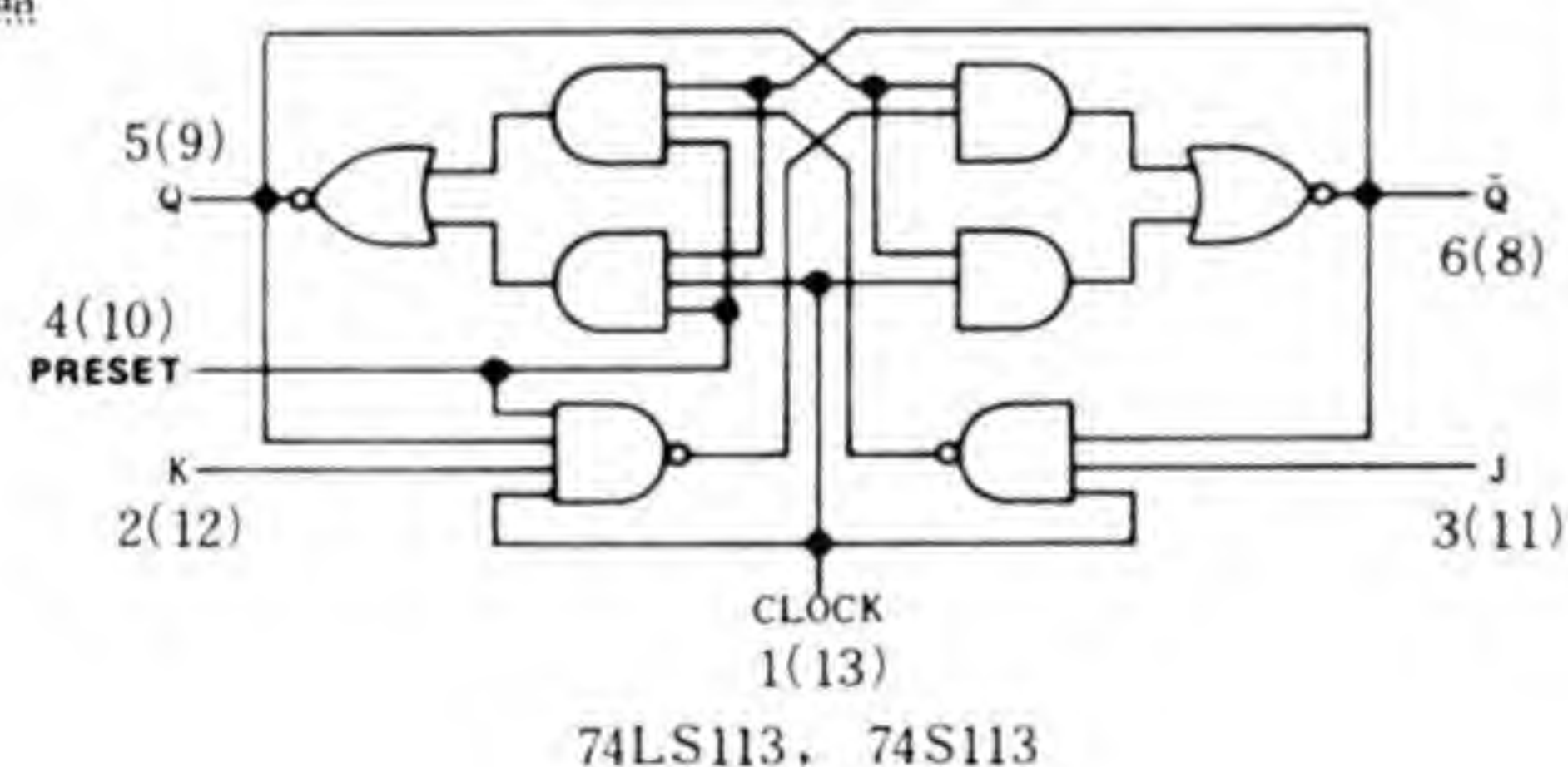


○ネガティブリーディングエッジトリガ



○プリセット 

○7473の項参照



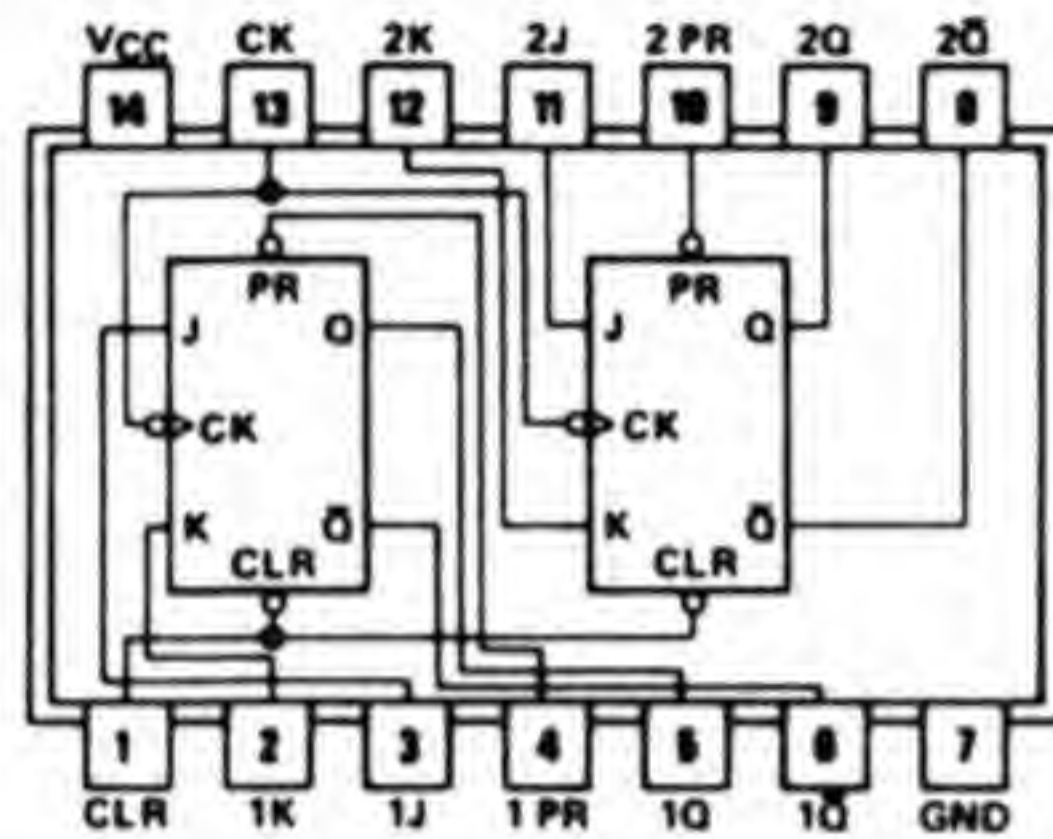
JK-FFは上下がシンメトリなのでJをKと、Qを \bar{Q} と、PRをCLRとそれぞれ入れ替えて使用可能。したがって74LS73、74LS107のピンレイアウトを変えたタイプと考えてよい。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175			21					MHz
tw	min	CLK	H				20	16.5		5				20					ns
tw	min	CLK	L					16.5		5									ns
tw	min	PR, CLR	L				25	10		5				20					ns
tsu	min	J, K					20 ↓	22		3 ↓				25					ns
thold	min	J, K					0 ↓	0 ↓		0 ↓				0					ns
tpd	max	CLK		Q - Q			20	16		7.7	4			41					ns
tpd	max	PR, CLR		Q - Q			20	19		7.7	4			32					ns
lcc	max						6	4.5		19	38			0.04					mA
I _{IH}	max	CLK	H				80	20		20	100								μA
I _{IL}	max	CLK	L				0.8	0.2		2.4	5								mA
I _{IH}	max	J, K	H				20	20		20	20								μA
I _{IL}	max	J, K	L				0.4	0.2		0.6	1								mA
I _{IH}	max	PR, CLR	H				60	40		20	100								μA
I _{IL}	max	PR, CLR	L				0.8	0.4		3	5.5								mA
I _{OH}	max			Q - Q	H		0.4	0.4		1	2			4					mA
I _{OL}	max			Q - Q	L		8	8		20	20			4					mA

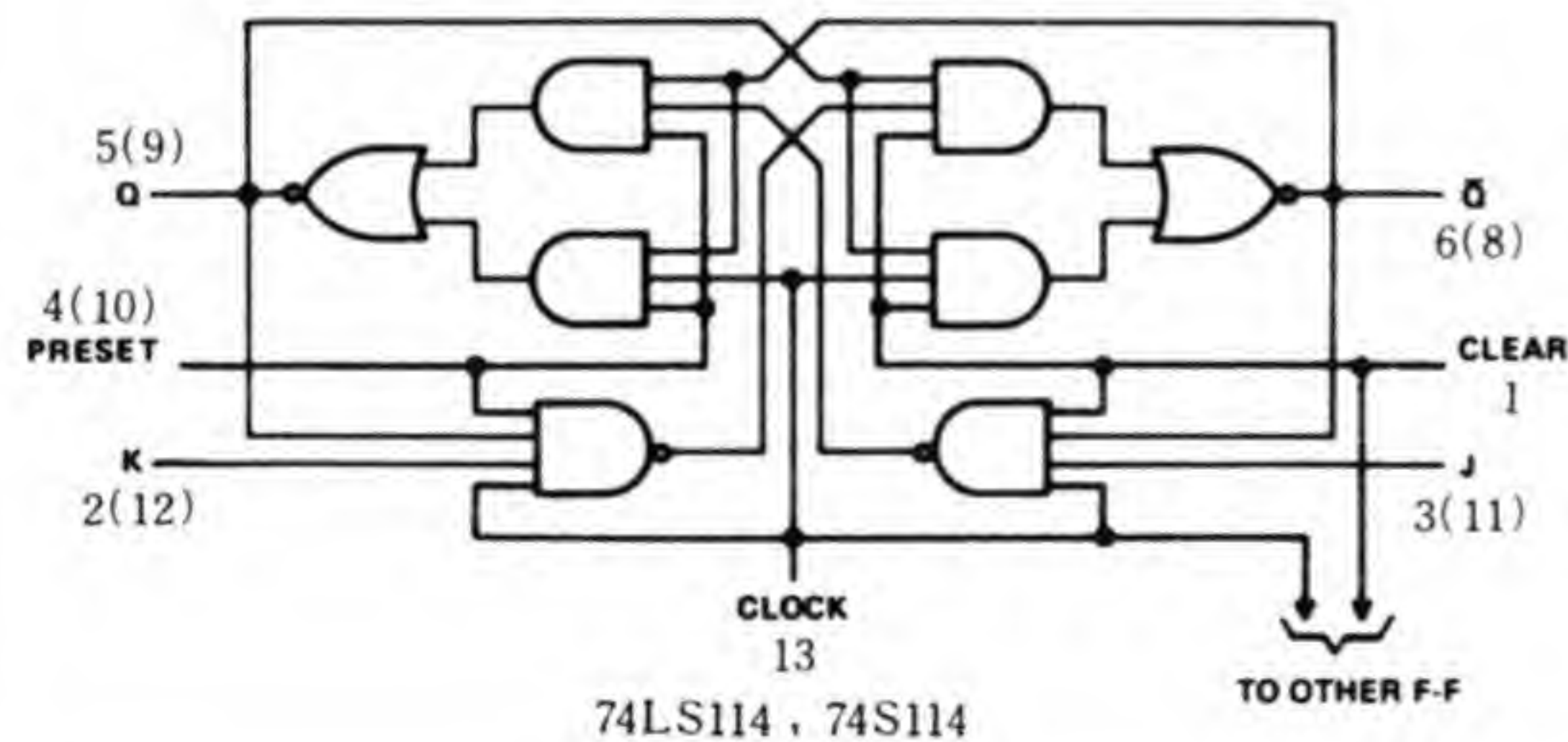
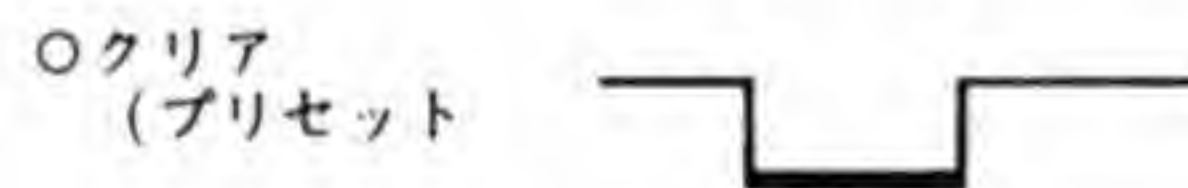
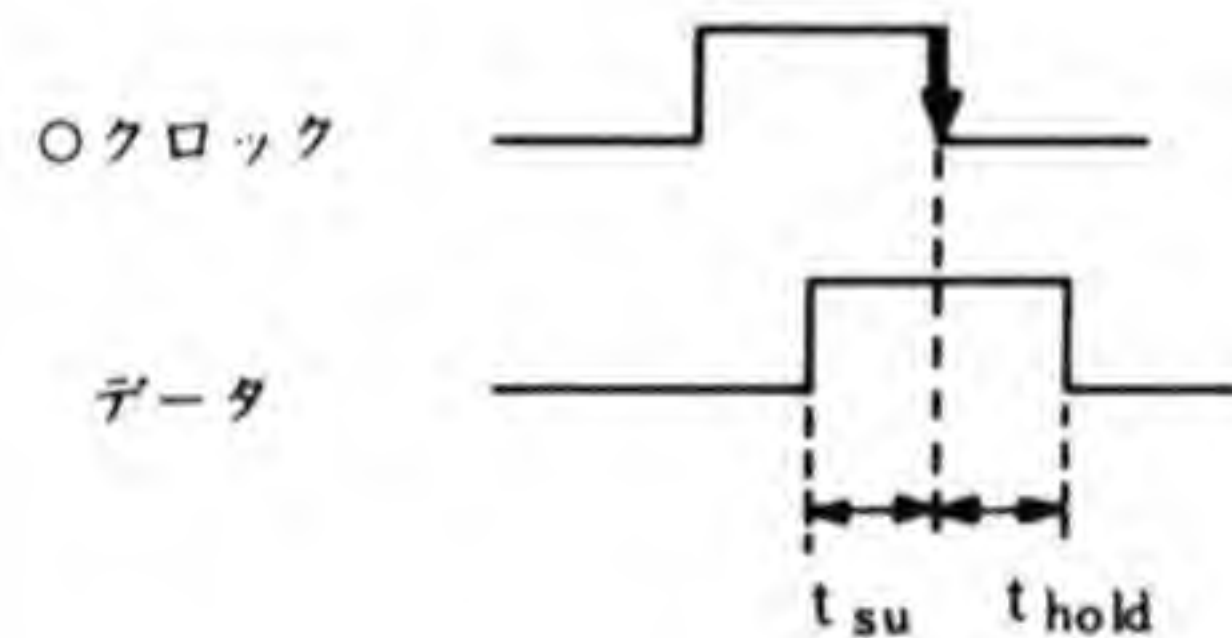
[illegible]

74114

Dual JK-FFs with Preset and Clear (common clear, common clock)



○7478のピンレイアウトを変えたタイプ

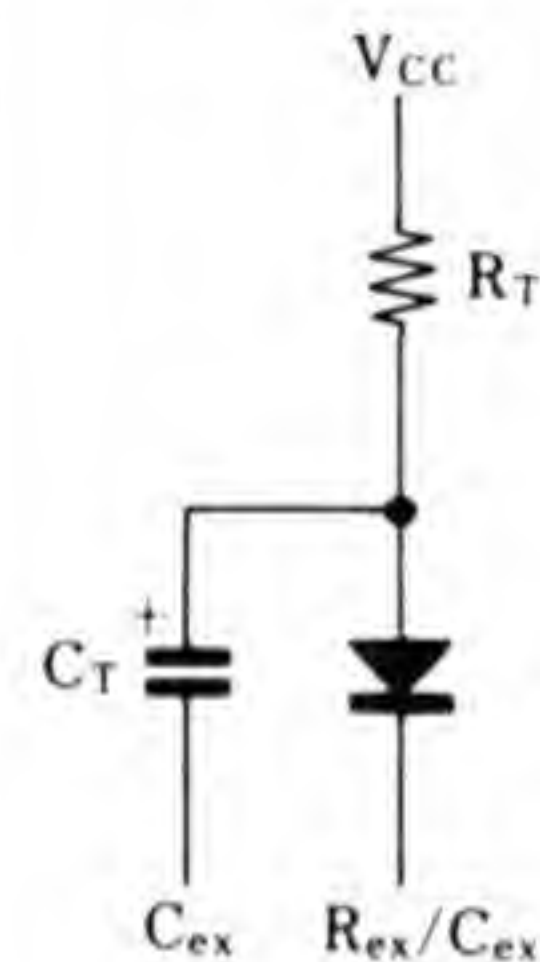


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	30		100	175			24					MHz
tw	min	CLK	H				20	16.5		5				20					ns
tw	min	CLK	L					16.5		5				20					ns
tw	min	PR, CLR	L				25	10		5				20					ns
tsu	min	J, K					20 ↓	22 ↓		3 ↓				25					ns
thold	min	J, K					0 ↓	0 ↓		0 ↓				5					ns
tpd	max	CLK		Q, -Q			2	18		7.7	4			38					ns
tpd	max	PR, CLR		Q, -Q			2	19		7.7	4			35					ns
lcc	max						6	4.5		19	38			20					mA
I _{IH}	max	CLK	H				160	20		20									μA
I _{IL}	max	CLK	L				1.6	0.2		2.4	10.5								mA
I _{IH}	max	J, K	H				20	20		20									μA
I _{IL}	max	J, K	L	CIR			0.4	0.2		0.6	1								mA
I _{IH}	max	PR, CLR	H				60	40		20									μA
I _{IL}	max	PR, CLR	L				0.8	0.4		3	5.5								mA
I _{IH}	max			CIR	H		120	40		20									μA
I _{IL}	max			CIR	L		1.6	0.4		3	11.5								mA
I _{OH}	max			Q, -Q	H		0.4	0.4		1	2			4					mA
I _{OL}	max			Q, -Q	L		8	8		20	20			4					mA

[illegible]

参考品種

7478



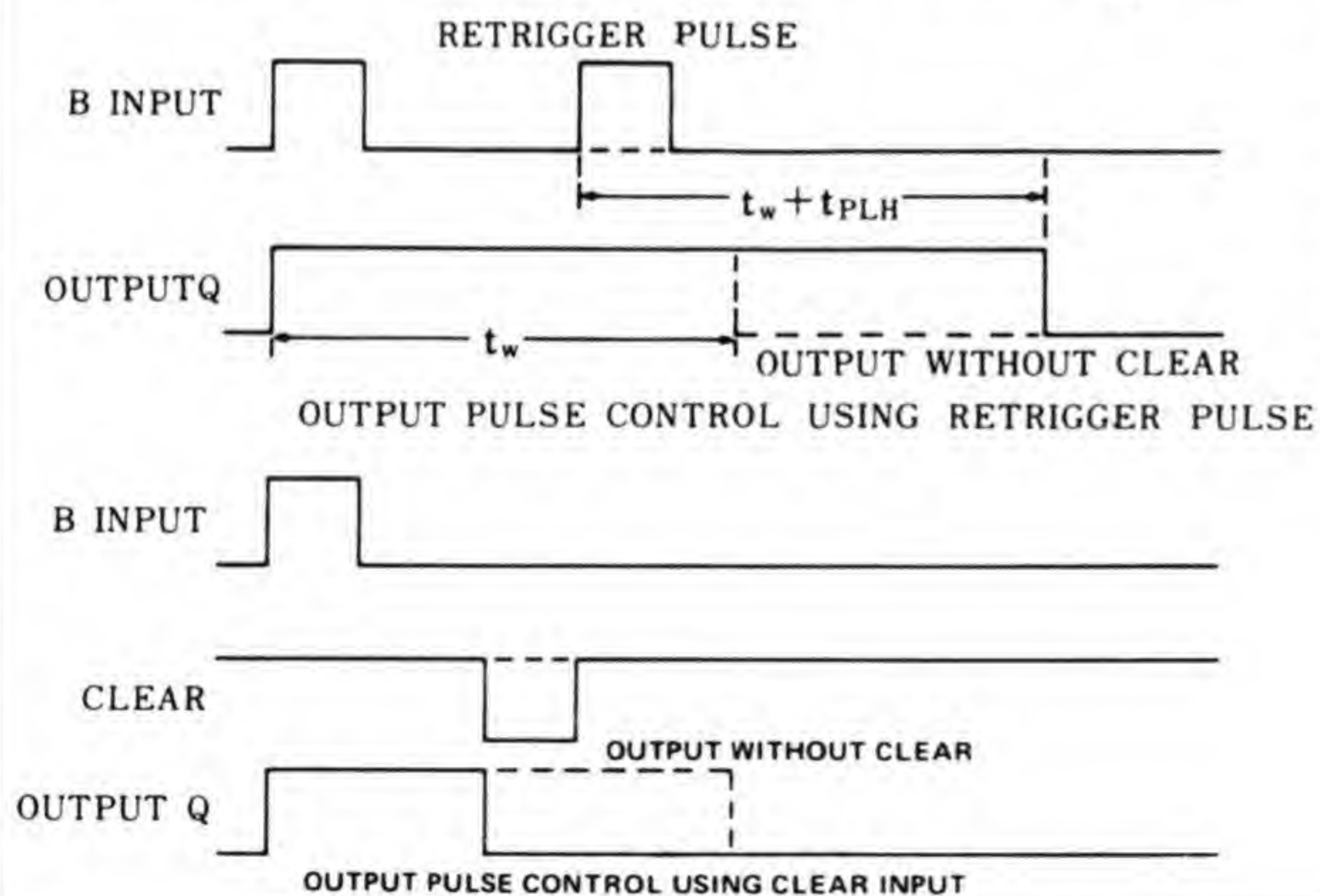
$$t_w = 0.45 R_T \cdot C_T \quad 74LS122$$

$$5\text{k}\Omega < R_T < 50\text{k}\Omega \quad 74122$$

$$5\text{k}\Omega < R_T < 260\text{k}\Omega \quad 74\text{LS122}$$

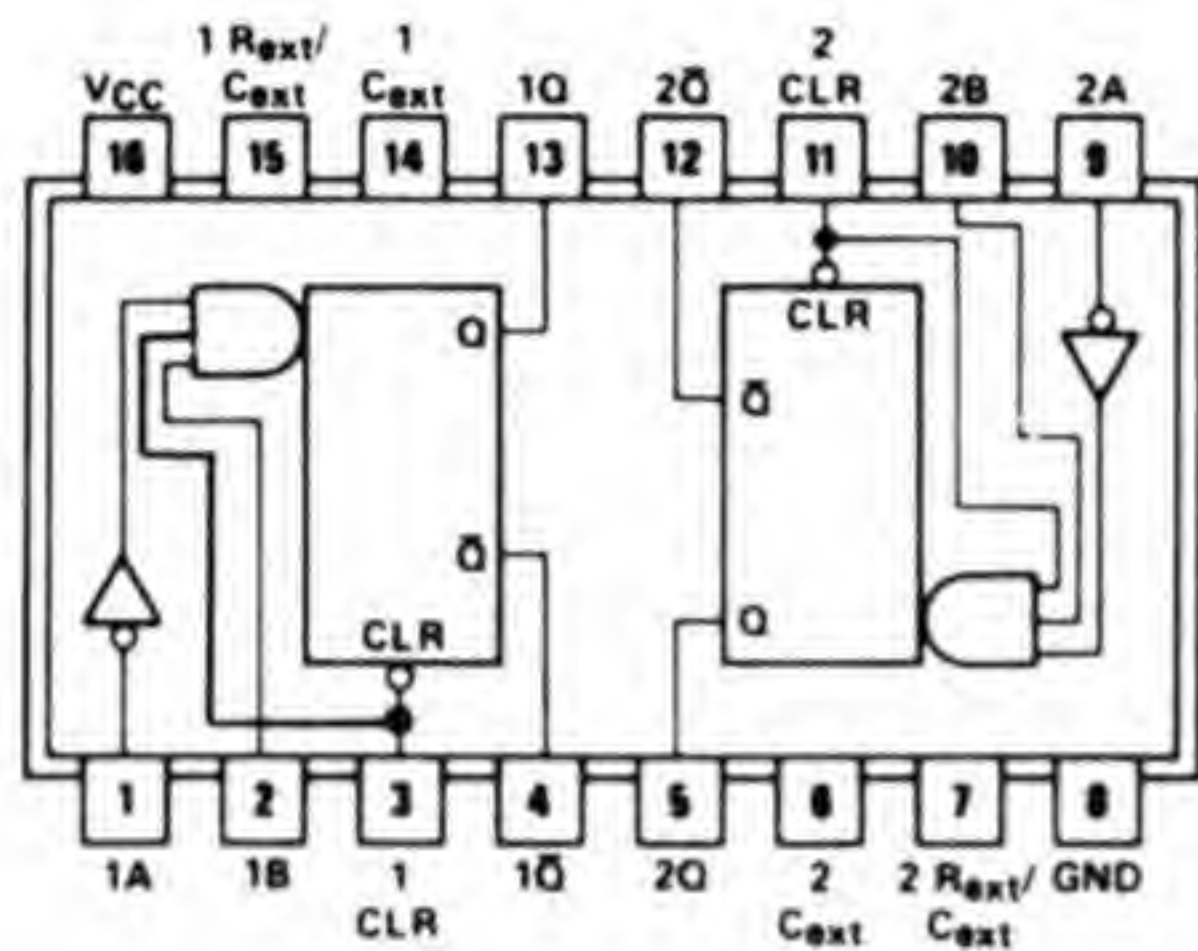
$$\begin{pmatrix} t_w & \text{ns} \\ R_T & \text{k}\Omega \\ C_T & \text{pF} \end{pmatrix}$$

〔74122で $C_T > 1000\text{pF}$ 以上またはクリア
を使用する時のみDi必要
その時、 $t_w = 0.28 R_T \cdot C_T \left(1 + \frac{0.7}{R_T}\right)$ 〕

[illegible][illegible]

74123

Dual Retriggerable Single Shot



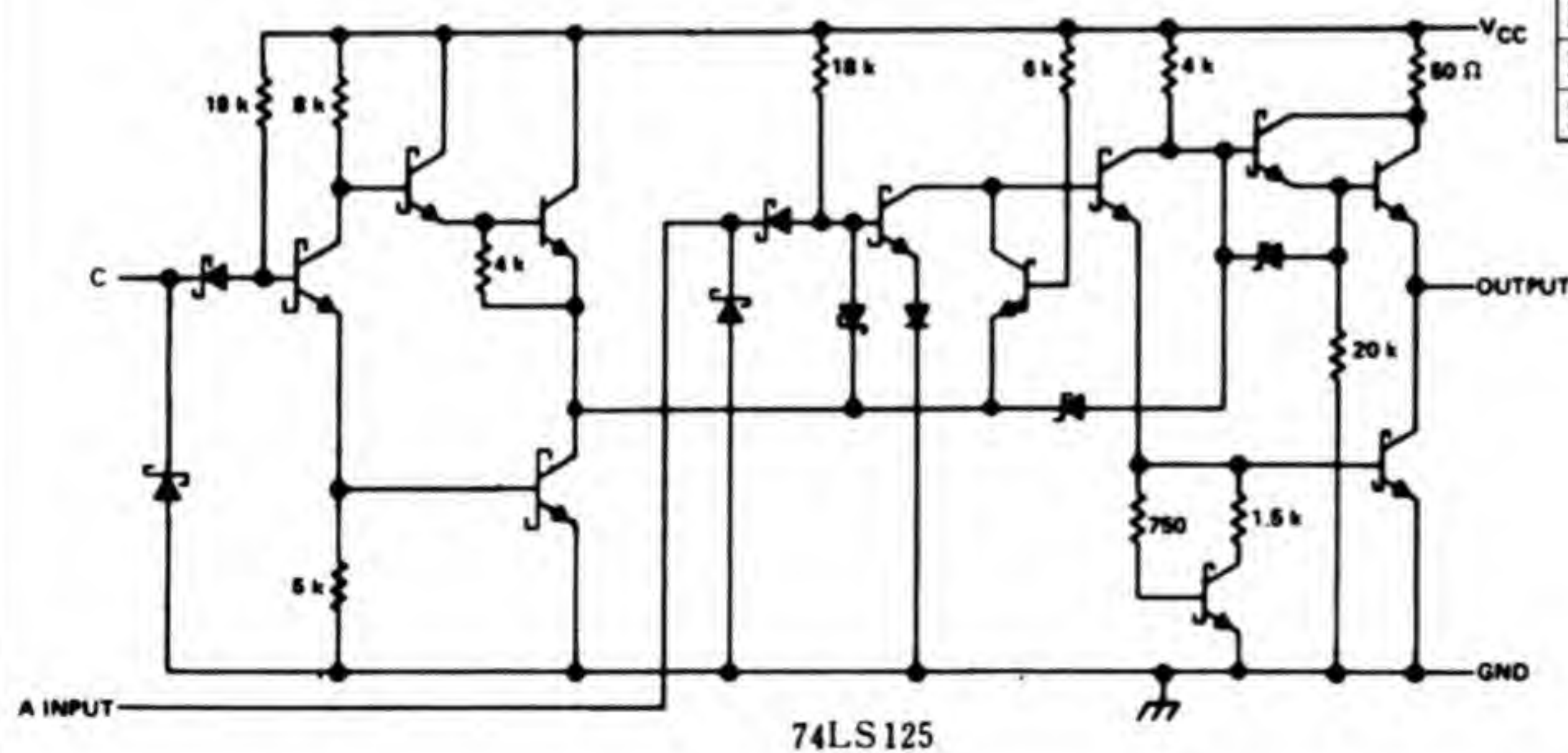
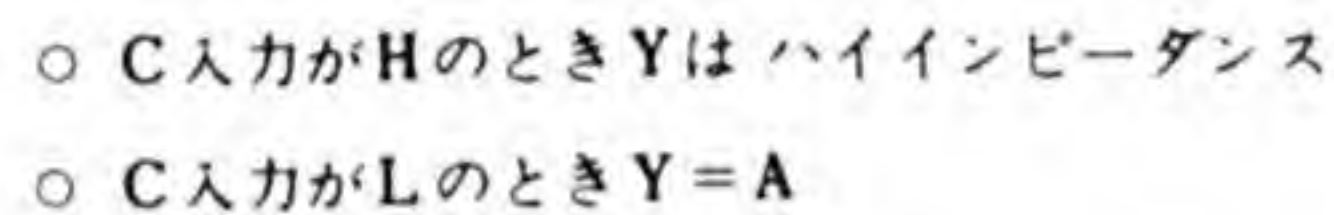
74122が2個入っているもの

INPUTS			OUTPUTS	
CLR	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	\uparrow	\square	\sqcup
H	\downarrow	H	\square	\sqcup
\uparrow	L	H	\square	\sqcup

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	\uparrow		33							64		64			ns
tpd	max	B		Q	\uparrow		44							64		64			ns
tpd	max	A		-Q	\downarrow		45							64		64			ns
tpd	max	B		-Q	\downarrow		56							64		64			ns
tpd	max	A		Q	\downarrow		27												ns
tpd	max	B		-Q	\uparrow		45												ns
tw	max	CT=0		RT=5K			200							25		25			ns
Icc	max						20							0.08		0.08			mA
IIH	max	A, B	H				20												μ A
IIL	max	A, B	L				0.4												mA
IIH	max	CLR	H				20												μ A
IIL	max	CLR	L				0.4												mA
IOH	max			Q, -Q	H		0.4							4		4			mA
IOL	max			Q, -Q	L		8							4		4			mA
						社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
						日立		DF					DF		DF				
						MOT		DF											
						日電									DF				
						NS		DF							DF				
						PHIL									DF		DF		
						RCA							DF		DF		DF		
						SIGNE													
						TI		DF											
						東芝		D							DF				
						SGS									DF				
						CYPRES													
						IDT													

参考品種
74423
74221
9602

Quad 3 State Bus Buffers



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.7	15			6.5		7.5	10.0	25		33		5.7	ns
tpd	max			H→L	↓	9.7	18			8.0		7.5	10.0	25		33		7.7	ns
tpd	max			Z→H	△	9.1	20			8.5		7.5	10.0	31		35		10.3	ns
tpd	max			Z→L	▽	9.1	25			9.0		7.5	10.0	31		35		11.7	ns
tpd	max			H→Z	▲	11.2	(20)			6.0		7.5	10.0	31		31		8.9	ns
tpd	max			L→Z	▼	11.2	(20)			6.0		7.5	10.0	31		31		8.6	ns
Icc	max	A	L	Y	L	0.004	20			40		0.08	0.08	0.08		0.08		51	mA
I _{IH}	max	ALL	H				20			20								25	μA
I _{IL}	max	ALL	L			list	0.4			20								20	mA
I _{OH}	max			Y	H	4	2.6			15		24	24					15	mA
I _{OL}	max			Y	L	4	24			64		24	24					64	mA
I _{ZL}	max			Y	L		20			50				6		6		50	μA
I _{ZH}	max			Y	H		20			50				6		6		50	μA

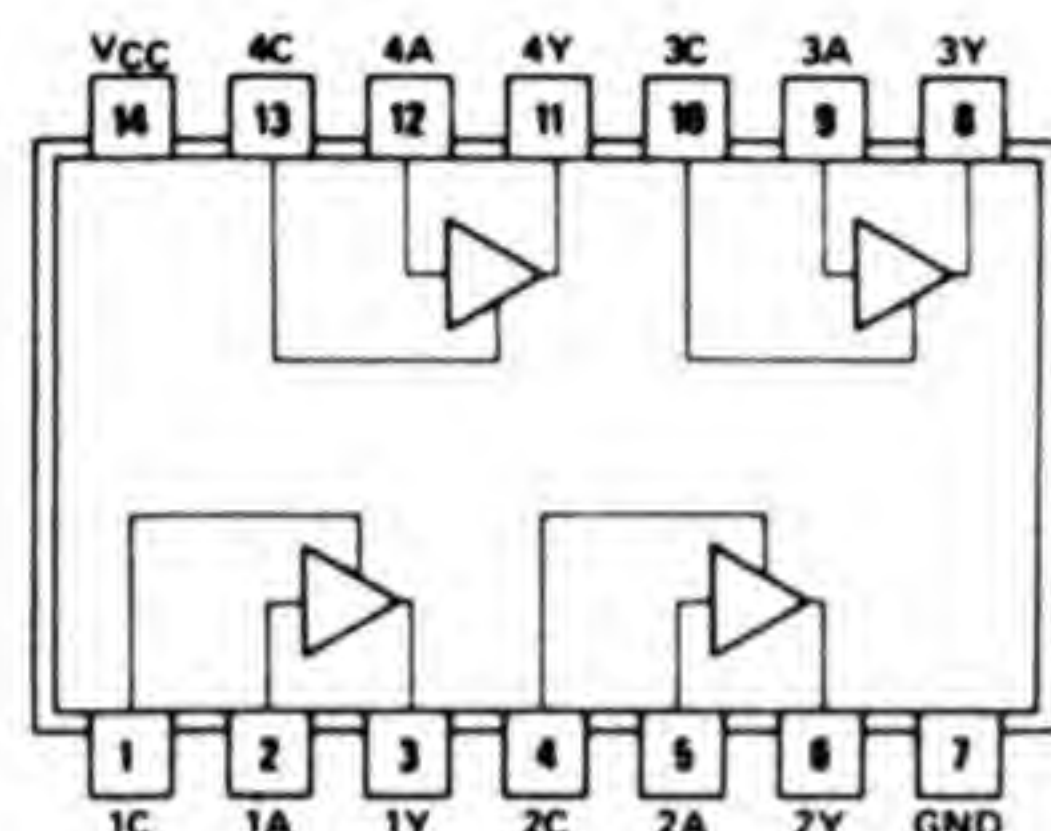
[illegible]

参考品種

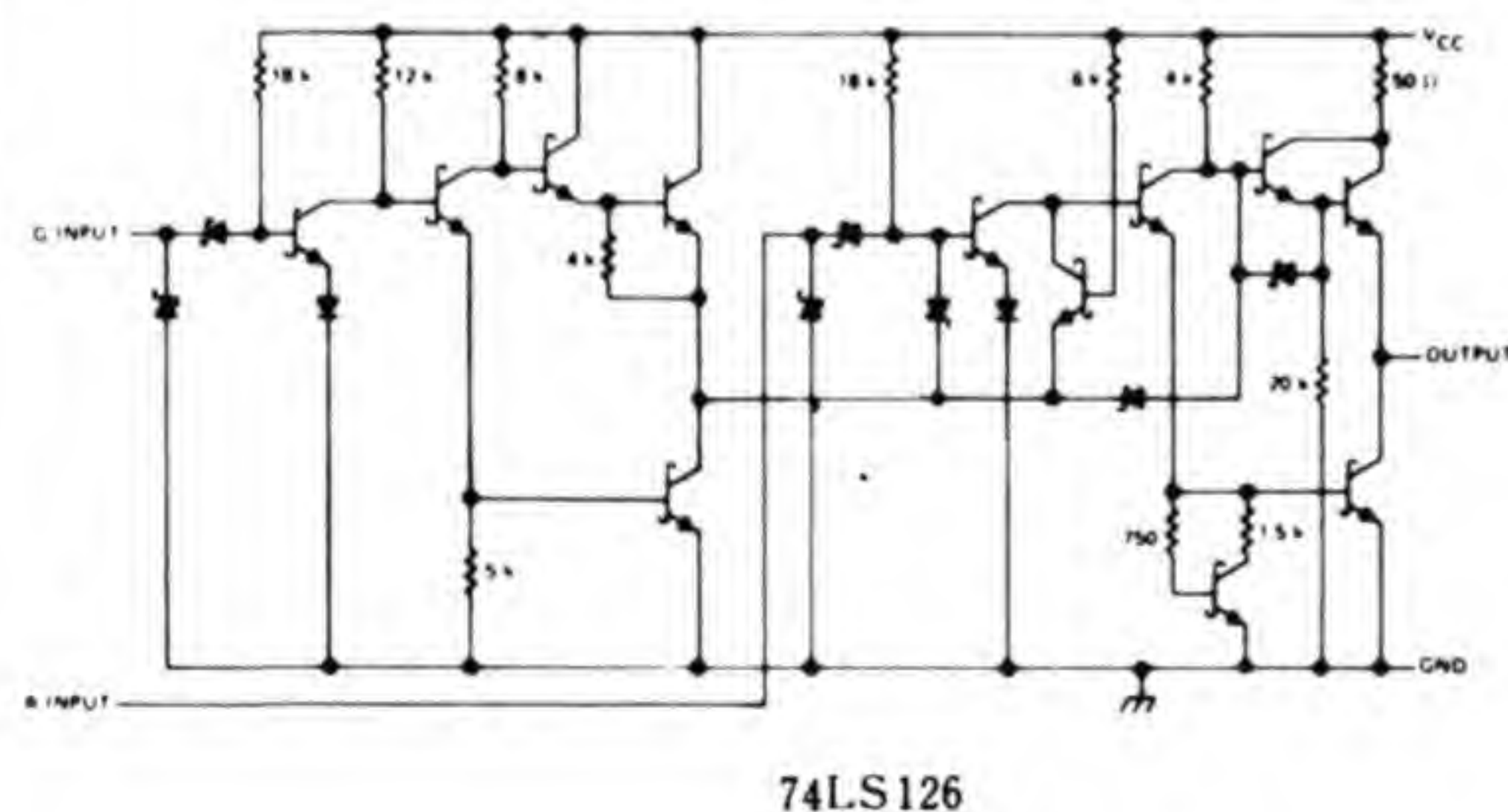
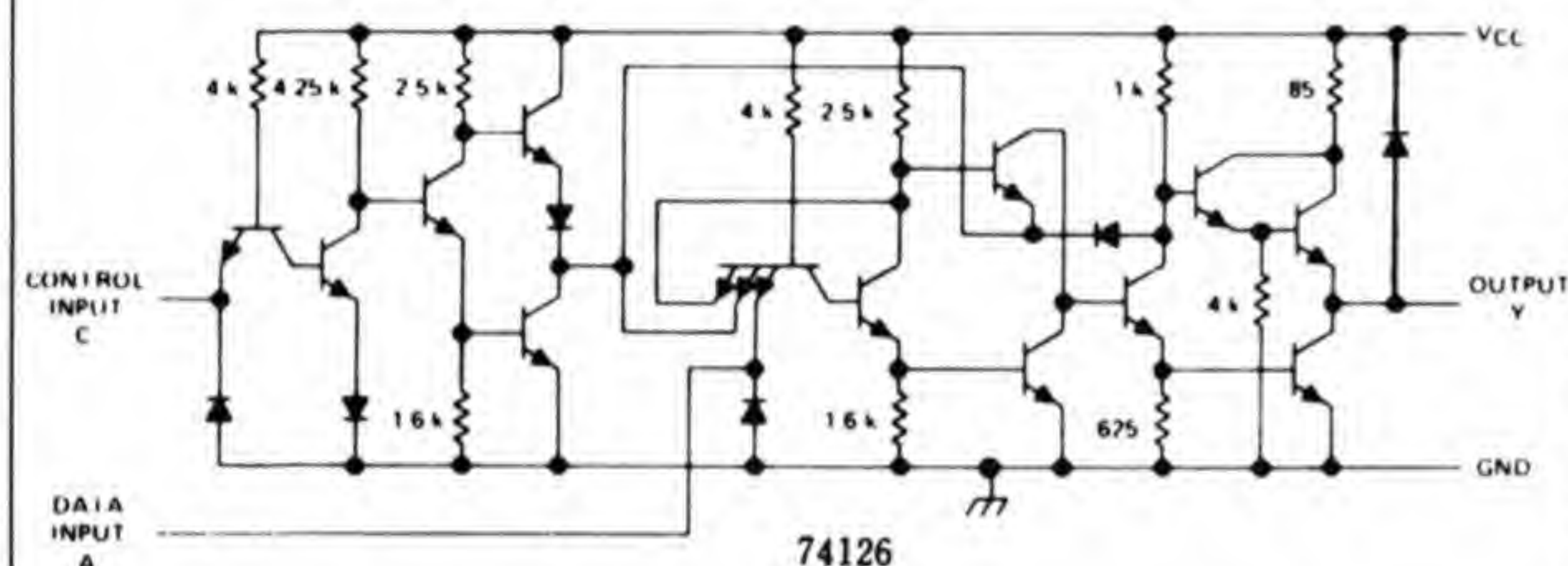
74425

74126

Quad 3 State Bus Buffers



- C入力がLのときYはハイインピーダンス
- C入力がHのときY=A



○同一バスラインに128本まで接続可

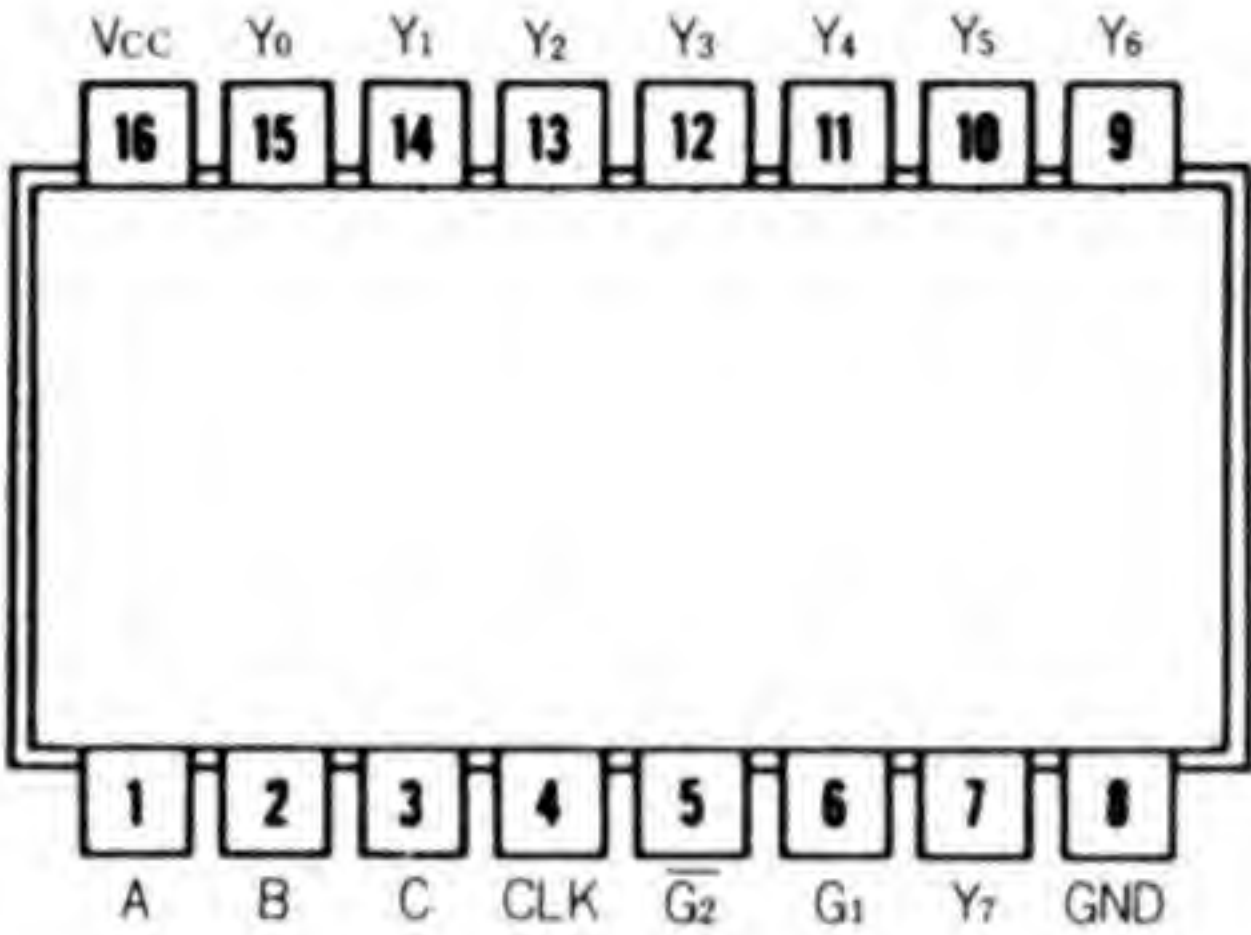
[illegible][illegible]

参考品種

74426

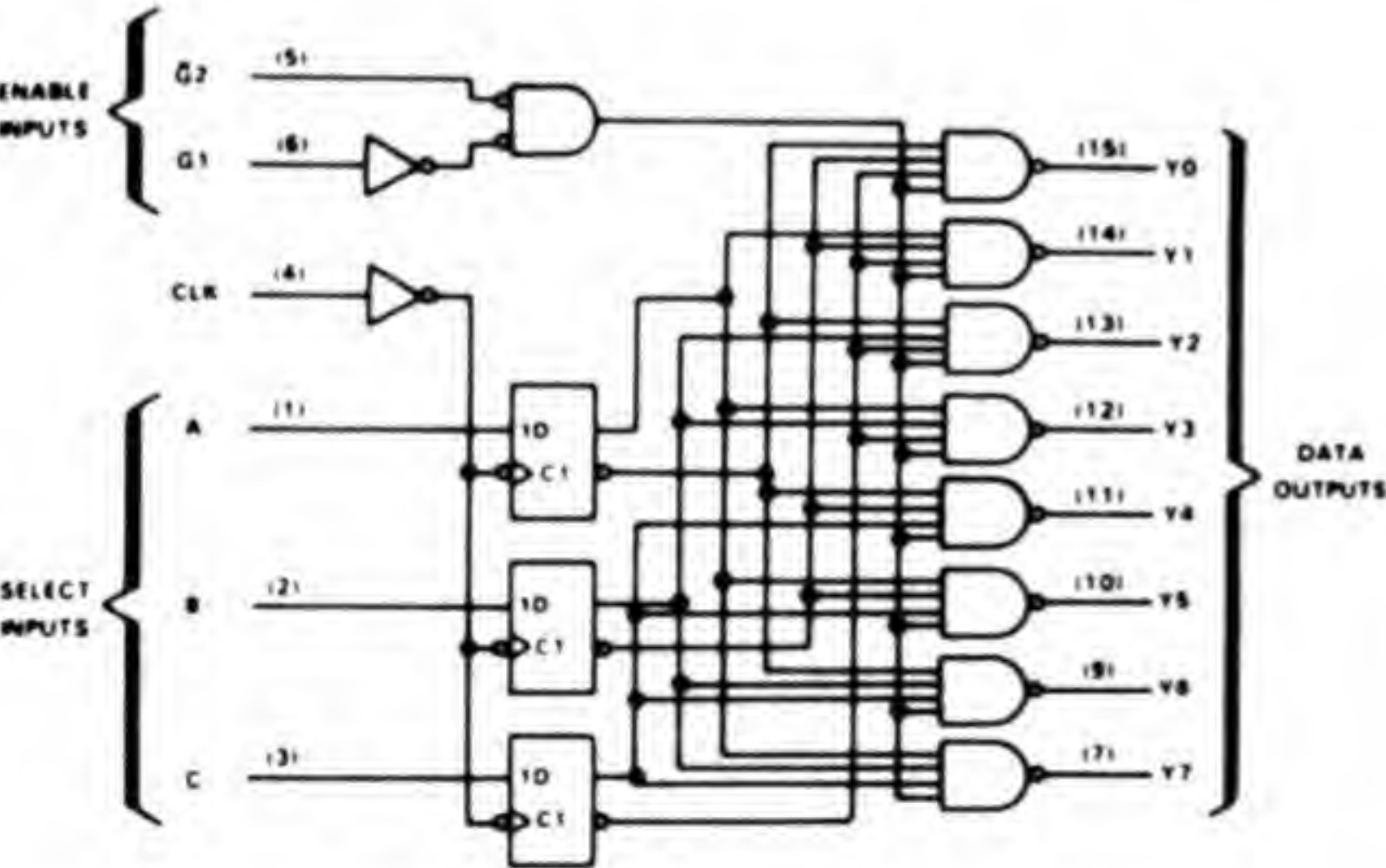
74131

3 to 8 Line Decoder with Address Latches



○74137(アドレスラッチ)をエッジトリガーに変えたタイプ

G1	G2	CLK	動作
L	X	—	全出力H
X	H		負論理デコード
H	L		
—		↑	A～Cセット

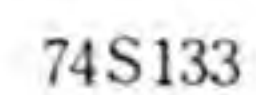
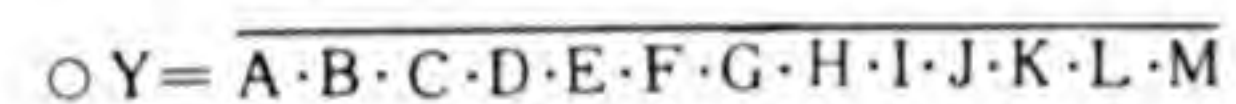


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						50						20					MHz
tw	min	CLK						10						19					ns
tsu	min	A～C						10↑						18					ns
thold	min	A～C						0↑						6					ns
tpd	max	CLK		Y				25			5.4			47					ns
tpd	max	G1		Y				20			6.2			35					ns
tpd	max	-G2		Y				15			5.4			35					ns
Icc	max							11			16			0.02					mA
IiH	max	ALL	H					20			20								μA
IiL	max	ALL	L					0.1			0.1								mA
IOH	max			ALL	H			0.4			2			4					mA
IOL	max			ALL	L			8			20			4					mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE														
TI			DF			DF								
東芝									DF					
SGS									DF					
CYPRES														
IDT														

参考品種
74137
74138

13 Input NAND

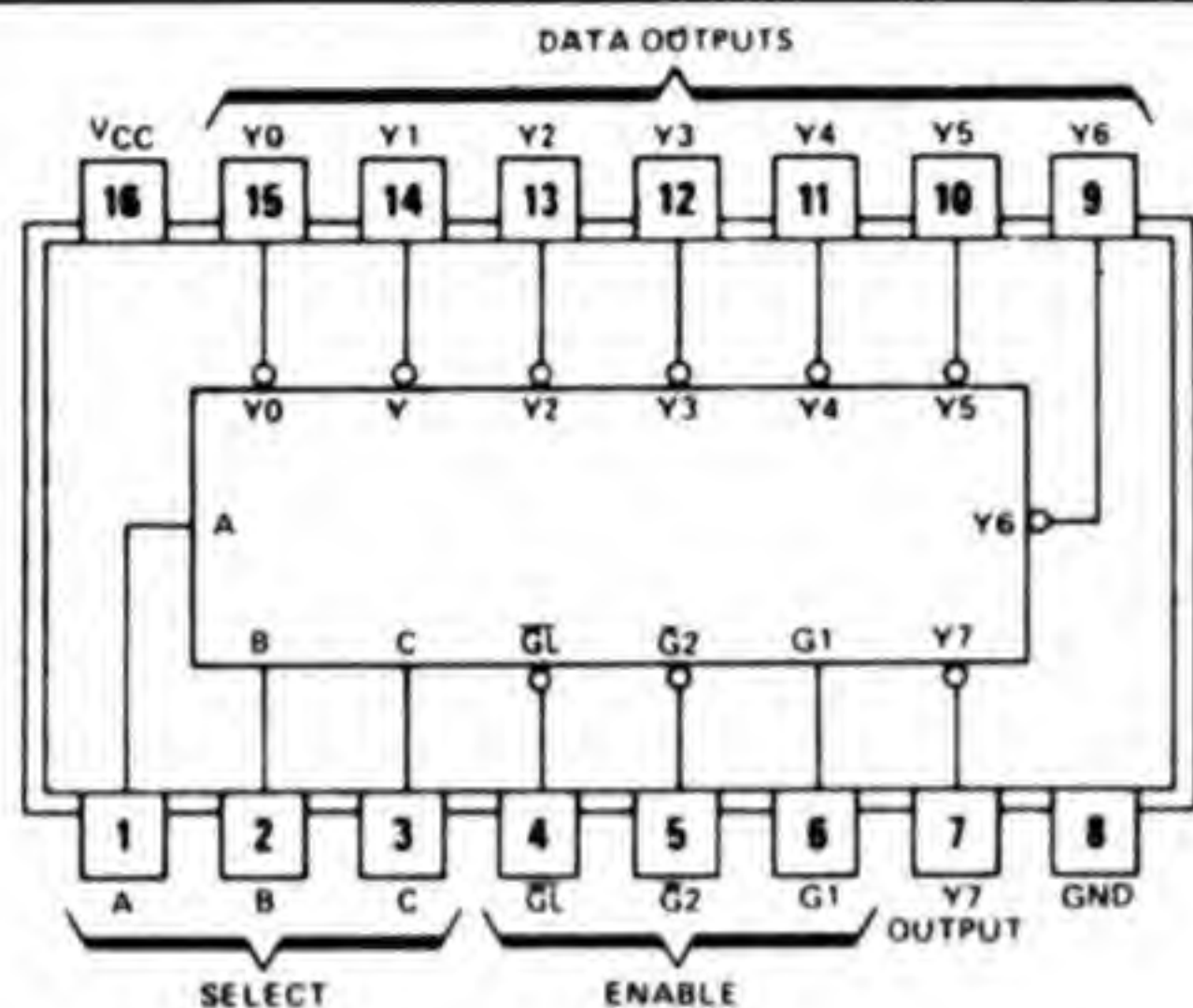


参考品種

7430

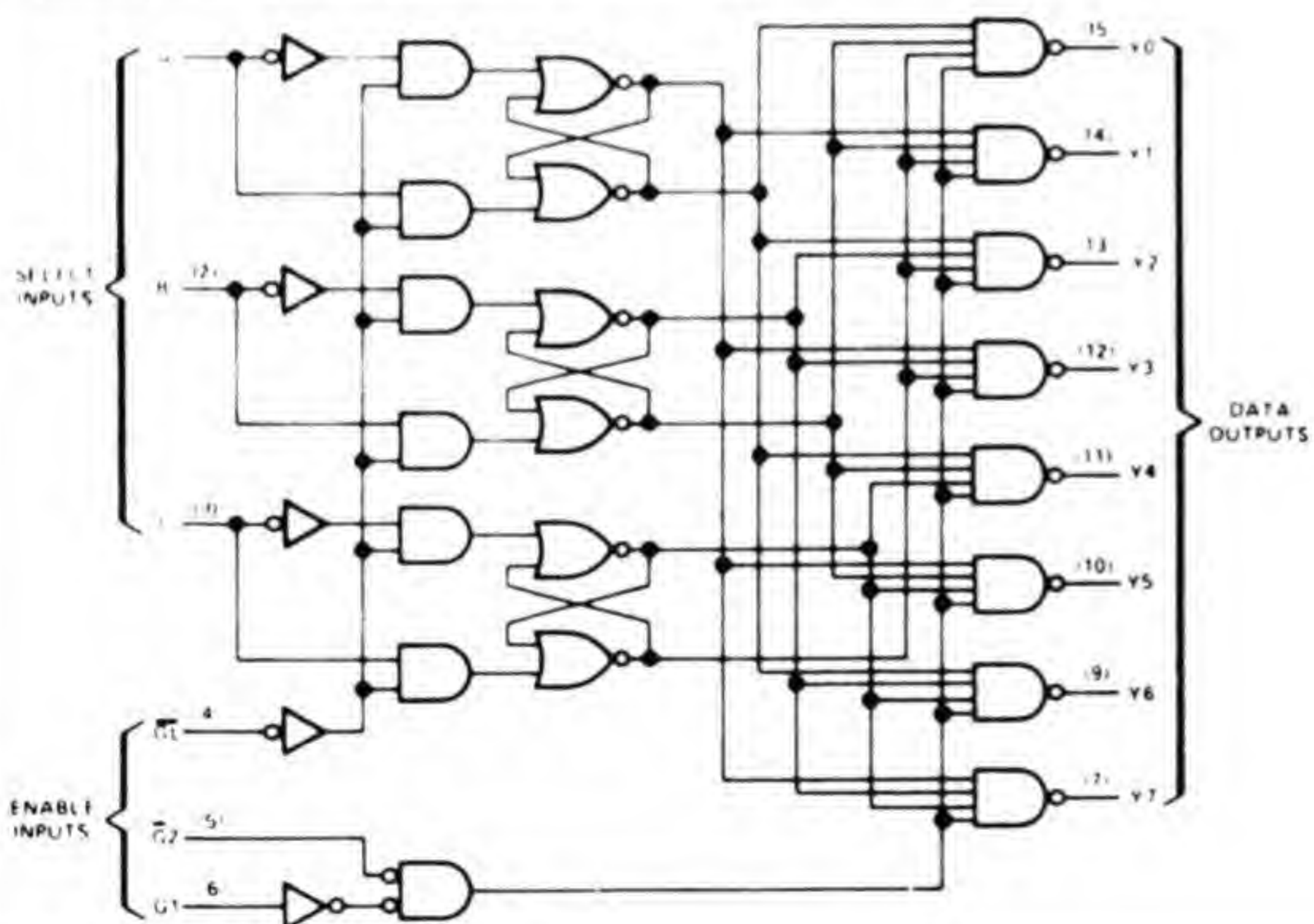
[illegible]

3 to 8 Decoder (with Address Latches)



25LS2536はエッジトリガだが、これはレベルなので単なるデコーダ的に使用可能

入 力			動 作
G_1	$\overline{G_2}$	$\overline{G_L}$	
X	H	—	全出力H
L	X		
H	L	L	負論理
X	X	H	ラッチ デコード



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		Y0~Y7			38	20			7.1			60		60			ns
tpd	max	G1		Y0~Y7			27	17			6.2			49		49			ns
tpd	max	-G2		Y0~Y7			27	15			5.4			49		49			ns
tpd	max	-GL		Y0~Y7			38	22			5.4			63		63			ns
icc	max	ALL	L				18	11			16			0.08		0.08			mA
tw	min	-GL						10						20		20			ns
tsu	min	A, B, C						10						25		25			ns
thold	min	A, B, C						5						13		13			ns
I1H	max	ENABLE	H				20	20											μA
I1L	max	ENABLE	L				0.4	0.1			0.05								mA
I1H	max	A, B, C	H				20	20											μA
I1L	max	A, B, C	L				0.2	0.1			0.05								mA
IOH	max			ALL	H		0.4	0.4			2			4		4			mA
IOL	max			ALL	L		8	8			20			4		4			mA

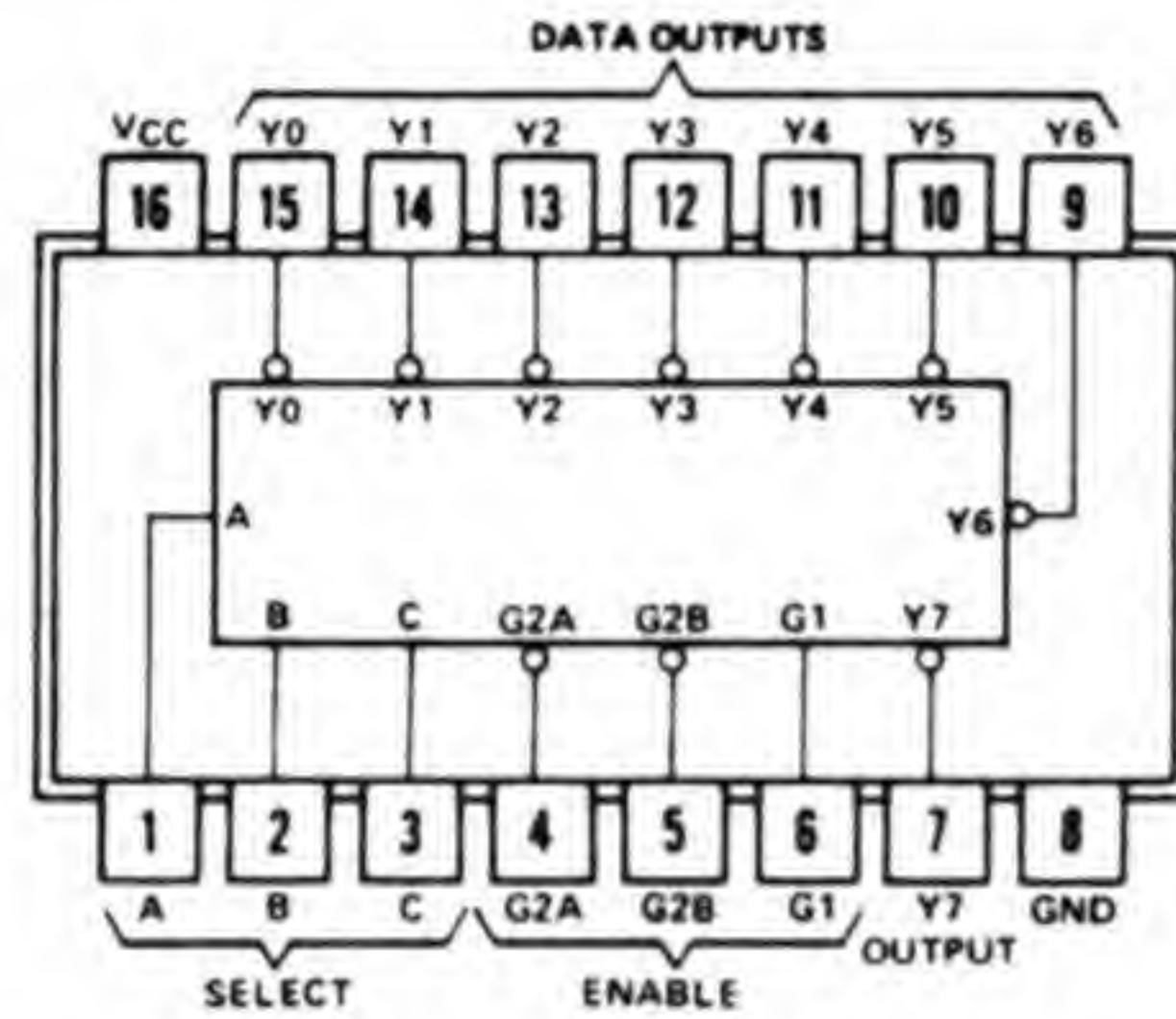
[illegible]

25LS2536

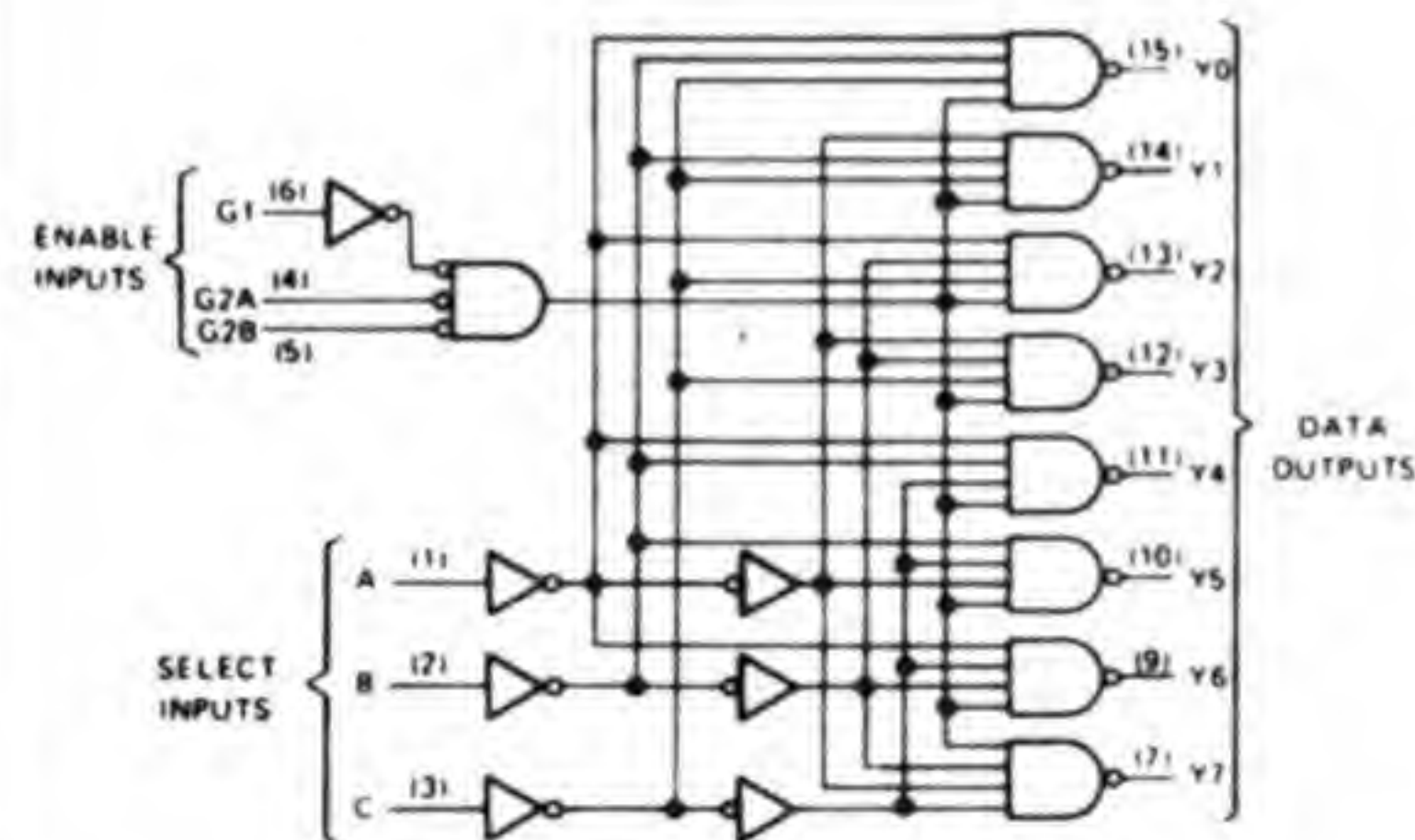
74138

74138

3 to 8 Demultiplexer



- セレクト入力で選んだ出力を、イネーブル入力が $G1 = H$ かつ $G2A = G2B = L$ にしたときのみLにする。
- イネーブルが他の状態のときは出力すべてH



INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

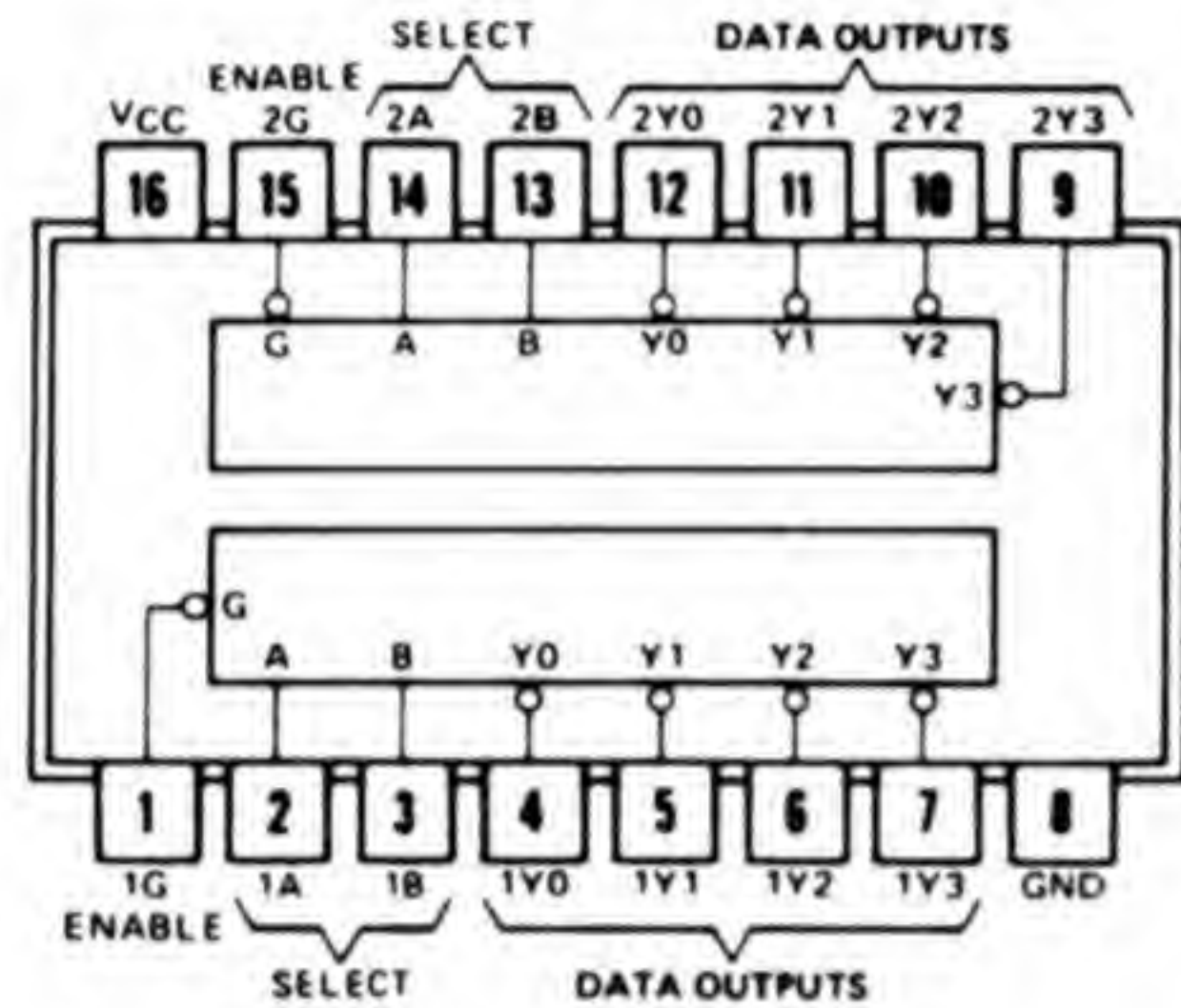
*G2 G2A = G2B

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	ENABLE		Y0~Y7		15.5	38	17		9	5.8	16.5	13	44		43			ns
tpd	max	SELECT		Y0~Y7		13	41	22		9	6.1	15.0	11.5	50		50			ns
Icc	max	G=ACTV		OPEN		0.004	10	10		20	13	0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20									μA
IIl	max	ALL	L				0.36	0.1		0.6									mA
IOH	max			ALL	H	12	0.4	0.4		1	2	24	24	4		4			mA
IOL	max			ALL	L	12	8	8		20	20	24	24	4		4			mA

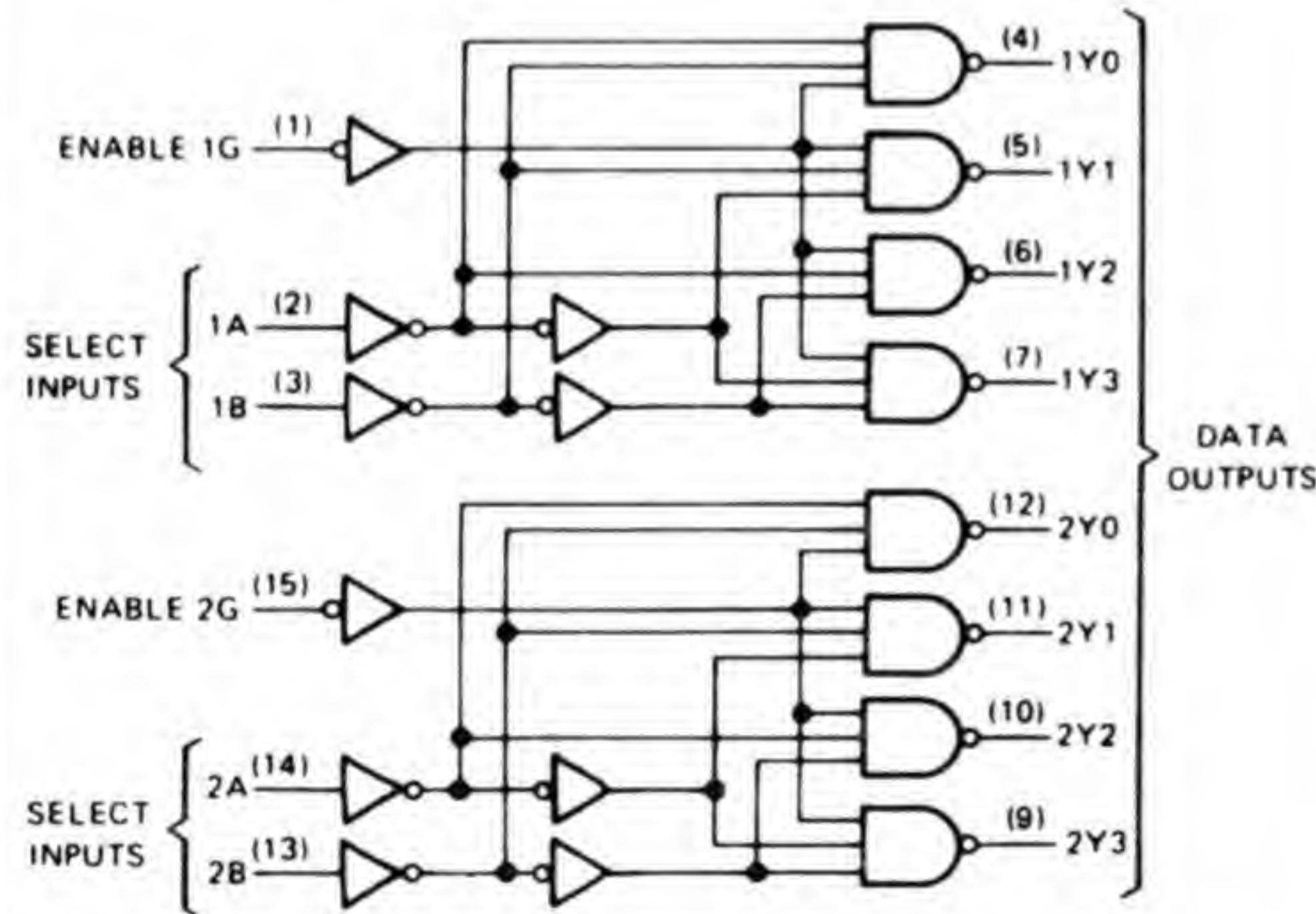
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF			
MOT		DF			DF		DF	DF	DF					
日電									DF		DF			
NS	F	DF	DF		DF		DF	DF	DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	DF		DF	DF	DF	DF	DF		DF			
東芝	F	D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

74139

Dual 2 to 4 Demultiplexers



○セレクト入力で選んだ出力をイネーブルがLの時、Lにする



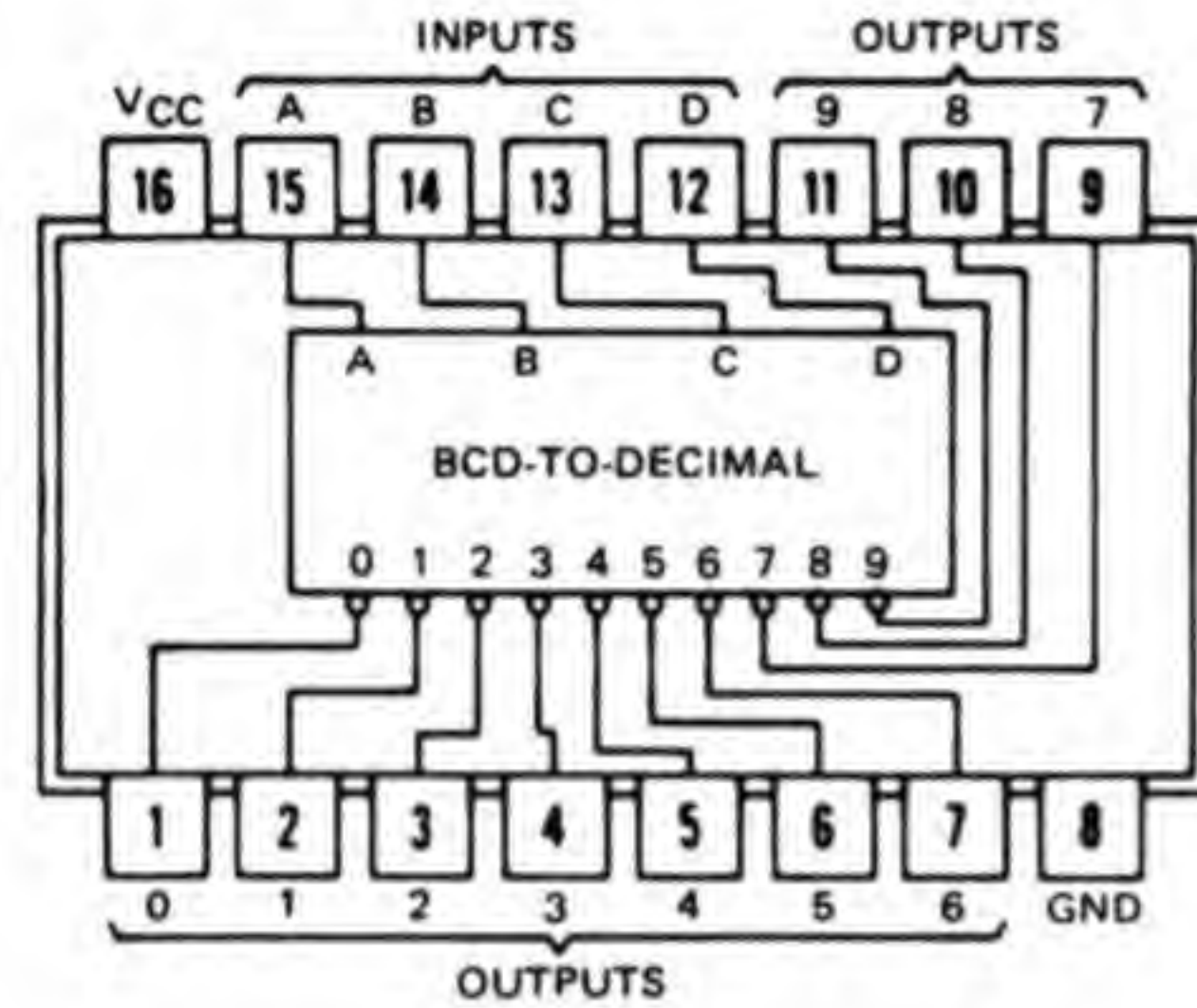
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	ENABLE		Y0~Y7		13	32	8		8	5.5	15.0	11	44		43			ns
tpd	max	SELECT		Y0~Y7		11	38	10		9	6	14.5	10.5	55		43			ns
Icc	max	G=ACTV		OPEN		0.02	11	4.5		20	13	0.08	0.08	0.08		0.08			mA
IIH	max	ALL	H				20	20		20	20								μA
IIL	max	ALL	L				0.36	0.1		0.6	0.5								mA
IOH	max			ALL	H	25	0.4	0.4		1	2	24	24	4		4			mA
IOL	max			ALL	L	25	8	8		20	20	24	24	4		4			mA

INPUTS			OUTPUTS			
ENABLE	SELECT		Y0	Y1	Y2	Y3
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

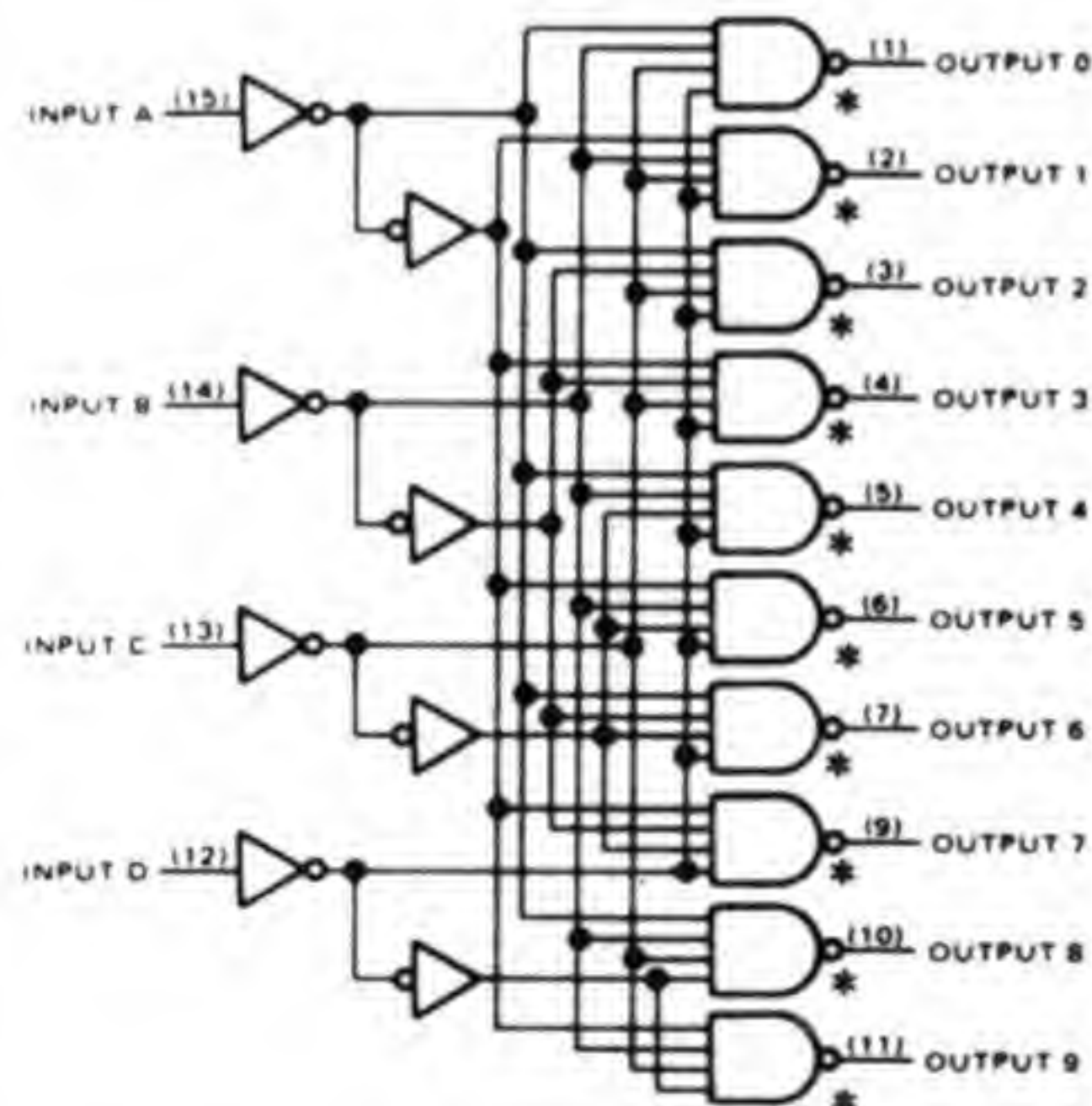
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF					
MOT		DF			DF		DF	DF	DF					
日電									DF		DF			
NS		DF			DF		DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF				DF	DF	DF					
東芝		D			D		DFS	DFS	DF		DF			
SGS											DF		DF	
CYPRES														
IDT								DF						

74145

O. C. BCD to Decimal Decoder/Driver



- 7442のオープンコレクタ・バッファタイプ
- 入力に加えた2進コードで選ばれた出力が Lになる
- 出力端子の最大流入電流80mA
- 出力端子の最大耐圧 15V (7445は30V)

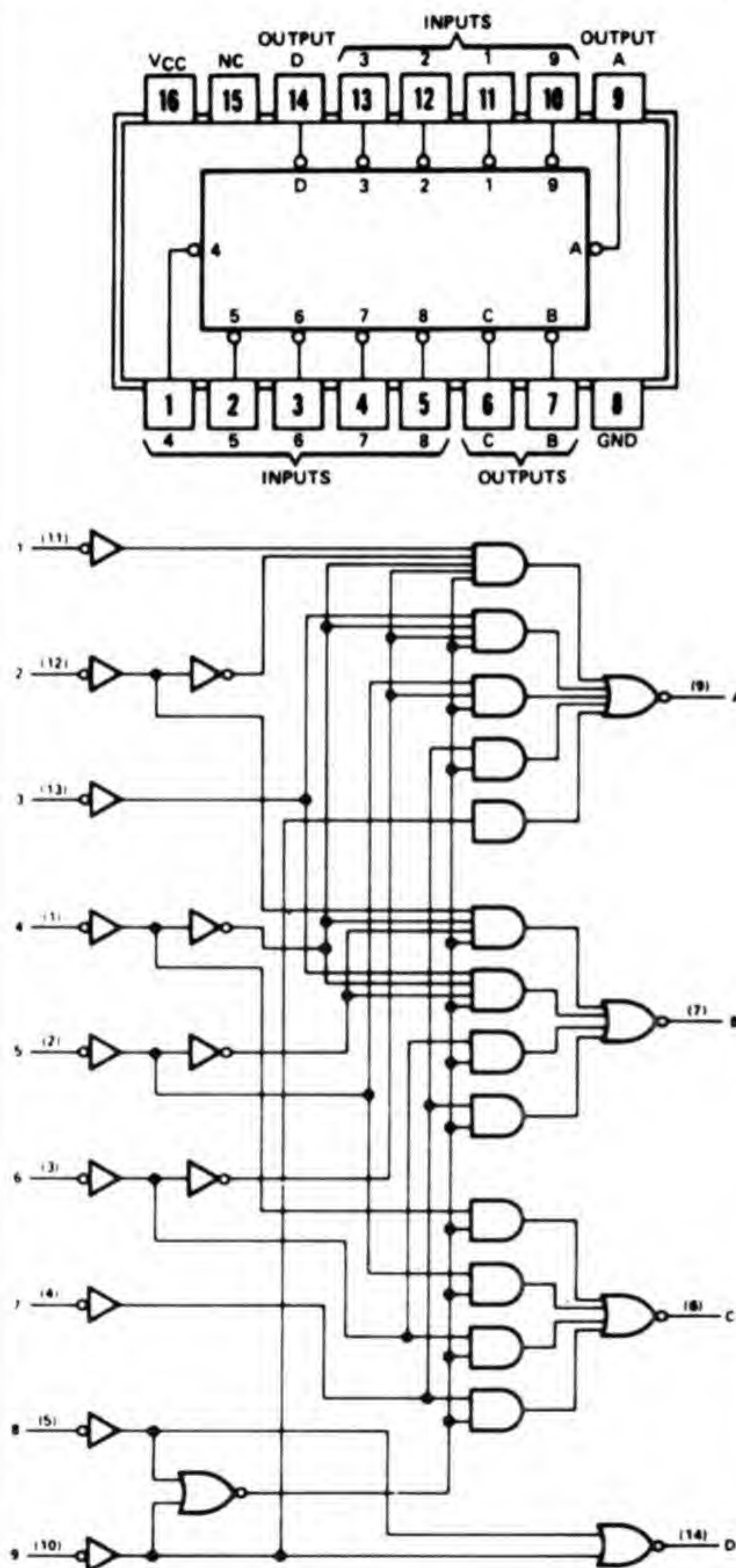


NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	L	H	H	H	L	H	H	H	H	H	H	H
3	L	L	L	H	H	H	H	L	H	H	H	H	H	H
4	L	L	L	H	H	H	H	H	L	H	H	H	H	H
5	L	L	L	H	H	H	H	H	H	L	H	H	H	H
6	L	L	L	H	H	H	H	H	H	H	L	H	H	H
7	L	L	L	H	H	H	H	H	H	H	H	L	H	H
8	L	L	L	H	H	H	H	H	H	H	H	H	L	H
9	L	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	L	L	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H

参考品種
7445

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						50												ns
VOH	max						15												V
Icc	max	ALL	L	OPEN			13												mA
I1H	max	ALL	H				20												μA
I1L	max	ALL	L				0.4												mA
IOH	max			ALL	H		0.25												mA
IOL	max			0.5V	L		24												mA
IOL	max			3.0V	L		80												mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF															
		MOT		DF															
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI		DF															
		東芝		D															
		SGS																	
		CYPRES																	
		IDT																	

74147



- decimal-to-binary encoder

7442と逆の動作をする。ただし上位優先なので、たとえば2および5を同時入力した場合は5を出力する。

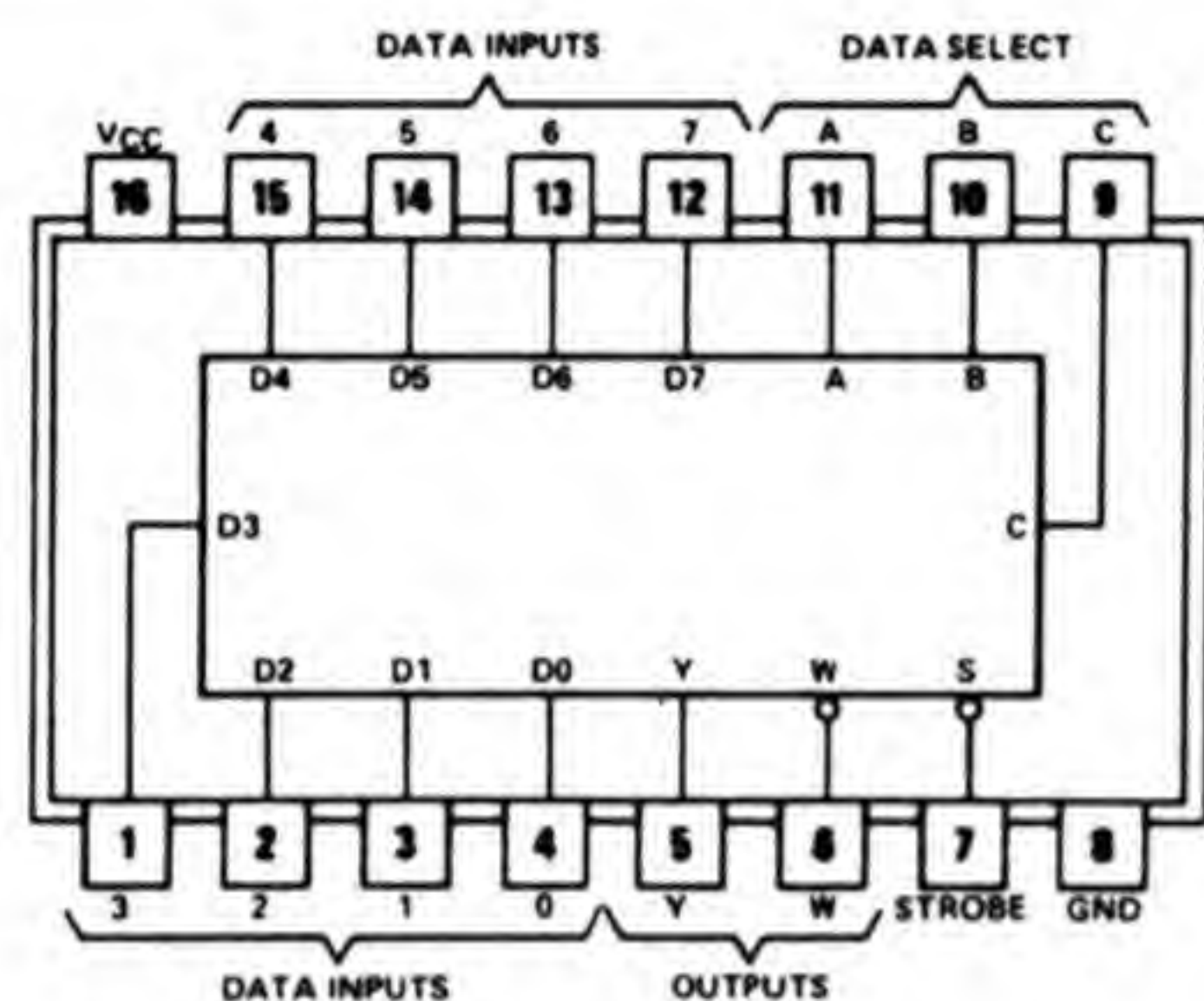
○入出力とも負論理なので、1を入力
し出力は2進コードを反転出力する。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max						33							55		44			ns
Icc	max						20							0.08		0.08			mA
I _{IH}	max	ALL	H				20												mA
I _{IL}	max	ALL	L				0.4												mA
I _{OH}	max			ALL	H		0.4							4		4			mA
I _{OL}	max			ALL	L		8							4		4			mA

[illegible][illegible]

74151

8 to 1 Data Selector

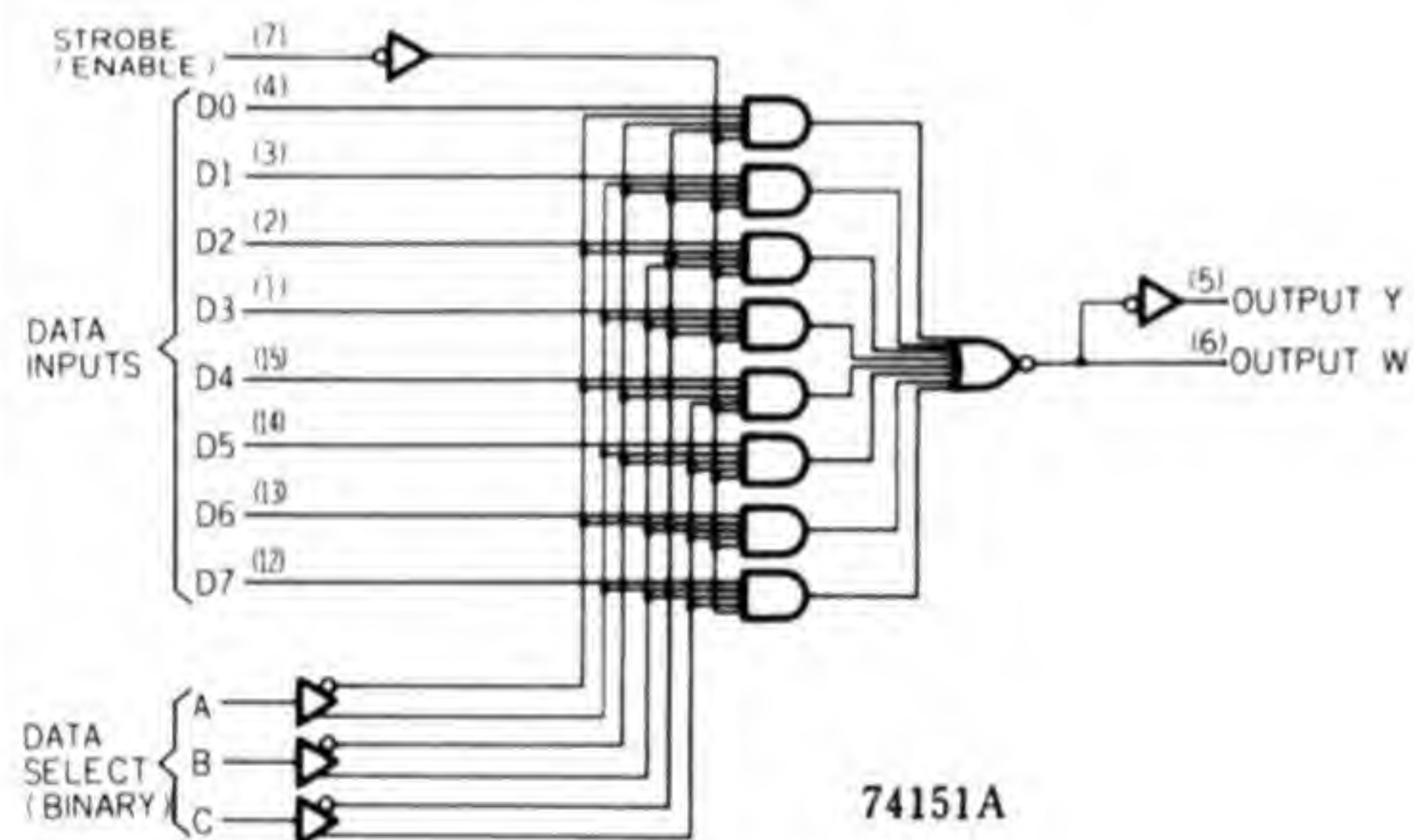


- D₀～D₇に加えた8つのデータ中の1つを、セレクト入力に加えた2進コードにより選びYに出力し、Wには反転出力する
- ストローブをHにすることにより他の入力に無関係にY出力をLにW出力をHにする

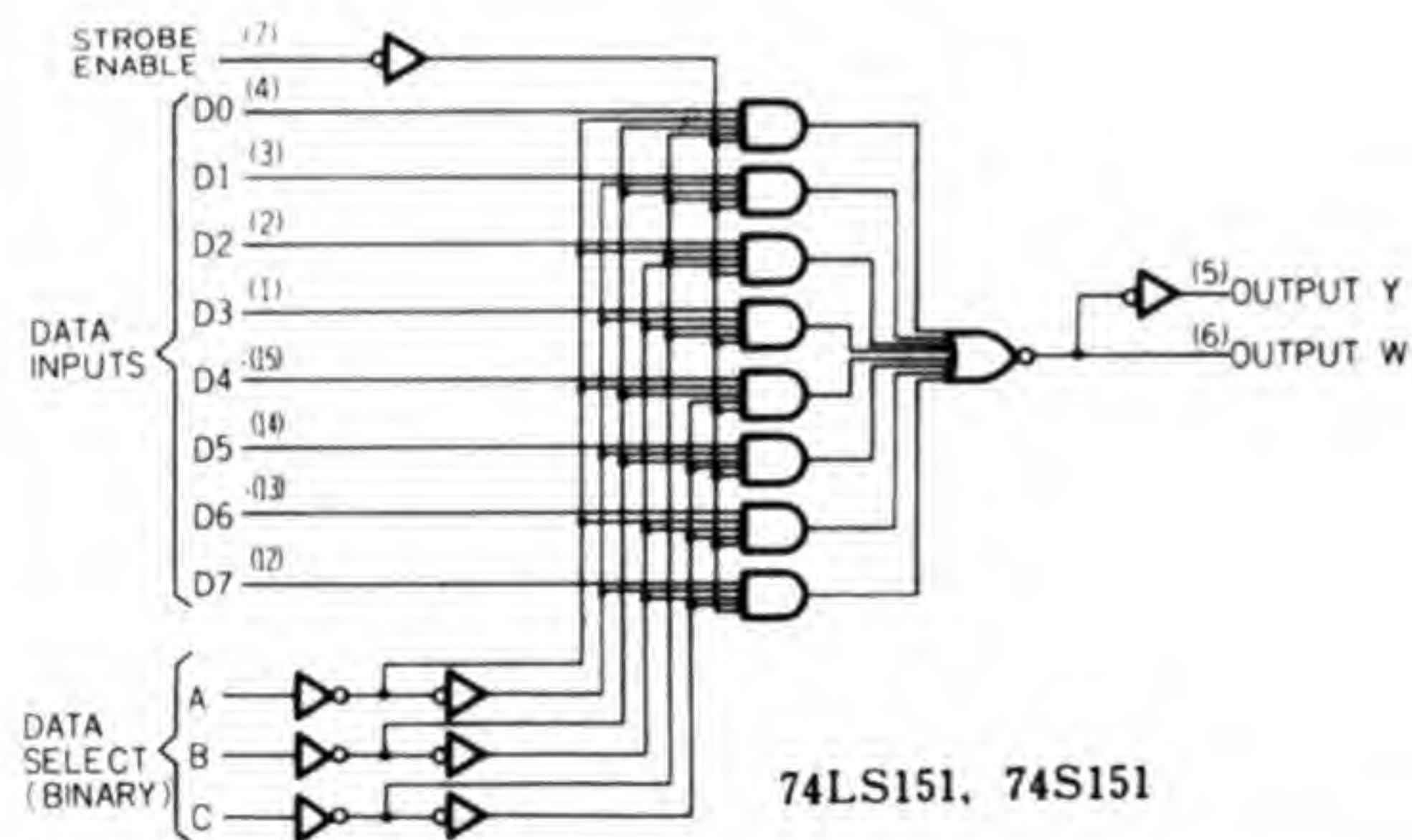
参考品種

74251

74351



74151A



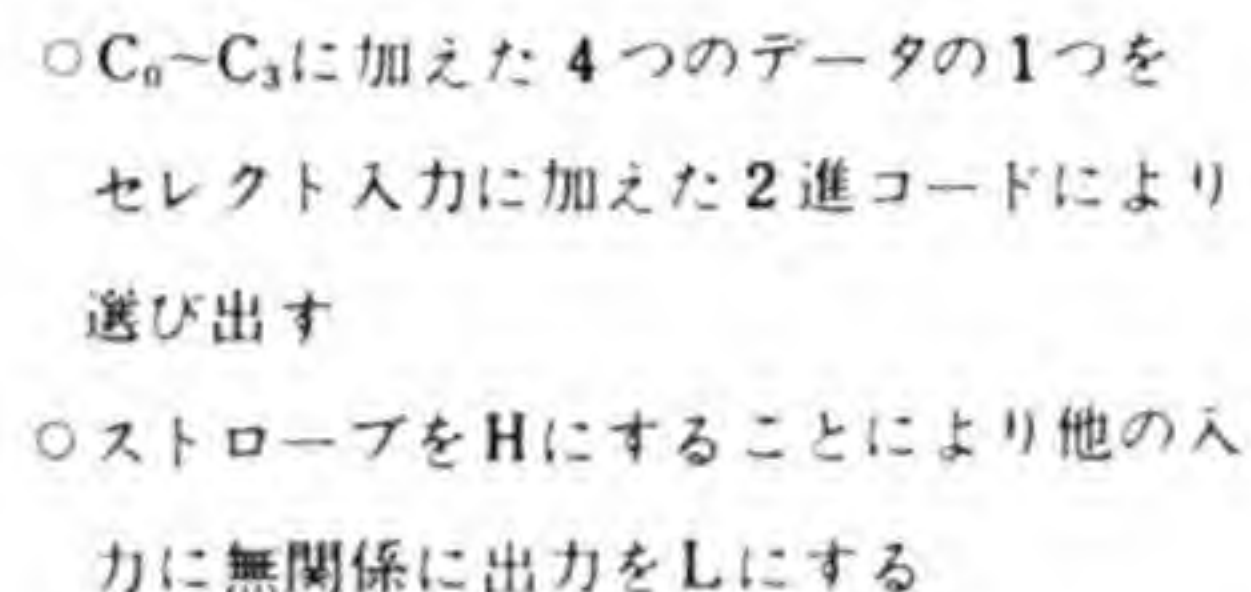
74LS151, 74S151

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y		15	32	15		11	11	12.5	13.5	49		48			ns
tpd	max	DATA		W		15	21	15		7	6.5	12.5	14.0	46		48			ns
tpd	max	SELECT		Y		18	43	24		15	15	15.0	17.0	63		51			ns
tpd	max	SELECT		W		18	32	24		9	12	15.0	18.5	51		54			ns
tpd	max	STROBE		Y		13	42	19		13	14	12.0	10.0	35		36			ns
tpd	max	STROBE		W		13	30	23		10	10	12.0	10.5	32		45			ns
Icc	max	ALL	H			0.004	10	12		21	30	0.08	0.08	0.08		0.08			mA
IiH	max	SELECT	H				20	40		20	40								μA
IiL	max	SELECT	L				0.4	1		0.6	0.6								mA
IiH	max	OTHERS	H				20	20		20	40								μA
IiL	max	OTHERS	L				0.4	0.5		0.6	0.6								mA
IOH	max			ALL	H	12	0.4	2.6		1	15	24	24	4		4			mA
IOL	max			ALL	L	12	8	24		20	48	24	24	4		4			mA

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	S		
X	X	X	H	L	H
L	L	L	L	D0	D0
L	L	H	L	D1	D1
L	H	L	L	D2	D2
L	H	H	L	D3	D3
H	L	L	L	D4	D4
H	L	H	L	D5	D5
H	H	L	L	D6	D6
H	H	H	L	D7	D7

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF	DF	DF					
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		D	DF	DF	DF	DF					
東芝	F	D			D		DF	DF	DF					
SGS											DF			
CYPRES														
IDT								DF						

74153



INPUTS		OUTPUT
SELECT	STROBE	Y
B A	G	
X X	H	L
L L	L	C 0
L H	L	C 1
H L	L	C 2
H H	L	C 3

[illegible]

参考品種
74253
74352
74353

74155



○ 1Cと2Cを接続してそれを新たにセレクトCとする。また、1Gと2Gを接続してそれをストローブとすると 3 to 8 デマルチプレクサになる

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA	2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

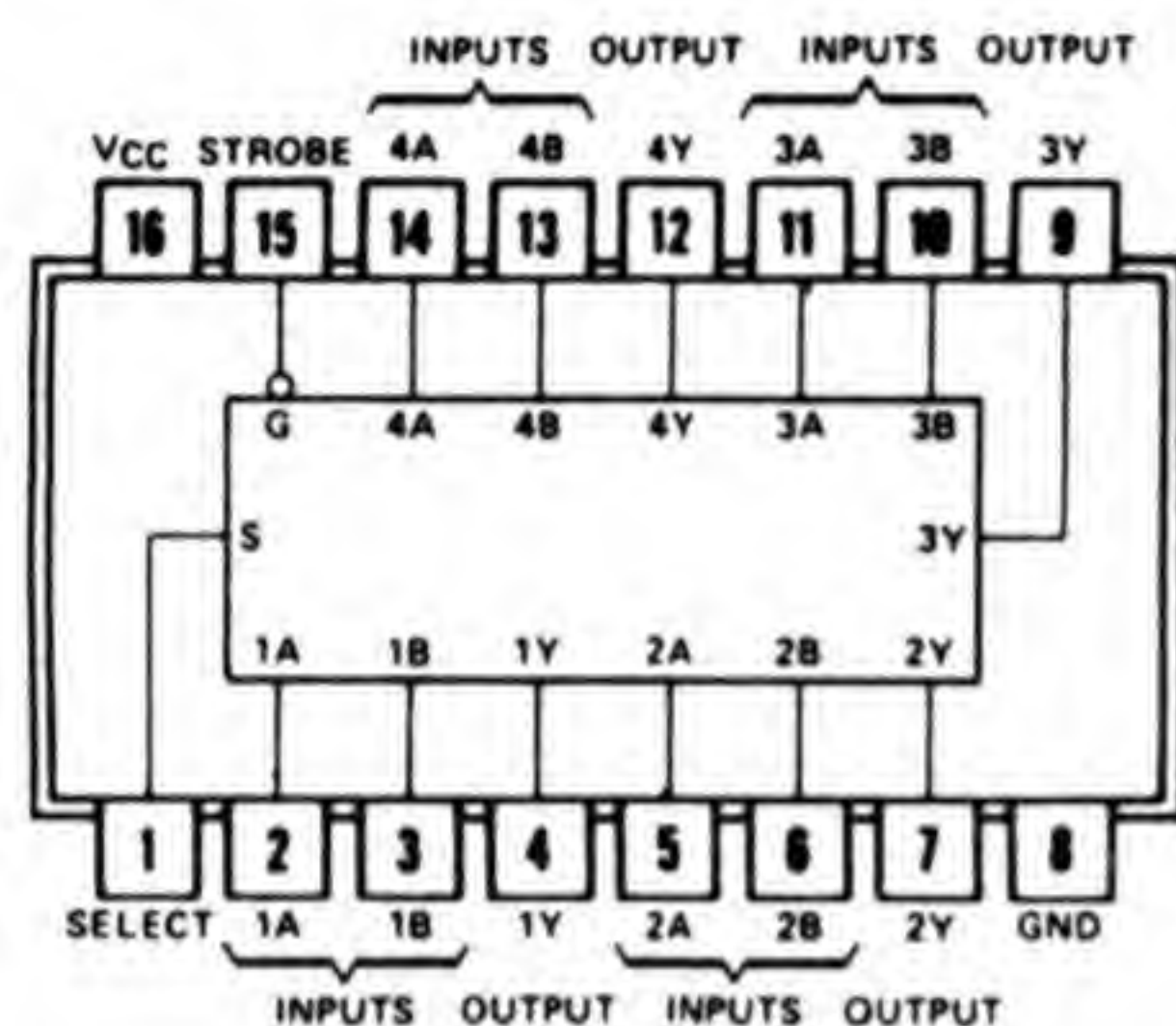
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	STROBE					30			8				32		32			ns
tpd	max	2C					30			8				32		32			ns
tpd	max	1C					27			9				32		32			ns
tpd	max	SELECT					30			9				32		32			ns
Icc	max	ACTIVE		OPEN			10			20				0.08		0.08			mA
I _{IH}	max	ALL	H				20			20									μA
I _{IL}	max	ALL	L				0.36			0.6									mA
I _{OH}	max			ALL	H		0.4			1				4		4			mA
I _{OL}	max			ALL	L		8			20				4		4			mA

[illegible]

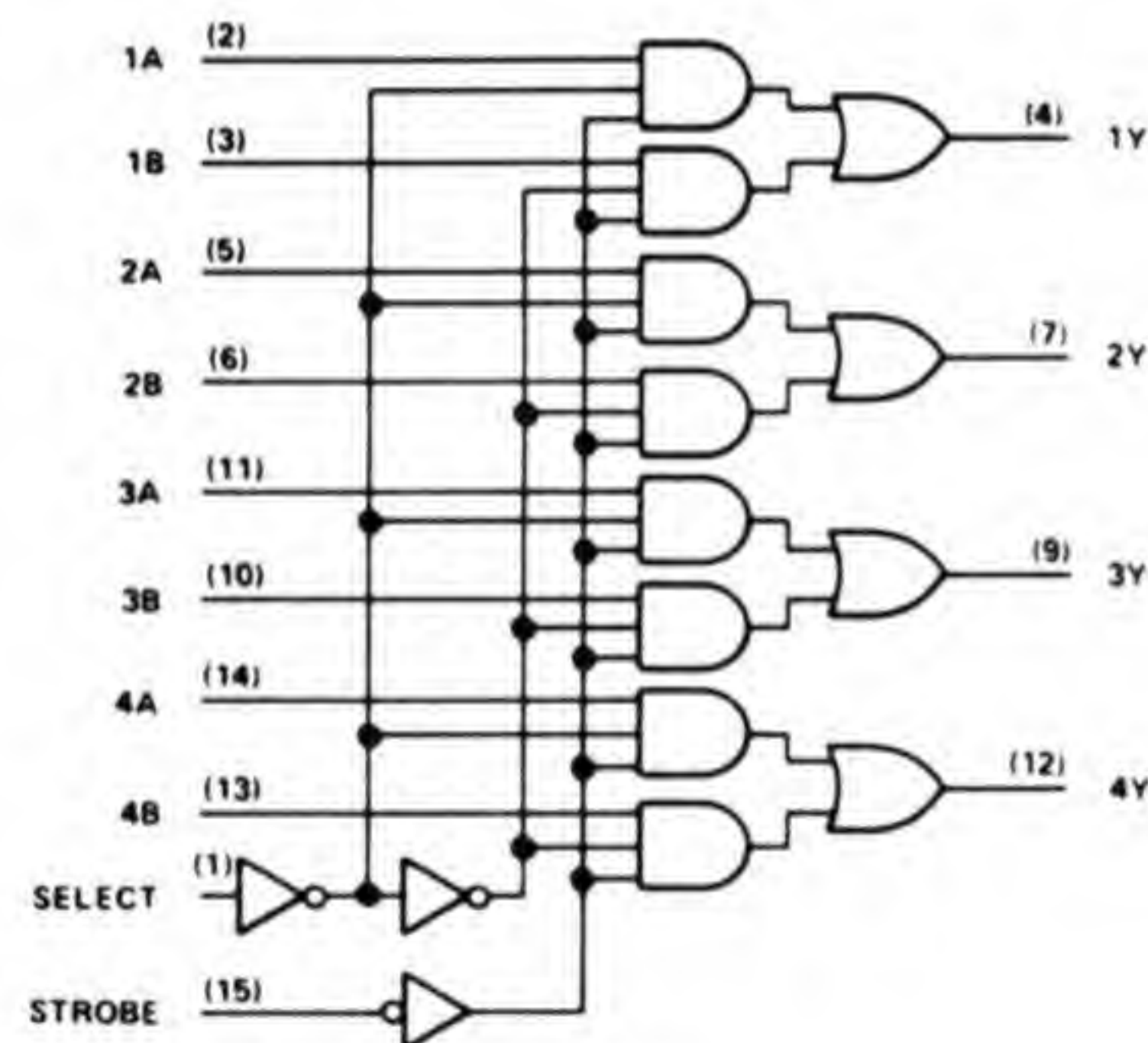
74255

74157

2 to 1 Data Selectors



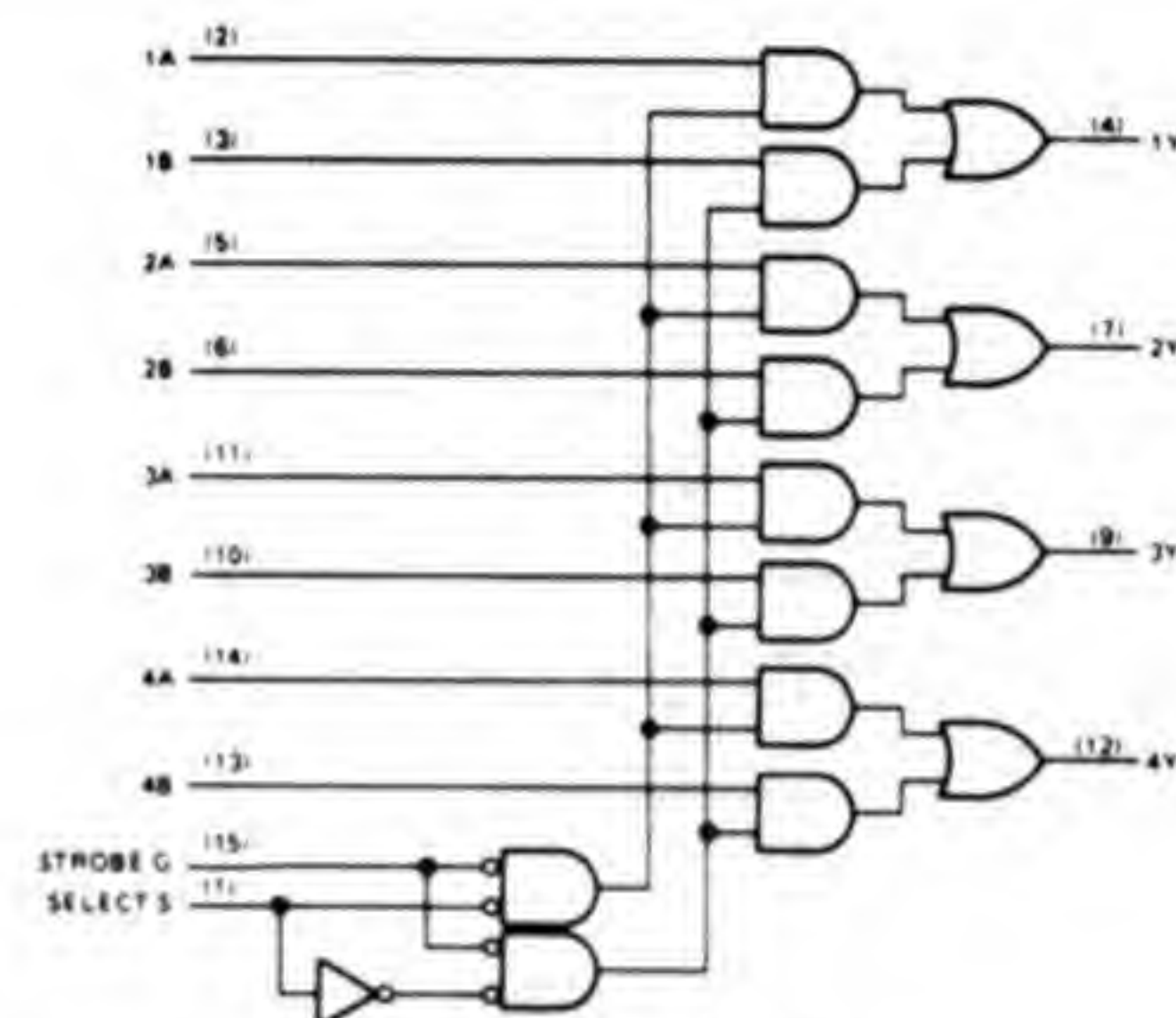
- セレクト入力をLまたはHにすることにより
それぞれデータA、データBを選び出力する。
- ストローブをHにすることにより他の入力に
無関係に出力をLにする。



74157

FUNCTION TABLE

INPUTS		OUTPUT Y
Select	Strobe G	
X	H	L
L	L	A
H	L	B



74LS157, 74S157

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA					14	5		8		10.5	8.5	32		38			ns
tpd	max	SELECT					27	6.5		15		15.0	11	32		44			ns
tpd	max	STROBE					21	6.5		11.5		13.0	10.5	29		44			ns
Icc	max	ALL	H				16	7.8		23		0.08	0.08	0.08		0.08			mA
IIH	max	DATA	H				20	20		20	20								μA
IIL	max	DATA	L				0.4	0.1		0.6	0.5								mA
IIH	max	STROBE	H				40	20		20	20								μA
IIL	max	STROBE	L				0.8	0.1		0.6	0.5								mA
IIH	max	SELECT	H				40	20		20	40								μA
IIL	max	SELECT	L				0.8	0.1		0.6	1								mA
IOH	max			ALL	H		0.4	2.6		1	2	24	24	4		4			mA
IOL	max			ALL	L		8	24		20	20	24	24	4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF			DF		DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝	F	D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種

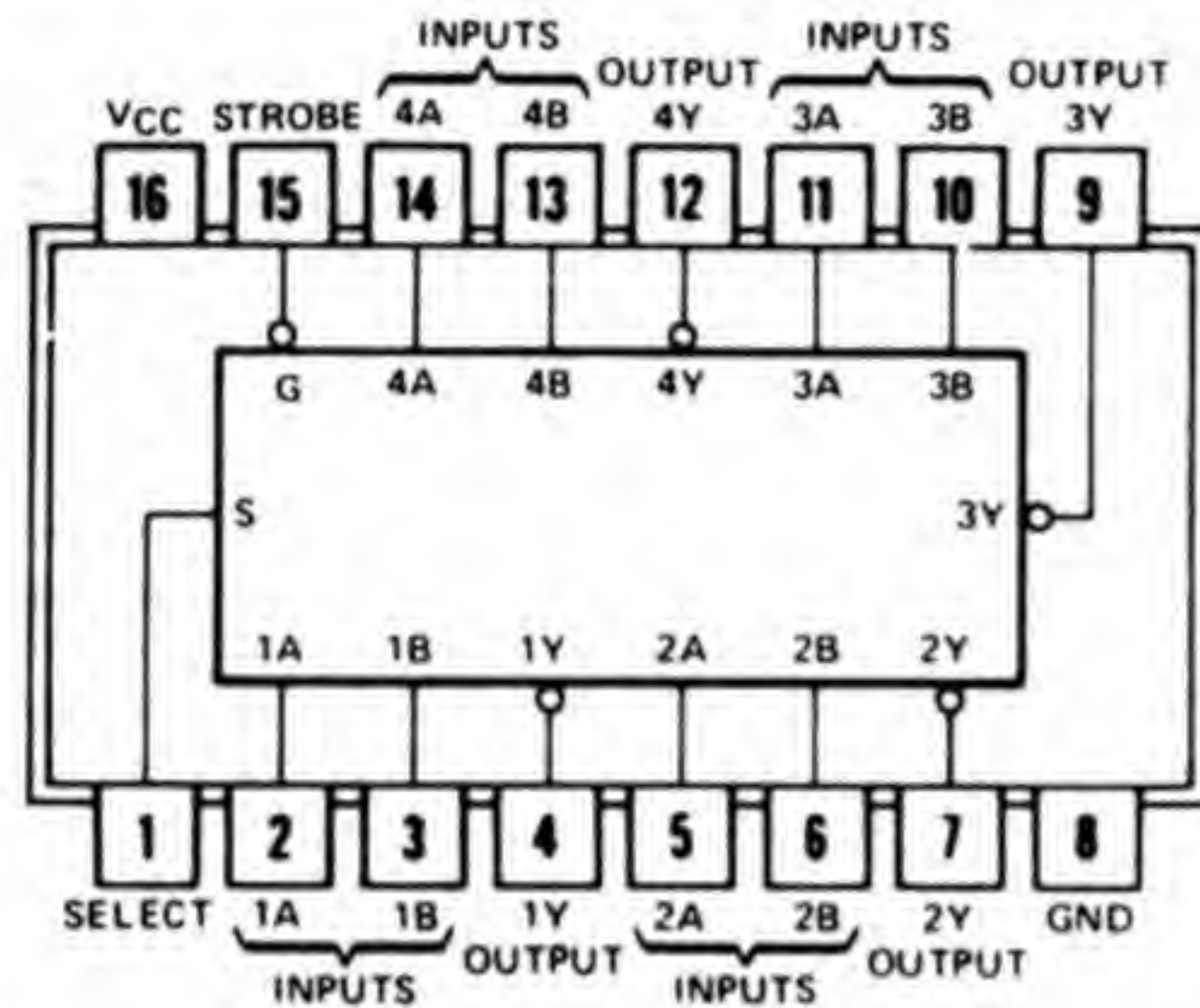
74257

74158

74258

74158

Quad 2 to 1 Data Selectors

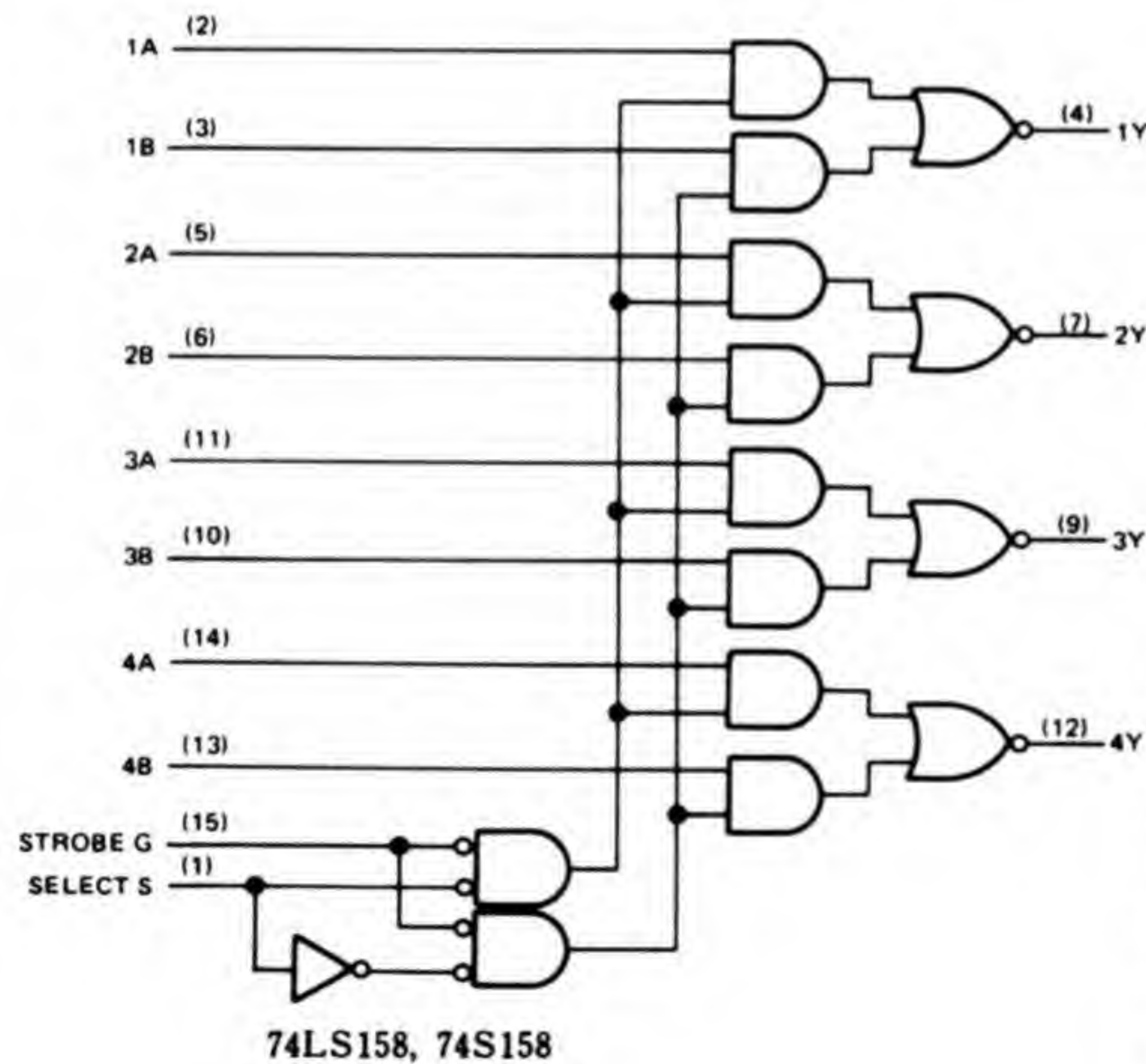


○74157の論理反転出力タイプ.

○セレクト入力をLまたはHにすることによりそれぞれデータA、データBを選び論理反転して出力する。

○ストローブをHにすることにより他の入力に無関係に出力をHにする

参考品種
74258
74157
74257



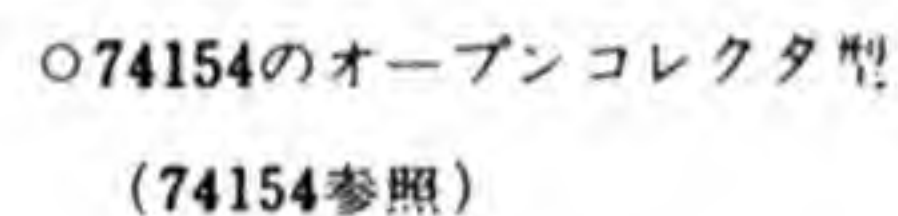
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA					12	5		7	5	10.5	8.5	32					ns
tpd	max	SELECT					24	6.5		10.5	10.5	14.5	11.0	32					ns
tpd	max	STROBE					18	6.5		9.5	10	14.0	10.5	29					ns
Icc	max	ALL	H				8	2.3		15	22.5	50	0.08	0.08					mA
IIH	max	DATA	H				20	20		20	20								μA
IIL	max	DATA	L				0.4	0.1		0.6	0.5								mA
IIH	max	STROBE	H				40	20		20	20								μA
IIL	max	STROBE	L				0.8	0.1		0.6	0.5								mA
IIH	max	SELECT	H				40	20		20	40								μA
IIL	max	SELECT	L				0.8	0.1		0.6	1								mA
IOH	max			ALL	H		0.4	2.6		1	2	24	24	4					mA
IOL	max			ALL	L		8	24		20	20	24	24	4					mA

FUNCTION TABLE

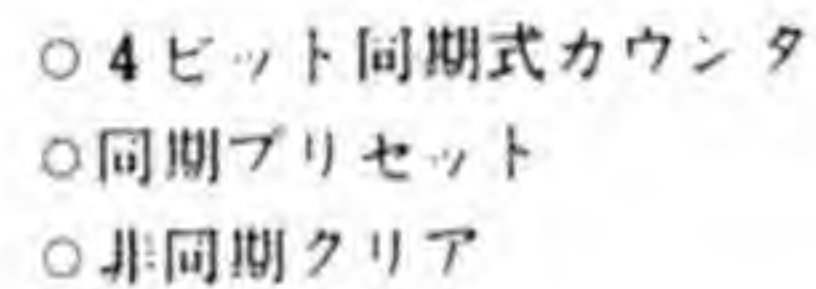
INPUTS		OUTPUT Y
Select	Strobe G	
X	H	H
L	L	\bar{A}
H	L	\bar{B}

[illegible]




74159

[illegible][illegible]

Synchronous Presettable BCD Counter with Clear



動作狀態

入 力					出 力		動 作
Clear	Load	CK	Enable		Q _A Q _B Q _C Q _D	Ripple Carry	
			P	T			
H	H		H	H		—	カウンタ
H	L		X	X	D _A D _B D _C D _D	—	データセット
	X	X	X	X	L L L L	—	クリア
H	X	X	X	H	H L L H		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		50	75	118	100	21		13			MHz
tw	min	CLK					25	16.5		9	6.7	2.0	4.0	20		39			ns
tw	min	CLEAR					20	15		6	8	3.0	6.0	20		25			ns
tsu	min	DATA					20↑	15↑		5↑	8↑	4.0	3.0	38		25			ns
tsu	min	ENABLE					20↑	20↑		12	8↑	2.5	7.0			50			ns
ten	min	LOAD					20↑			11				34		44			ns
thold	min	DATA					0↑	0↑		0	0↑	5.5	0	13		0			ns
tpd	max	ENB. T		CARRY			14	13		8.5	9	6.0	11.0	49		44			ns
tpd	max	CLK		CARRY			35	26		16.5	12.5	8.0	14.0	54		60			ns
tpd	max	CLK		Qa~Qd			27	17		11	13	7.0	11.0	52		54			ns
tpd	max	CLEAR		Qa~Qd			28	24		13	13	5.5	11.0	53		63			ns
Icc	max						32	21		50	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB. T	H				40	40		20	40								μA
IIL	max	ENB. T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	others	H				20	20		20	20								μA
IIL	max	others	L				0.4	0.2		0.6	0.5								mA

[illegible]

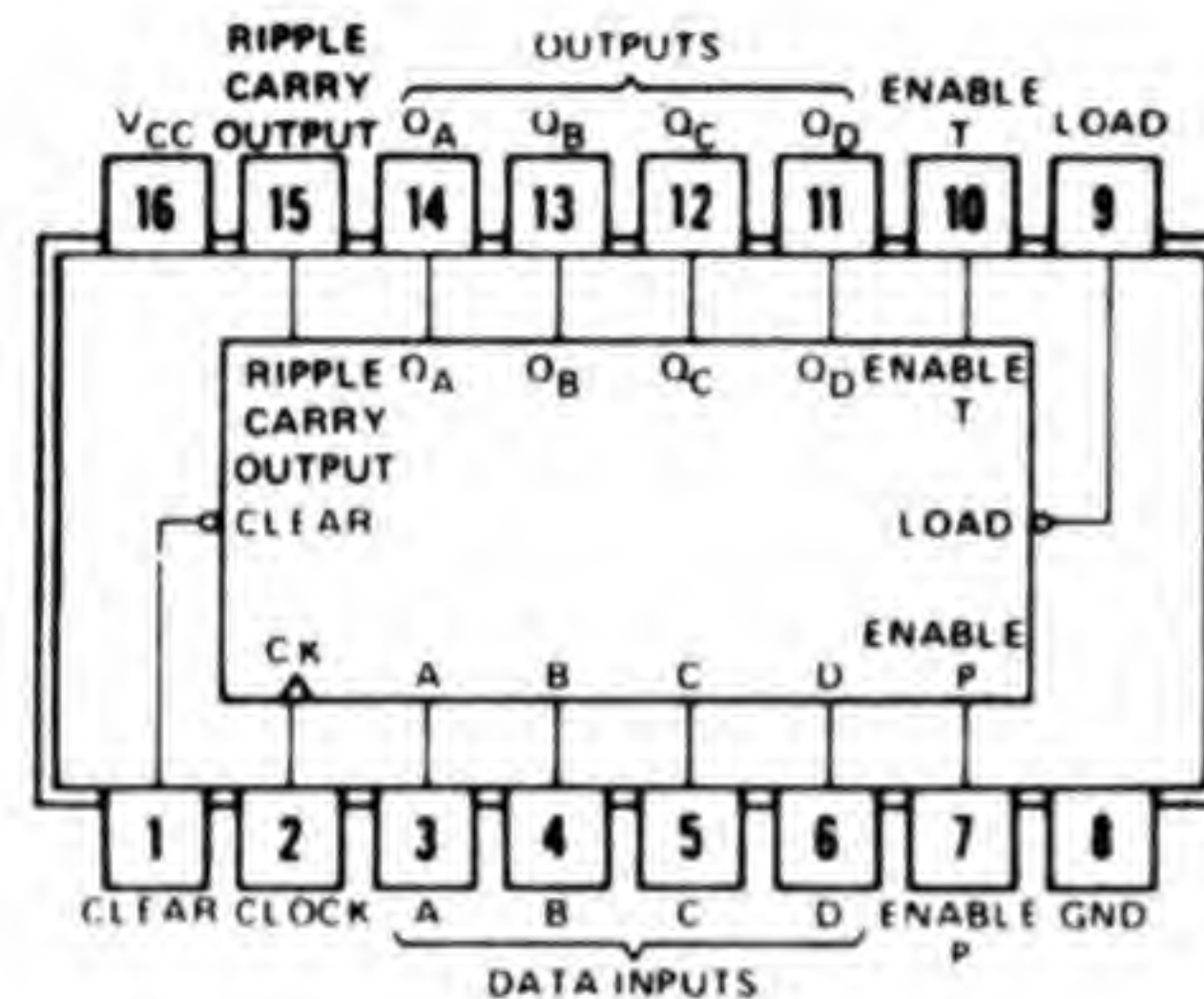
参考品種

74161

74162




74161

Synchronous Presettable Binary Counter with Clear



- 4 ビット同期式カウンタ
- 同期プリセット
- 非同期クリア

動作状態

入 力					出 力		動 作
Clear	Load	CK	Enable		Q _A Q _B Q _C Q _D	Ripple Carry	
			P	T			
H	H		H	H		—	カウント
H	L		X	X	D _A D _B D _C D _D	—	データセット
	X	X	X	X	L L L L	—	ク リ ア
H	X	X	X	H	H H H H		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f _{max}	min	CLK					25	30		90	75	45	100	21		18			MHz
t _w	min	CLK					25	16.5		5	6.7	3.5	6.5	20		28			ns
t _w	min	CLEAR					20	15		5	8	6.0	6.5	20		25			ns
t _{su}	min	DATA					20 ↑	15 ↑		5 ↑	8 ↑	10.5	11.5	38		23			ns
t _{su}	min	ENABLE					20 ↑	20 ↑		11.5 ↑	8 ↑	5.0	9.5			50			ns
t _{en}	min	LOAD					20 ↑			11.5 ↑		8.5	10.5	34		38			ns
t _{hold}	min	DATA					0 ↑	0 ↑		2 ↑	0 ↑	0	0.5	13		0			ns
t _{pd}	max	ENB. T		CARRY			14	13		8.5	9	9.5	13	49		44			ns
t _{pd}	max	CLK		CARRY			35	26		15	12.5	11.5	16.5	54		60			ns
t _{pd}	max	CLK		Q _a ~Q _d			27	17		11	13	10	13.5	52		54			ns
t _{pd}	max	CLEAR		Q _a ~Q _d			28	24		13	13	13.5	13	53		58			ns
I _{cc}	max						32	21		55	53	0.08	0.08	0.08		0.08			mA
I _{IH}	max	CLK	H				40	40		20	20								μA
I _{IL}	max	CLK	L				0.8	0.2		0.6	0.5								mA
I _{IH}	max	ENB. T	H				40	40		20	40								μA
I _{IL}	max	ENB. T	L				0.8	0.2		1.2	1								mA
I _{IH}	max	LOAD	H				40	40		20	60								μA
I _{IL}	max	LOAD	L				0.8	0.2		1.2	1.5								mA
I _{IH}	max	OTHERS	H				20	20		20	20								μA
I _{IL}	max	OTHERS	L				0.4	0.2		0.6	0.5								mA

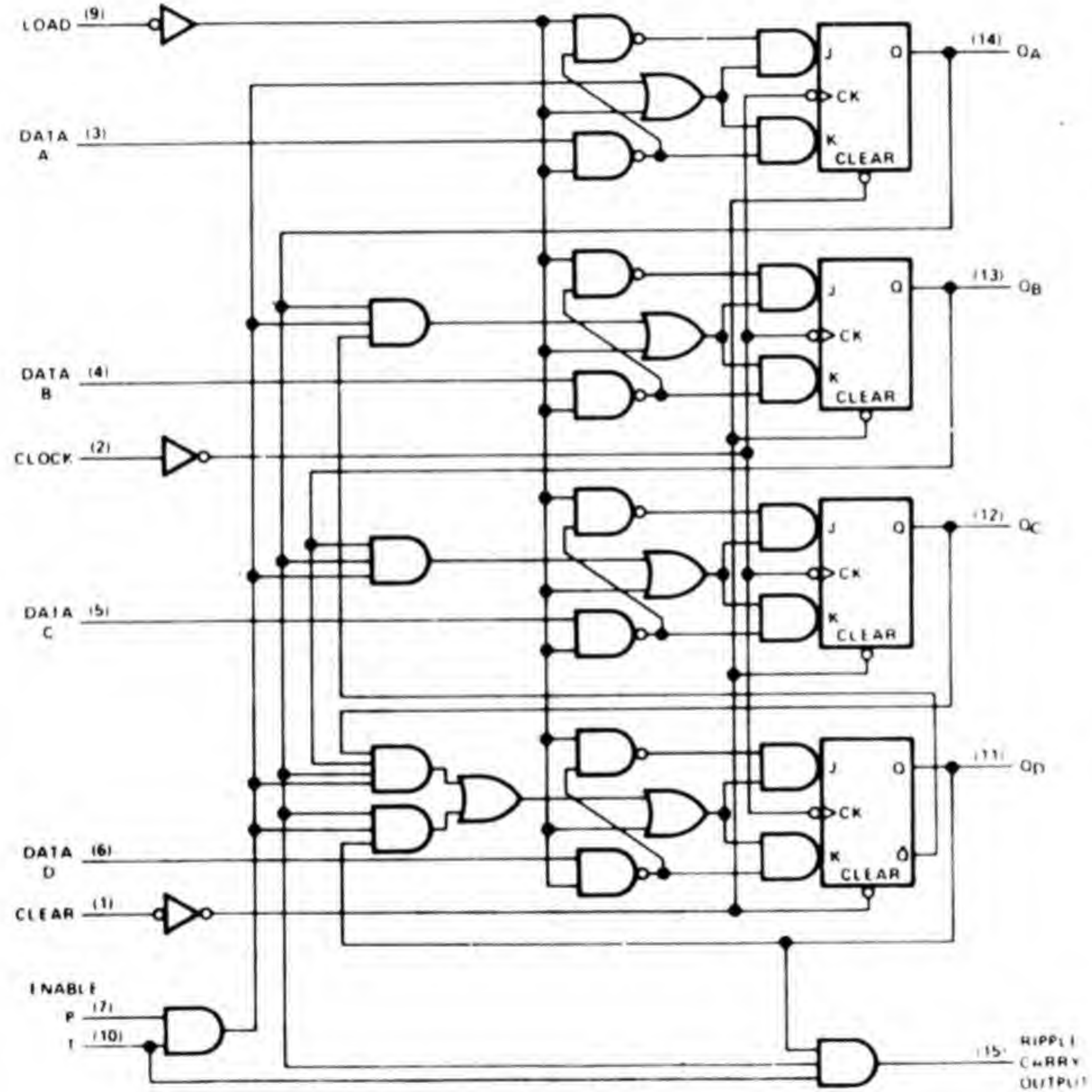
参考品種

74160

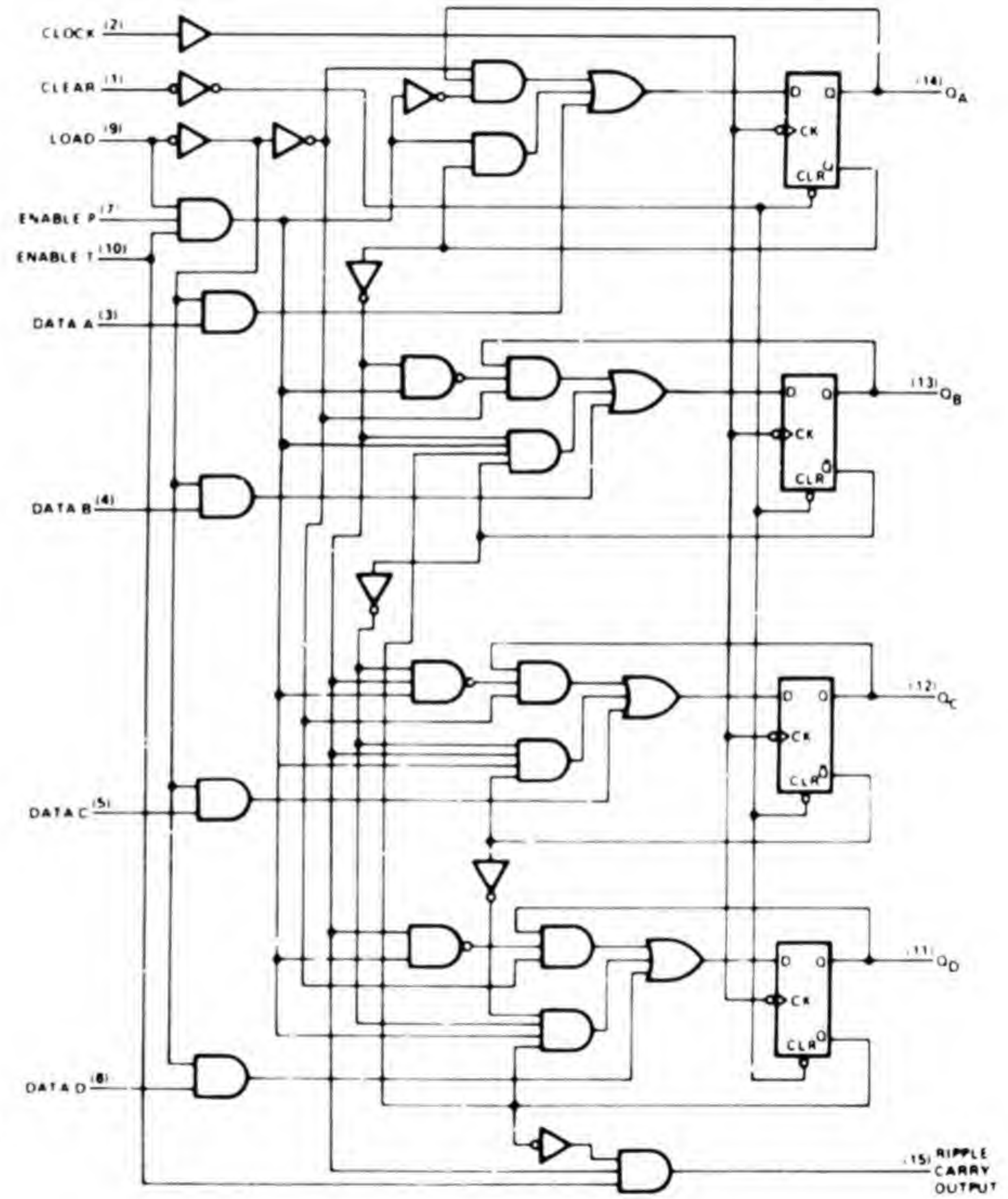
74163

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF						DF	DF				
MOT		DF			DF		DF		DF				
日電									DF				
NS		DF	DF		DF	DF	DF	DF	DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF		DF	DF				
東芝		D			D		DFS	DF	DF				
SGS											DF		DF
CYPRES													
IDT								DF					

74160, 74161

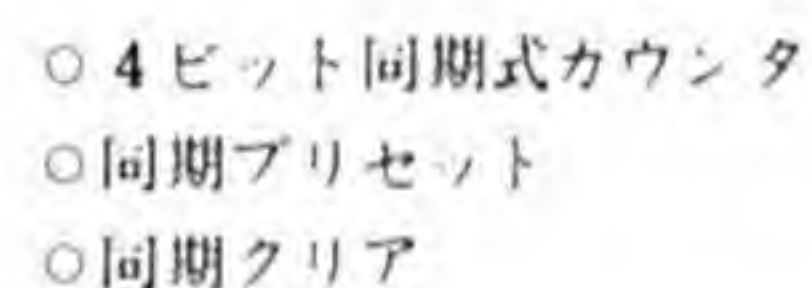


74160





74LS160A

Synchronous Presettable BCD Counter with Clear



動作狀態

入 力				出 力		動 作	
Clear	Load	C K	Enable		Q _A Q _B Q _C Q _D		Ripple Carry
			P	T			
H	H		H	H	—	—	カウント
H	L		X	X	D _A D _B D _C D _D	—	データセット
L	X		X	X	L L L L	—	クリア
X	X	X	X	H	H L L H		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		50	75	90	100	21		14			MHz
tw	min	CLK					25	16.5		9	6.7	5.0	5.0	20		39			ns
tsu	min	CLEAR					20↑	15↑		5↑	8↑	4.0	11.5	38		25			ns
tsu	min	DATA					20↑	25↑		12↑	8↑	4.0	10.0			25			ns
tsu	min	ENABLE					20↑			10↑		7.0	7.0	34		44			ns
tsu	min	LOAD					20↑			11↑		7.0	10.0	40		50			ns
thold	min	DATA					0↑	0↑		0↑	0↑	1.0	0	13		0			ns
thold	min	LD, CLR					0↑	0↑		0↑	0↑	1.0	0			0			ns
tpd	max	ENB. T		CARRY			14	17		8.5	9	9.5	9.5	49		44			ns
tpd	max	CLK		CARRY			35	26		16.5	12.5	15.0	14.0	54		64			ns
tpd	max	CLK		Qa~Qd			27	17		11	13	11.0	11.0	52		54			ns
tpd	max	CLEAR		Qa~Qd			28			14		13.0	11.0	53					ns
lcc	max						32	21		50	53	0.08	0.08	0.08		0.08			mA
IIH	max	CLK	H				40	40		20	20								μA
IIL	max	CLK	L				0.8	0.2		0.6	0.5								mA
IIH	max	ENB. T	H				40	40		20	40								μA
IIL	max	ENB. T	L				0.8	0.2		1.2	1								mA
IIH	max	LOAD	H				40	40		20	60								μA
IIL	max	LOAD	L				0.8	0.2		1.2	1.5								mA
IIH	max	OTHERS	H				20	20		20	20								μA

[illegible]

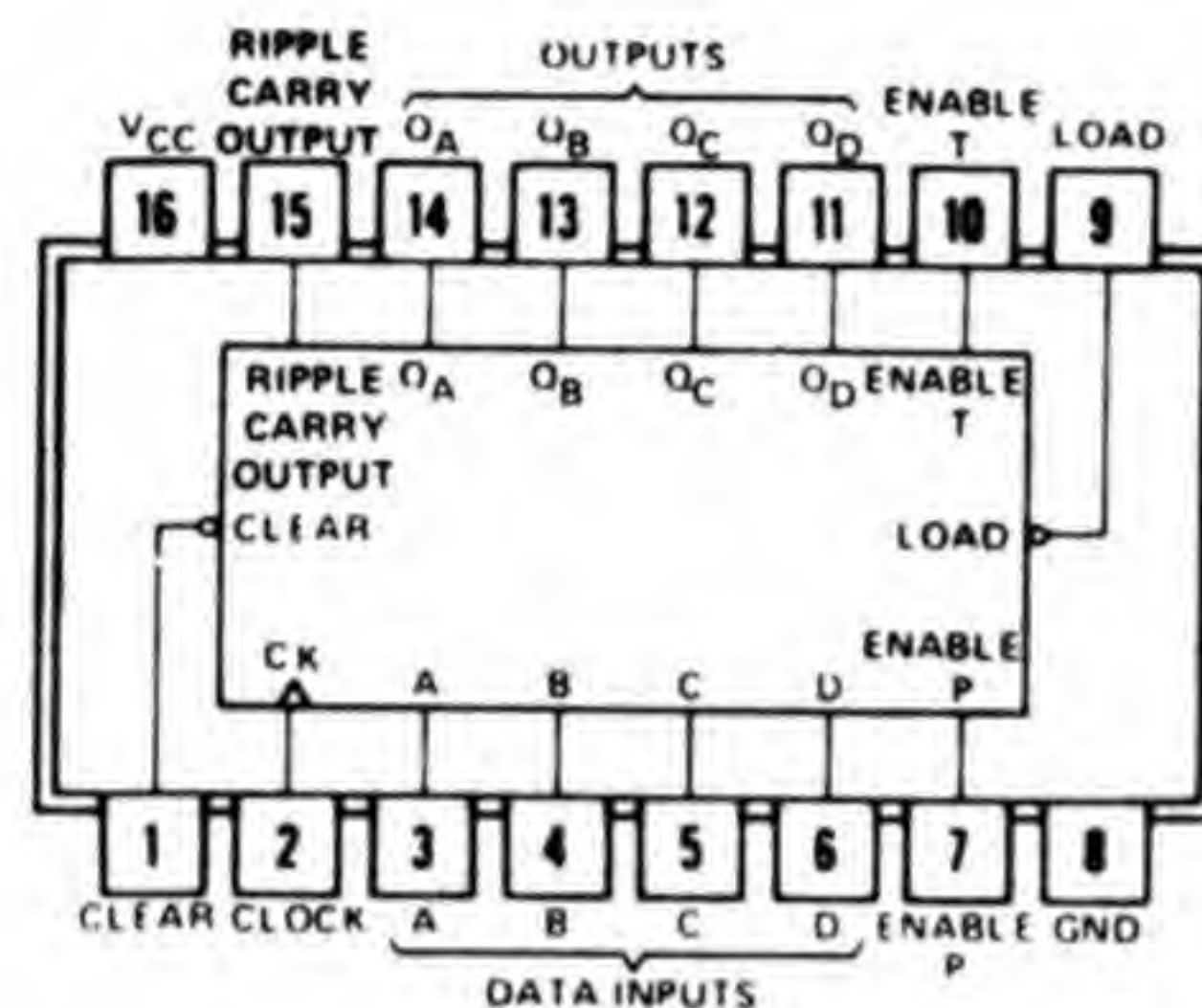
参考品種

74160

74163

74163

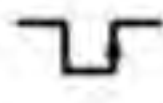

Synchronous Presettable Binary Counter with Clear



- 4ビット同期式カウンタ
- 同期プリセット
- 同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f _{max}	min	CLK					25	30		90	75	95	105	21		21			MHz
t _w	min	CLK					25	16.5		5	6.7	3.5	3.5	20		28			ns
t _{su}	min	CLEAR					20 ↑	15 ↑		5 ↑	8 ↑	11	11.5	38		25			ns
t _{su}	min	DATA					20 ↑	25 ↑		11.5 ↑	8 ↑	10.5	12			25			ns
t _{su}	min	ENABLE					20 ↑			11.5 ↑		5.0	10.5	34		38			ns
t _{su}	min	LOAD					20 ↑			11.5 ↑		8.5	0.5	10		25			ns
t _{hold}	min	DATA					0 ↑	0 ↑		2 ↑	0 ↑	0	0	13		0			ns
t _{hold}	min	LD, CLR					0 ↑	0 ↑		2 ↑	0 ↑	0	0			0			ns
t _{pd}	max	ENB. T		CARRY			14	17		8.5	9	9.5	11	49		44			ns
t _{pd}	max	CLK		CARRY			35	26		15	12.5	11.5	15	54		61			ns
t _{pd}	max	CLK		Q _a ~Q _d			27	17		11	13	10	12	52		54			ns
t _{pd}	max	CLEAR		Q _a ~Q _d			28			13									ns
I _{cc}	max						32	21		55	53	0.08	0.08	0.08		0.08			mA
I _{IH}	max	CLK	H				40	40		20	20								μA
I _{IL}	max	CLK	L				0.8	0.2		0.6	0.5								mA
I _{IH}	max	ENB. T	H				40	40		20	40								μA
I _{IL}	max	ENB. T	L				0.8	0.2		1.2	1								mA
I _{IH}	max	LOAD	H				40	40		20	60								μA
I _{IL}	max	LOAD	L				0.8	0.2		1.2	1.5								mA
I _{IH}	max	OTHERS	H				20	20		20	20								μA

動作状態

入　　力				出　　力		動　　作	
Clear	Load	CK	Enable		Q _A Q _B Q _C Q _D		Ripple Carry
			P	T			
H	H		H	H	—	—	カウント
H	L		X	X	D _A D _B D _C D _D	—	データセット
L	X		X	X	L L L L	—	クリア
X	X	X	X	H	H H H H		—

参考品種

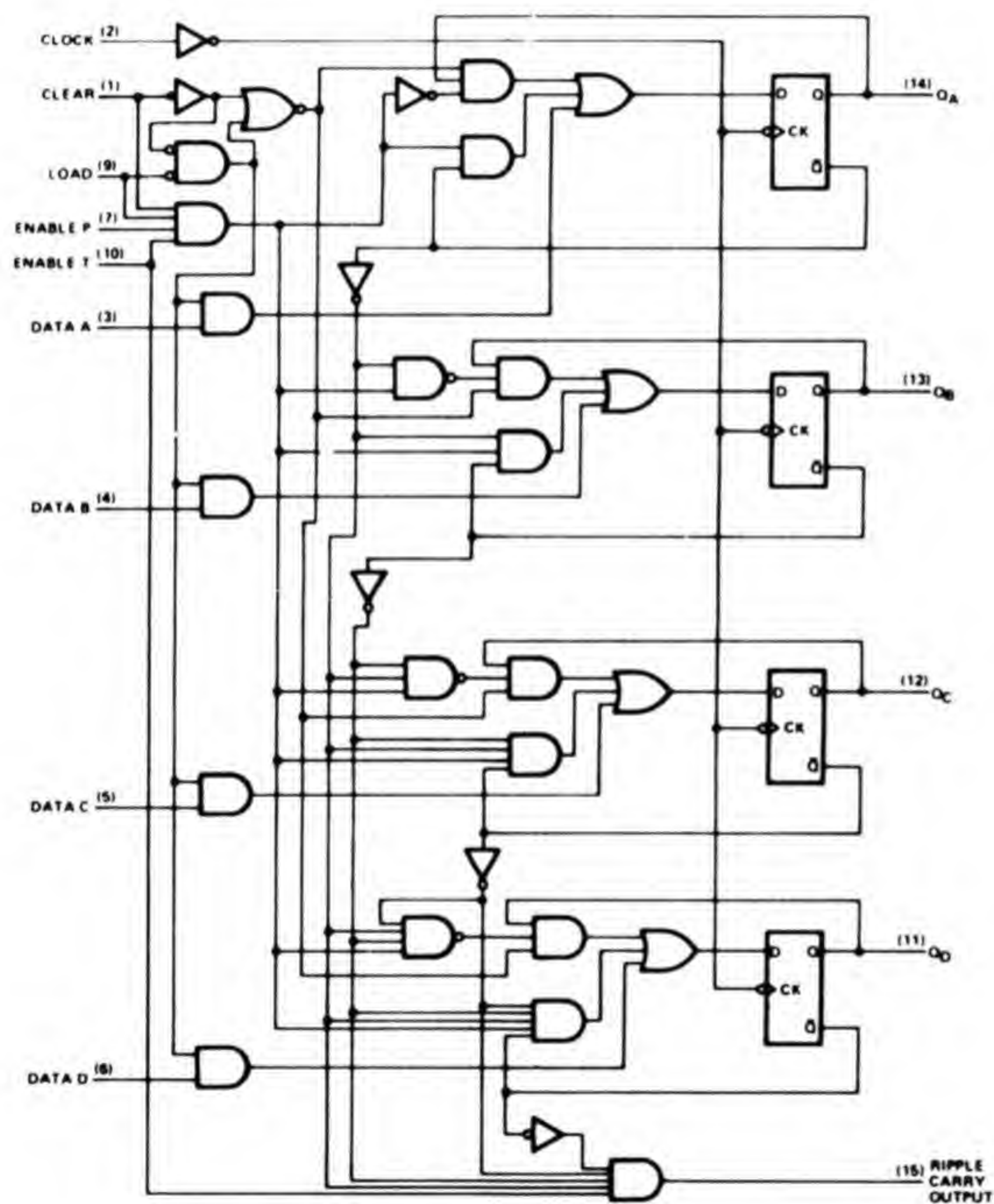
74161

74162

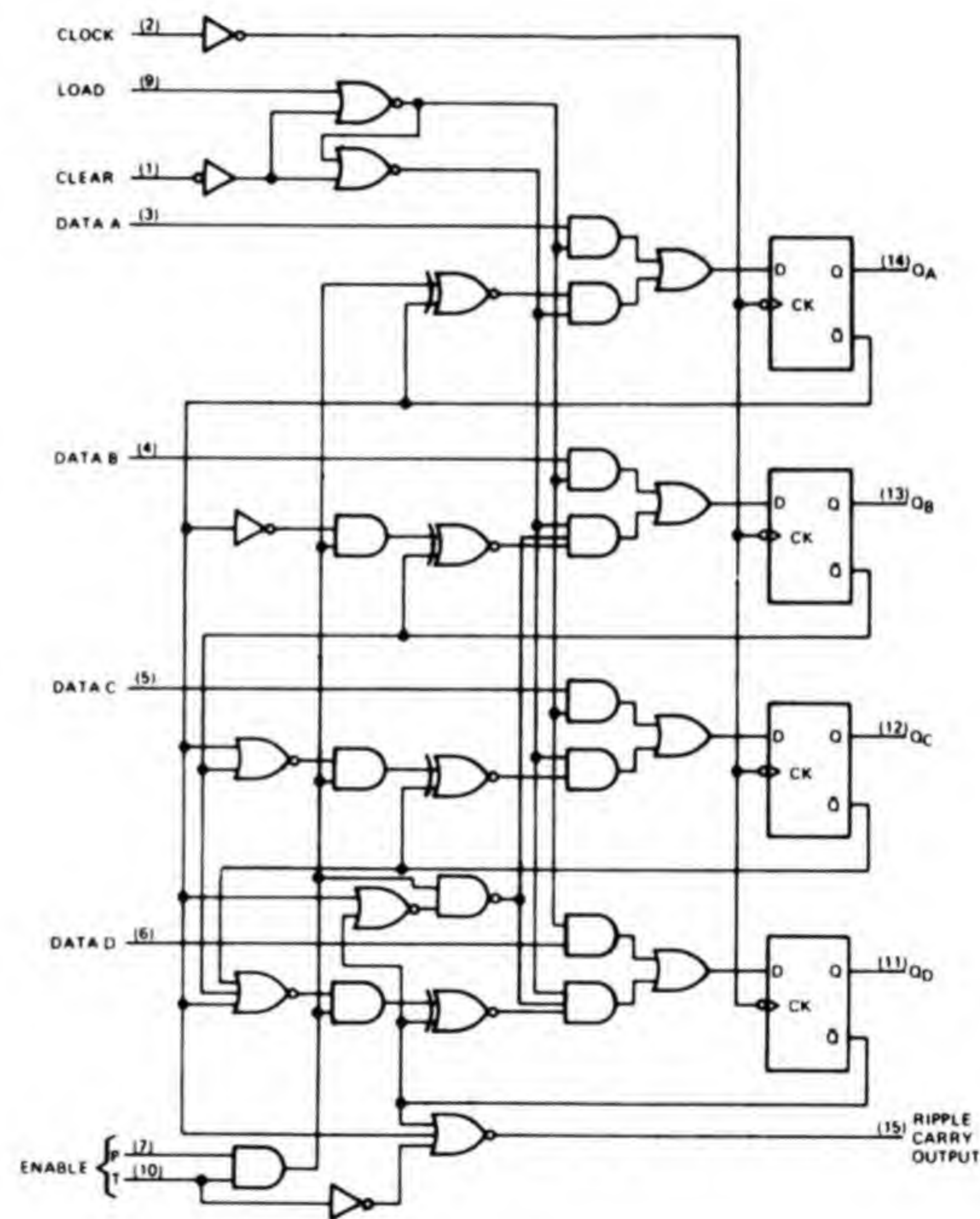
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF						DF	DF				
MOT		DF			DF		DF	DF	DF				
日電									DF				
NS		DF	DF		DF	DF	DF	DF	DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF	DF			DF				
東芝		D			D		DFS	DF	DF				
SGS								DF	DF				
CYPRES					DF								
IDT								DF					

74162, 74163

Synchronous Presettable Binary Counter with Clear

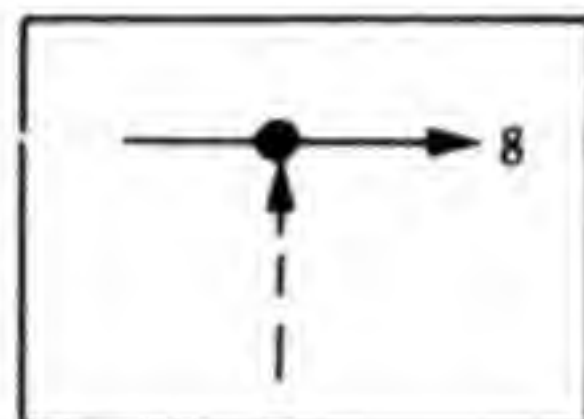


74LS163A

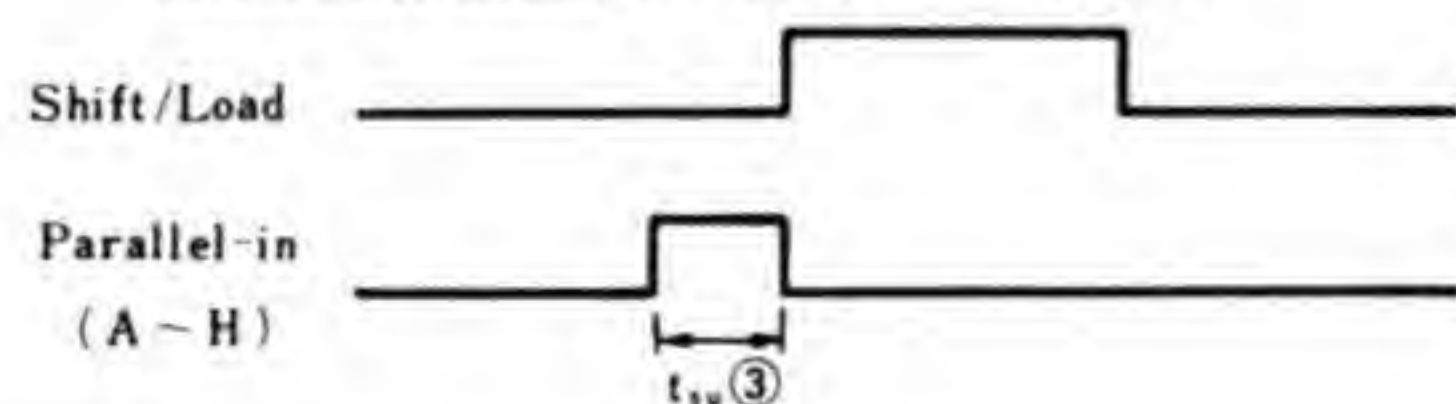
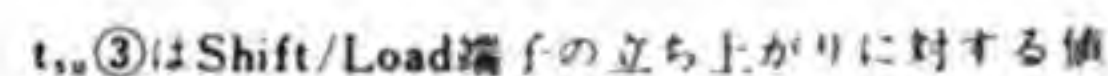


74S162

8-Bit Shift Register



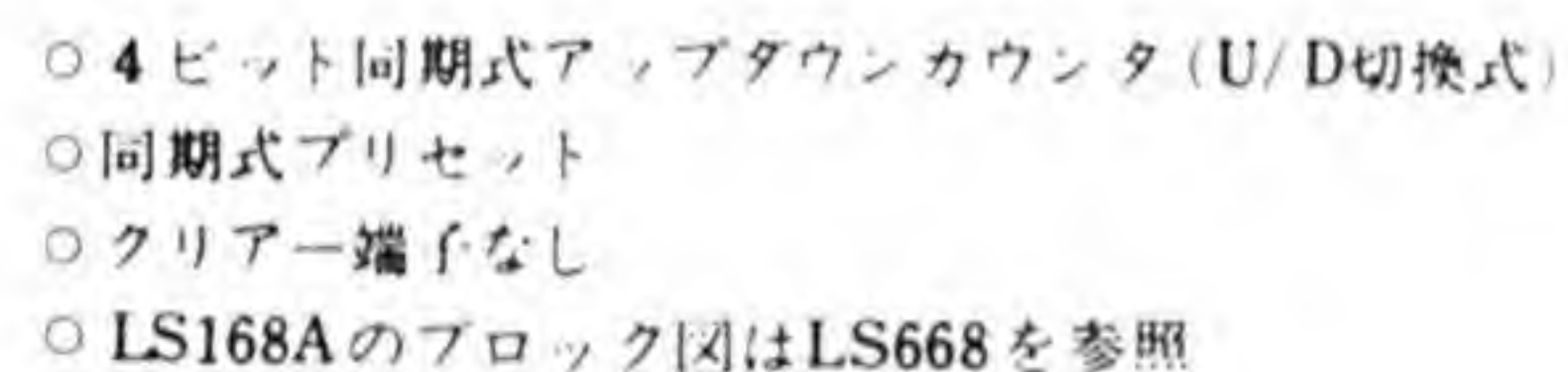
* CK=Lの期間にCK InhibitをHにするとデータが1bitシフトしてホールドされる。
CK=Hの期間ならばそのままホールド





項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							21		21			MHz
tw	min	CLK					25							20		25			ns
tw	min	SFT/LD					15							20		25			ns
tsu	min	CK INH					30 ↑							25		25			ns
tsu	min	SERIAL					20 ↑							25		25			ns
tsu	min	PARLEL					10							25		25			ns
tsu	min	SFT/LD					45 ↑							25		25			ns
thold	min						0							0		0			ns
tpd	max	CLK		Q			40							38		43			ns
tpd	max	SHT/LD		Q			35							44		50			ns
Icc	max			OPEN			36							0.08		0.08			mA
I1H	max	SFT/LD	H				60	20											μA
I1L	max	SFT/LD	L				1.2	0.1											mA
I1H	max	OTHERS	H				20	20											μA
I1L	max	OTHERS	L				0.4	0.1											mA
IOH	max			ALL	H		0.4	0.4						4		4			mA
IOL	max			ALL	L		8	8						4		4			mA

[illegible]

Synchronous Presettable Up/Down BCD Counter



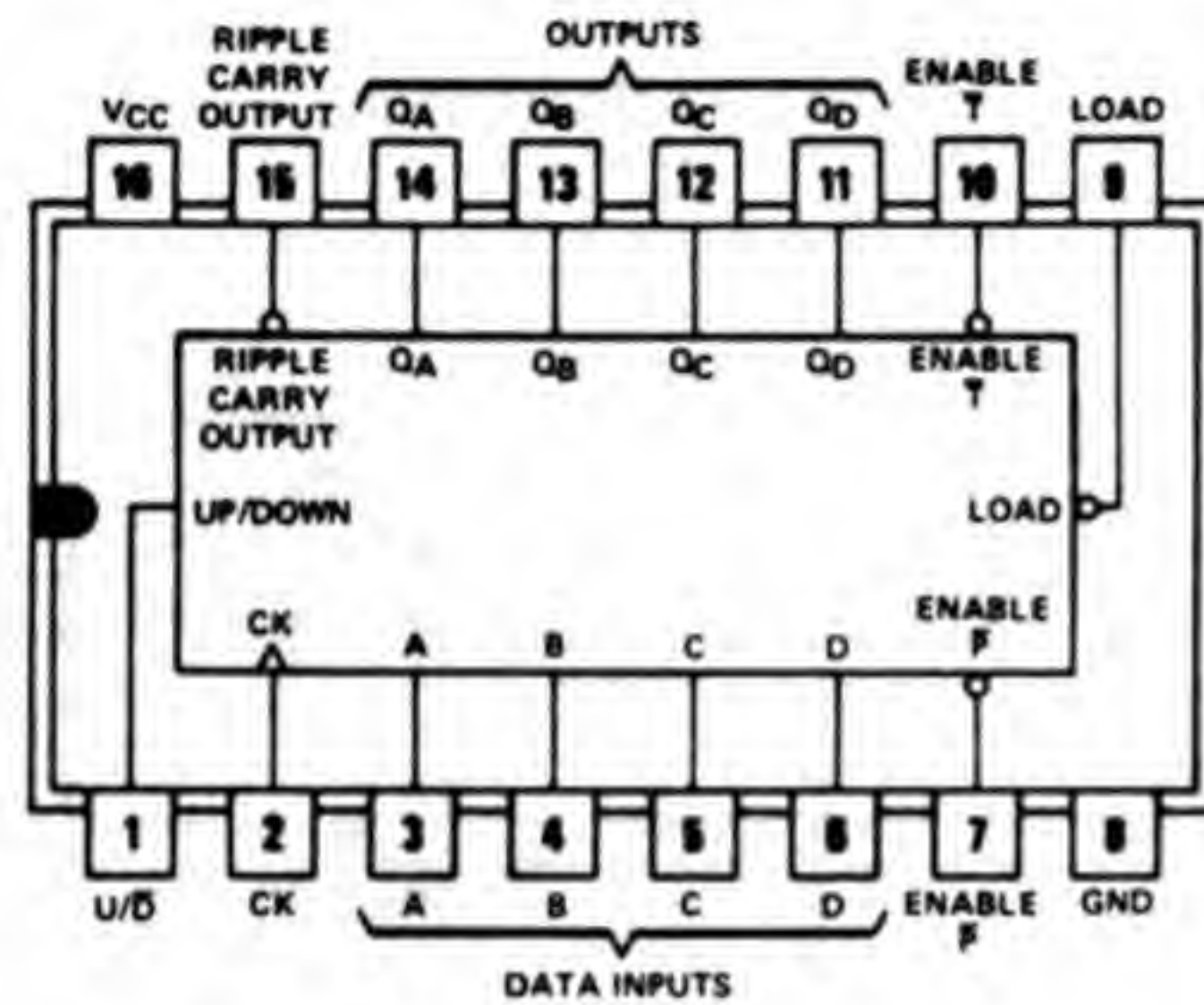
動作狀態

入 力					出 力		動 作
Load	U / \bar{D}	CK	Enable		Q _A Q _B Q _C Q _D	Ripple Carry	
			\bar{P}	\bar{T}			
H	H		L	L	—	—	カウント up
H	L		L	L	—	—	カウント dn
L	X		X	X	D _A D _B D _C D _D	—	データセット
X	H	X	X	L	H L L H	 L	—
X	L	X	X	L	L L L L		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75		12					MHz
t _w	min	CLK					25	16.5		6	6.7		29					ns
t _{su}	min	DATA					20↑	15↑		4↑	8↑		36					ns
t _{su}	min	ENABLE					20↑	20↑		5↑	8↑		49					ns
t _{su}	min	LOAD					25↑	15↑		11↑	8↑		36					ns
t _{su}	min	UP/DWN					30↑	15↑		16.5↑	8↑		49					ns
t _{hold}	min	DATA					0↑	0↑		3↑	0↑		5					ns
t _{hold}	min	OTHERS					0↑	0↑		0↑	0↑		5					ns
t _{pd}	max	CLK		Qa~Qd			23	16		13	13		43					ns
t _{pd}	max	CLK		CARRY			35	18		17	16.5		56					ns
t _{pd}	max	ENB. T		CARRY			14	13		9	9		53					ns
t _{pd}	max	UP/DWN		CARRY			29	18		17.5	13		54					ns
I _{cc}	max						34	25		75	63		0.08					mA
I _{IH}	max	CLK	H				20	20		20								μA
I _{IL}	max	CLK	L				0.4	0.2		0.6								mA
I _{IH}	max	LOAD	H				40	20		20								μA
I _{IL}	max	LOAD	L				0.8	0.2		0.6								mA
I _{IH}	max	OTHERS	H				20	20		20								μA
I _{IL}	max	OTHERS	L				0.4	0.2		0.6								mA
I _{IH}	max	ENB. T	H				20	20		20								μA

[illegible]

Synchronous Presettable Up/Down Binary Counter



- 4ビット同期式アップダウンカウンタ (U/D切換式)
- 同期式プリセット
- クリアー端子なし
- LS169A のブロック図は LS669 を参照

動作狀態

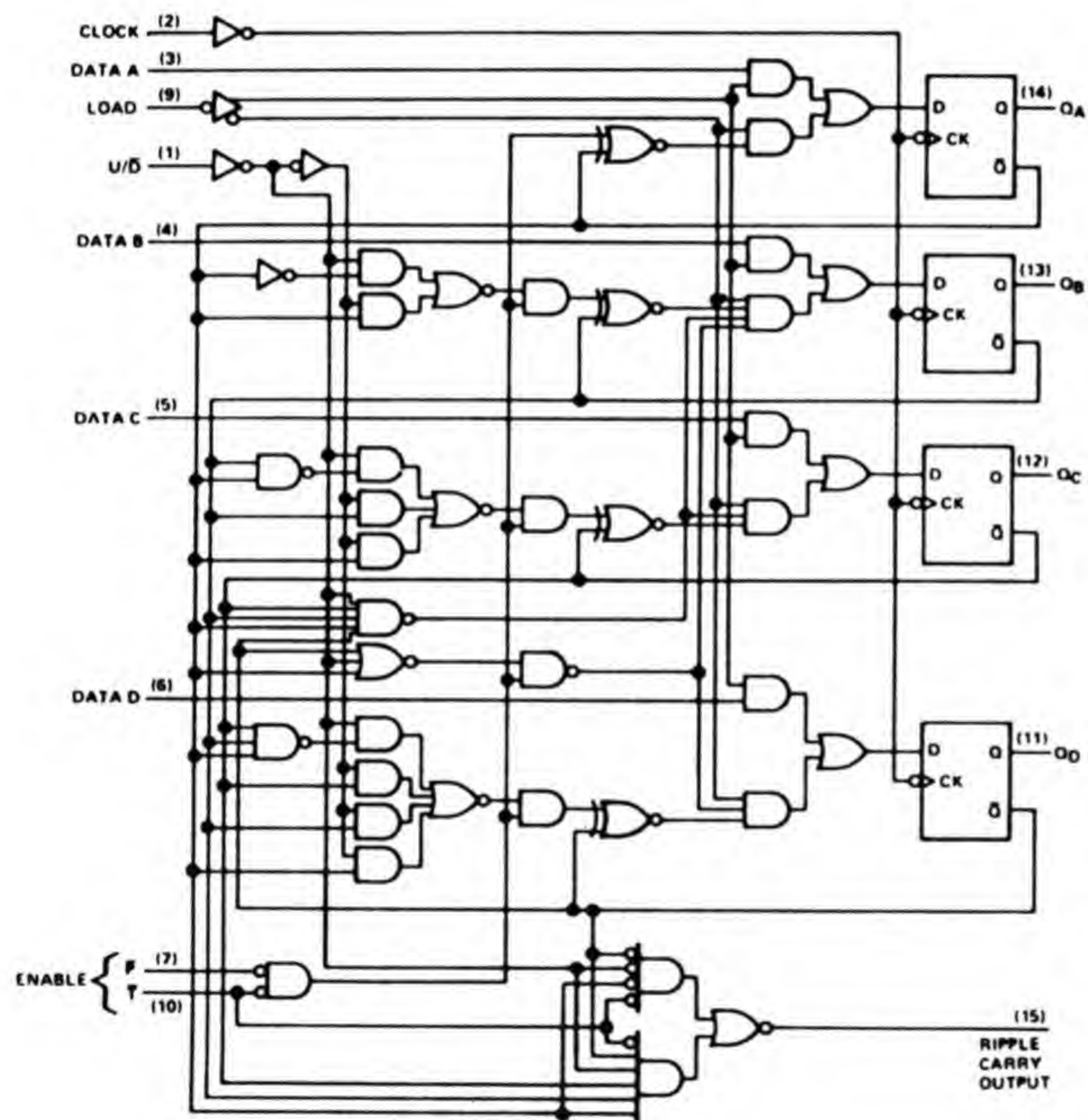
入 力					出 力		動 作
Load	U / \bar{D}	C K	Enable		Q _A Q _B Q _C Q _D	Ripple Carry	
			\bar{P}	\bar{T}			
H	H		L	L	—	—	カウント up
H	L		L	L	—	—	カウント dn
L	X		X	X	D _A D _B D _C D _D	—	データセット
X	H	X	X	\bar{L}	H H H H		—
X	L	X	X	L	L L L L		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25	30		90	75			12					MHz
tw	min	CLK					25	16.5		6	6.7			29					ns
tsu	min	DATA					20↑	15↑		4↑	8↑			36					ns
tsu	min	ENABLE					20↑	20↑		5↑	8↑			49					ns
tsu	min	LOAD					25↑	15↑		11↑	8↑			36					ns
tsu	min	UP/DWN					30↑	15↑		11↑	8↑			49					ns
thold	min	DATA					0↑	0↑		3↑	0↑			5					ns
thold	min	OTHERS					0↑	0↑		0↑	0↑			5					ns
tpd	max	CLK		Qa~Qd			23	16		13	13			48					ns
tpd	max	CLK		CARRY			35	18		17	16.5			30					ns
tpd	max	ENB. T		CARRY			14	13		9	9			63					ns
tpd	max	UP/DWN		CARRY			29	18		12.5	13			57					ns
Icc	max						34	25		75	63			0.08					mA
IIH	max	CK, E. P	H				20	20		20	20								μA
IIL	max	CLK	L				0.4	0.2		0.6	0.5								mA
IIH	max	LOAD	H				40	20		20	40								μA
IIL	max	LOAD	L				0.8	0.2		0.6	1								mA
IIH	max	OTHERS	H				20	20		20	40								μA
IIL	max	OTHERS	L				0.4	0.2		0.6	1								mA
IIH	max	ENB. T	H				20	20		20	40								μA

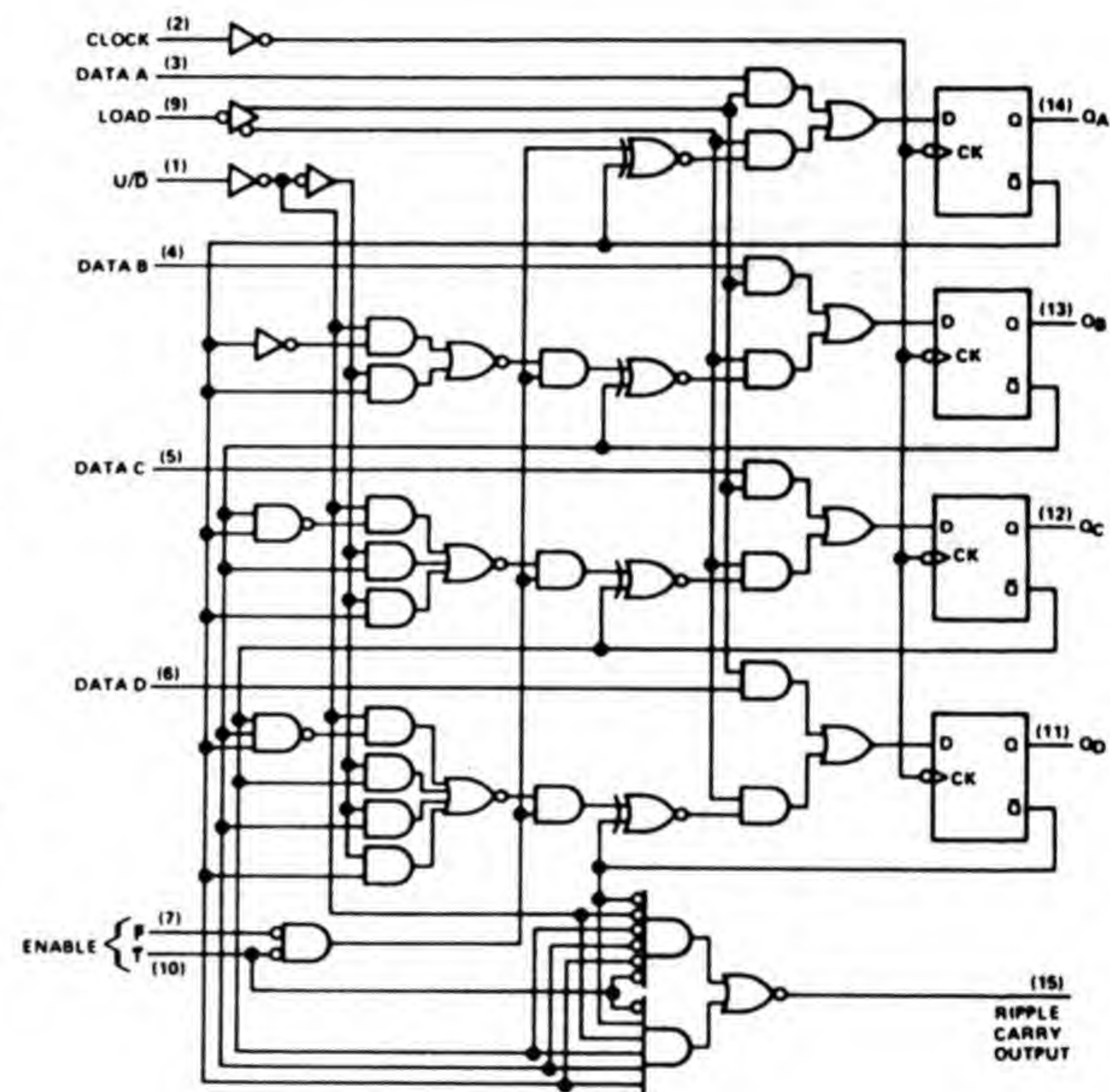
[illegible]

74168, 74169

74S168 DECADE COUNTER



74S169 BINARY COUNTER



Synchronous Counter

i) 同期式カウンタは2種に分類されます

(1) 完全同期式……190～193以外すべて

一般的な接続を図1に示します。

このタイプはクロック周期の間にキャリーが下から上まで直列にぬける必要があるため、段数をふやすごとにカウント可能な周波数が低くなります。

$$f_{\text{count}} < \frac{1}{t_{pd①} + (n-2)t_{pd②} + t_{su}}$$

ここで、 $t_{pd①}$: Clock → Ripple carry (MAX)
 $t_{pd②}$: Enable T → Ripple carry (MAX)
 t_{su} : Enable (MIN)
 n : 接続段数 (IC数)

ちなみに表中の周波数はIC単体のデータです

(2) IC単位で同期なタイプ……190～193

多段にした場合は完全な同期式とはいえません。

接続を図2および図3に示します

このタイプは段数を増加してもカウント可能周波数は変わりません

ii) 160～163, 168, 169 のプリセットはクロック同期なのでシフトレジスタのように多段に接続した場合、ロードは1相で全段シフトします

他のICはレーシングを起こします

iii) 用語について

t_{enable} と t_{rec} は同じ意味で、クリアまたはロード解除からカウンタ本来のカウント動作にenableまたはrecoverするまでの時間です

t_{su} , t_{hold} はFFと同じように扱っていますが、一部不統一で厳密には t_{enable} または t_{rec} に入るべき物が t_{su} に含まれています。

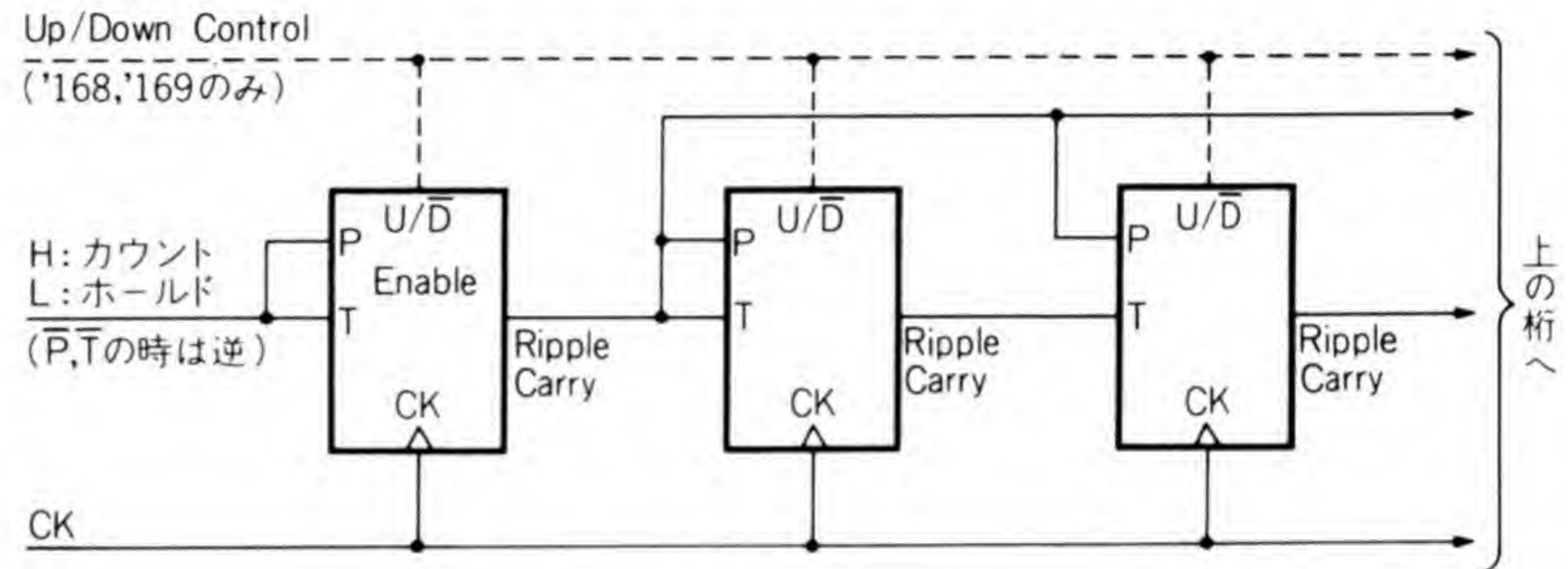


図1

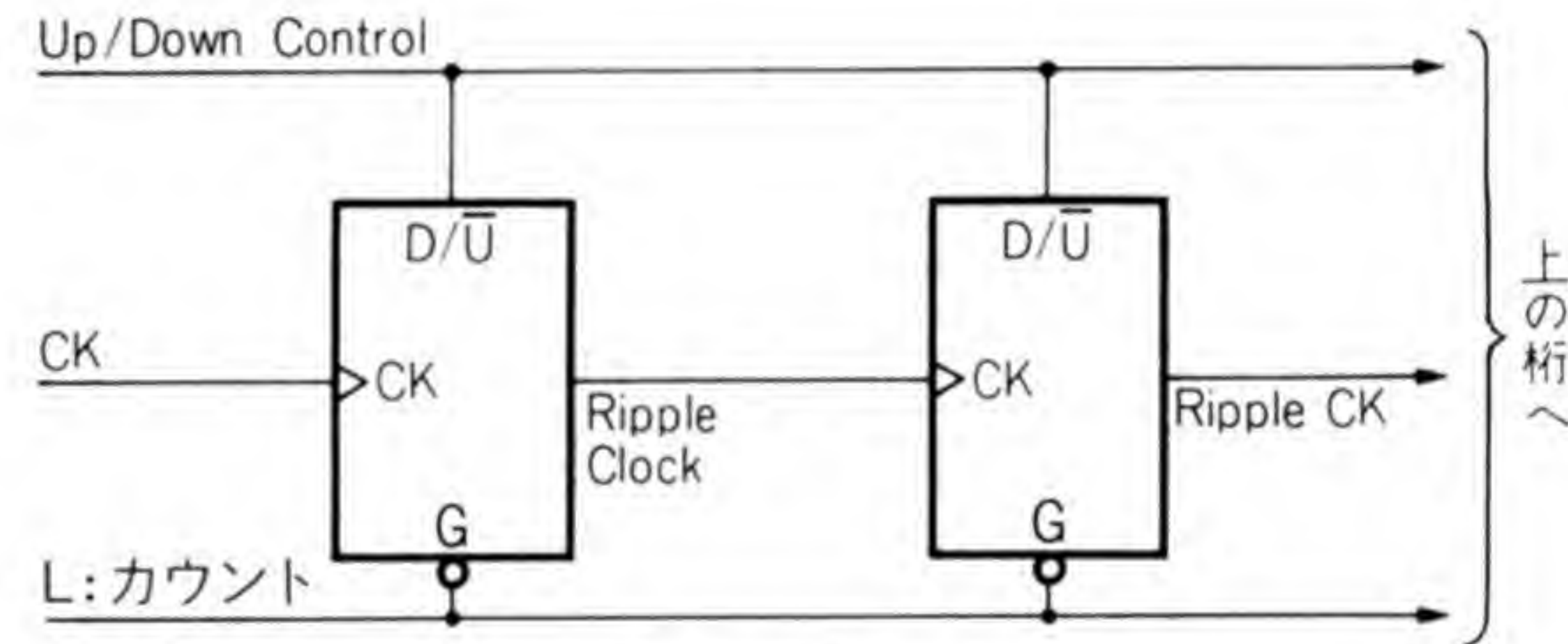


図2 190,191の接続

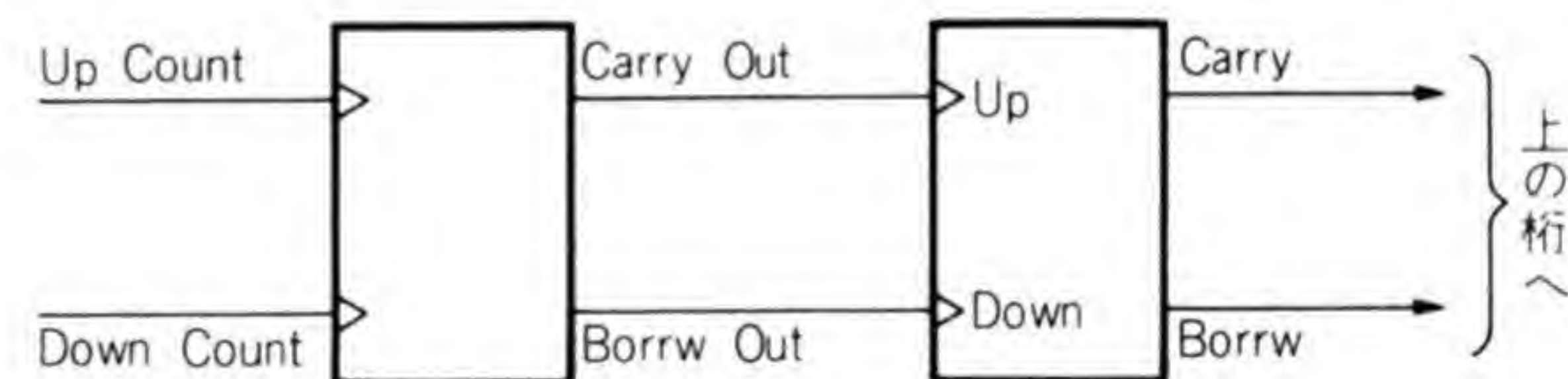
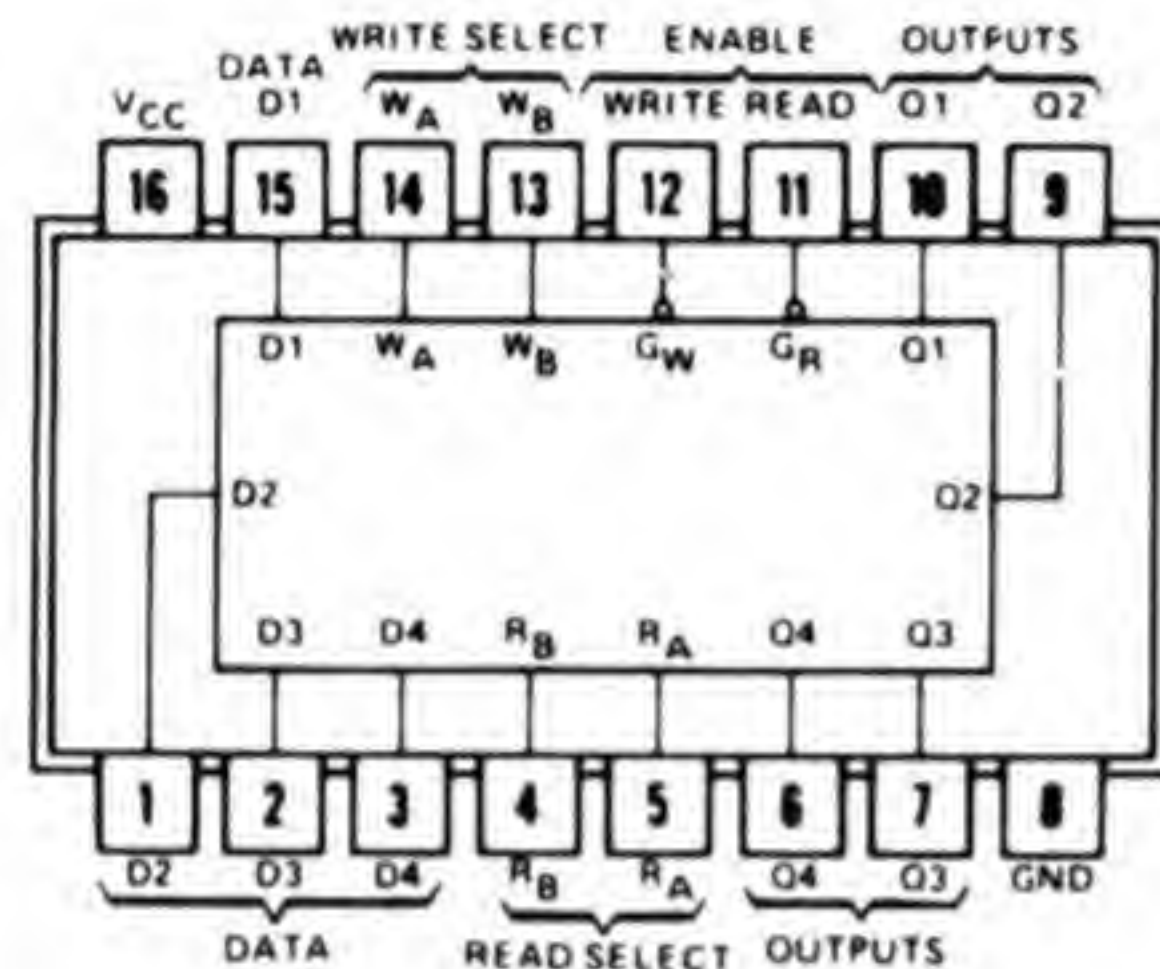


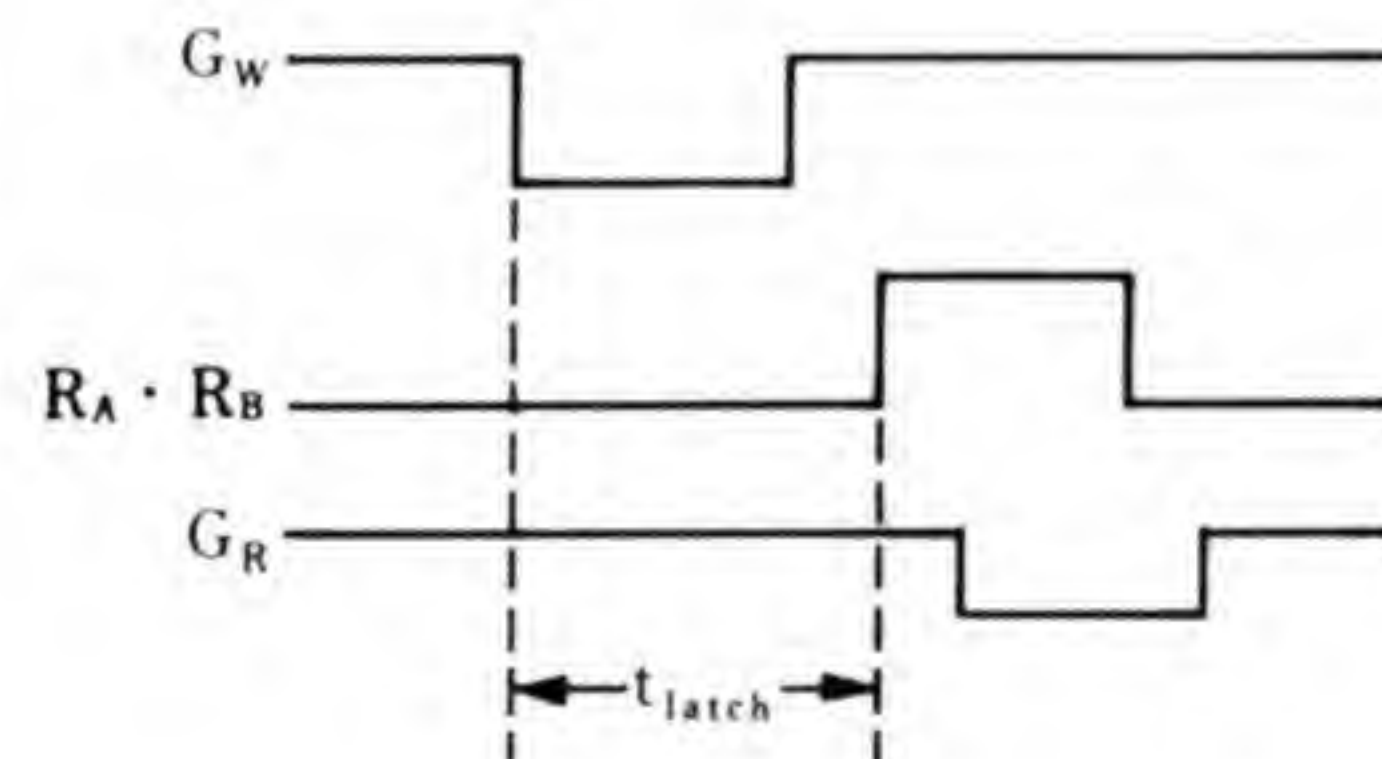
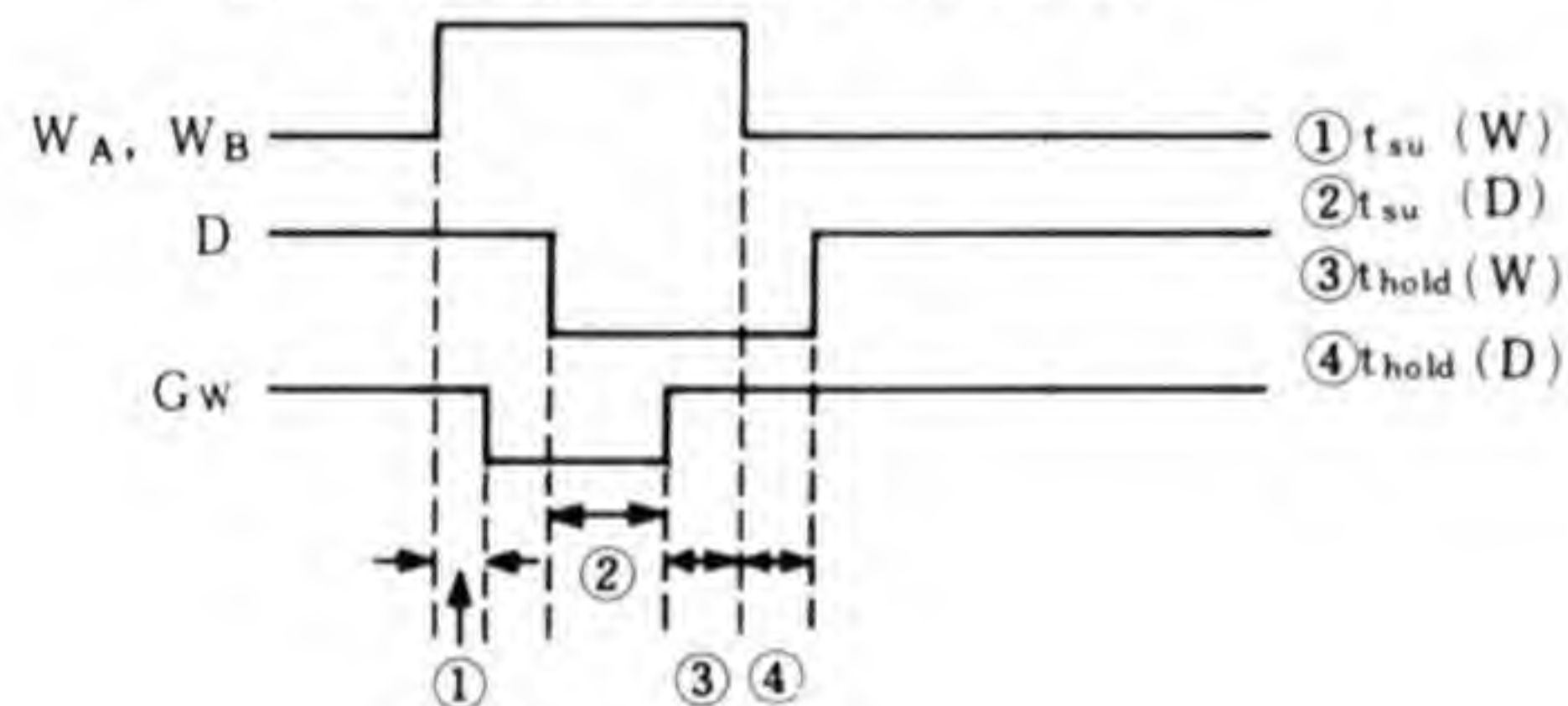
図3 192,193の接続

4-4 Register Files (O. C.)



○オープンコレクタ出力，書き込みと読み出しのアドレスが独立に指定できる。

書き込みと読み出しが同時に行なえる。

[illegible][illegible]

参考品種

74670

東芝

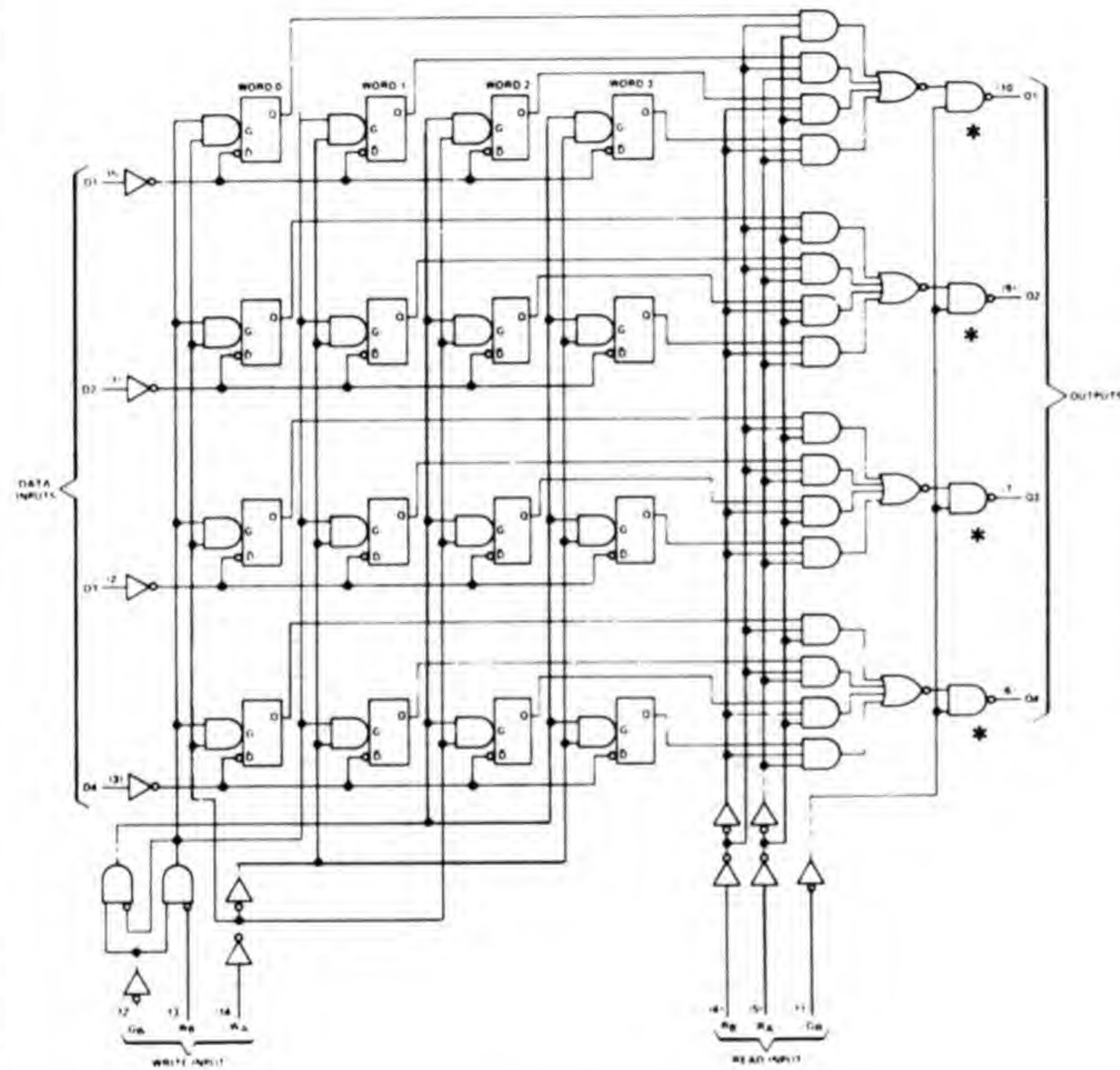
SGS

CYPRES

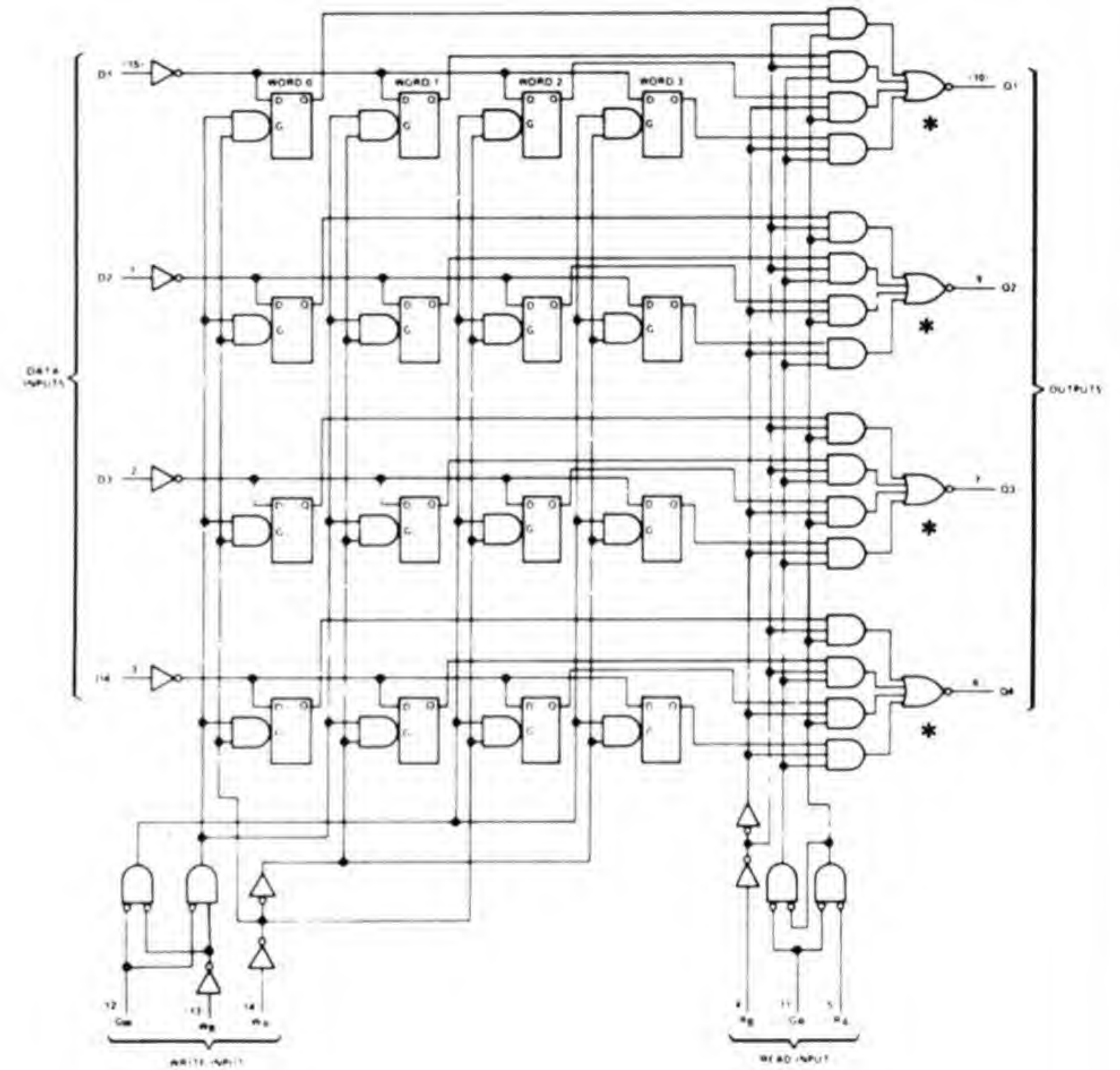
IDT

74170

4-4 Register Files (O. C.)

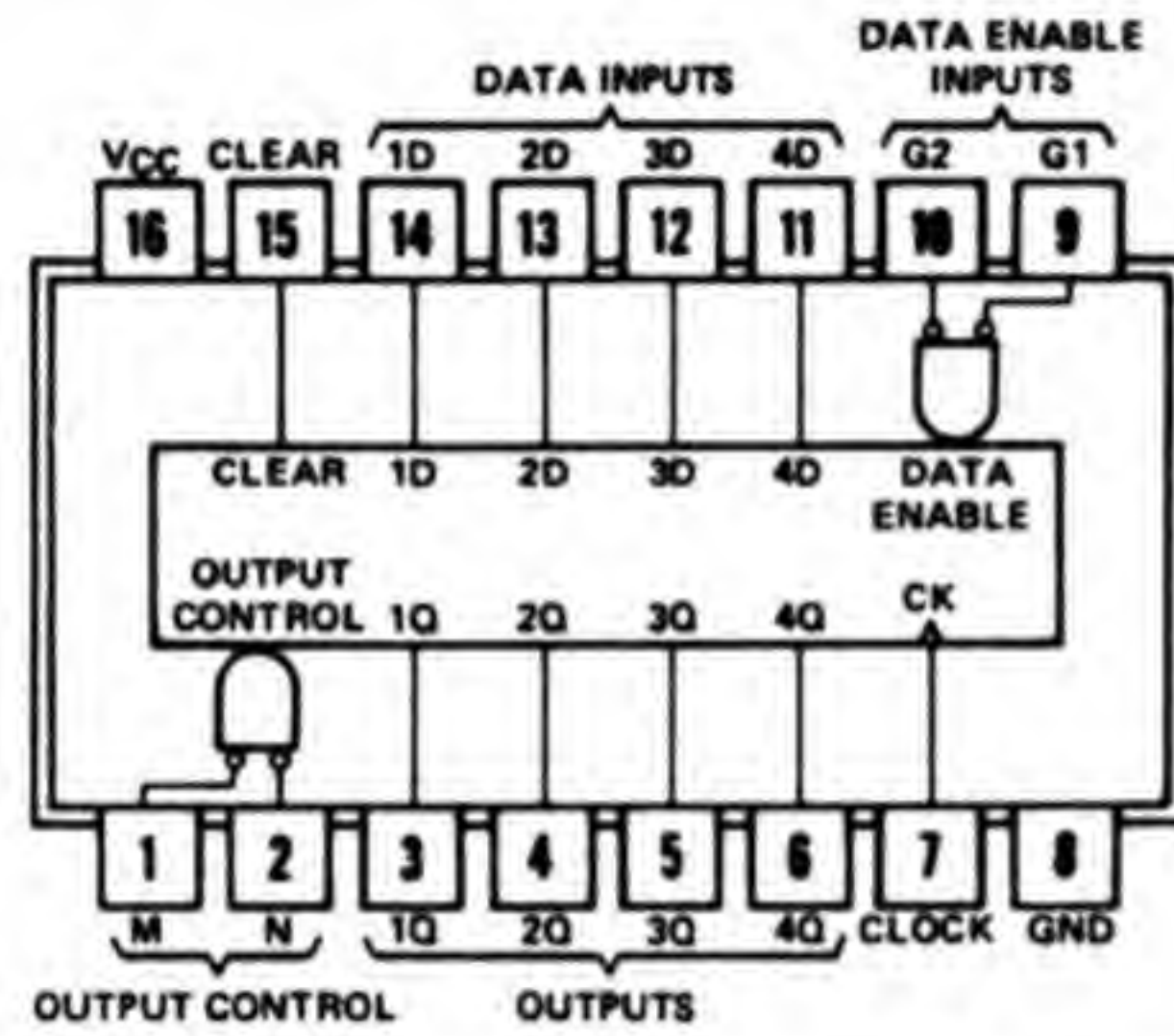




74170

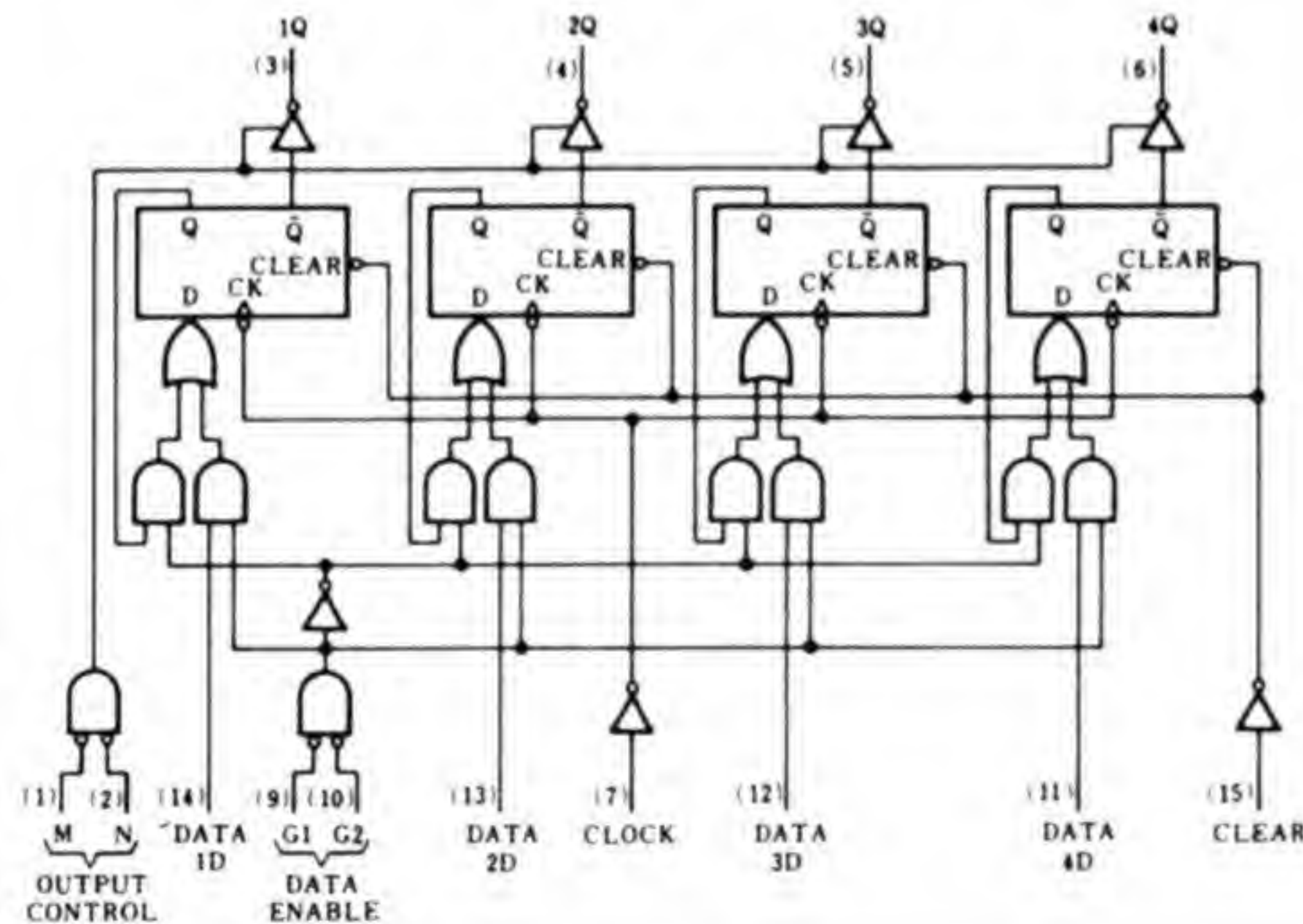


74LS170

4-Bit Register 3-State

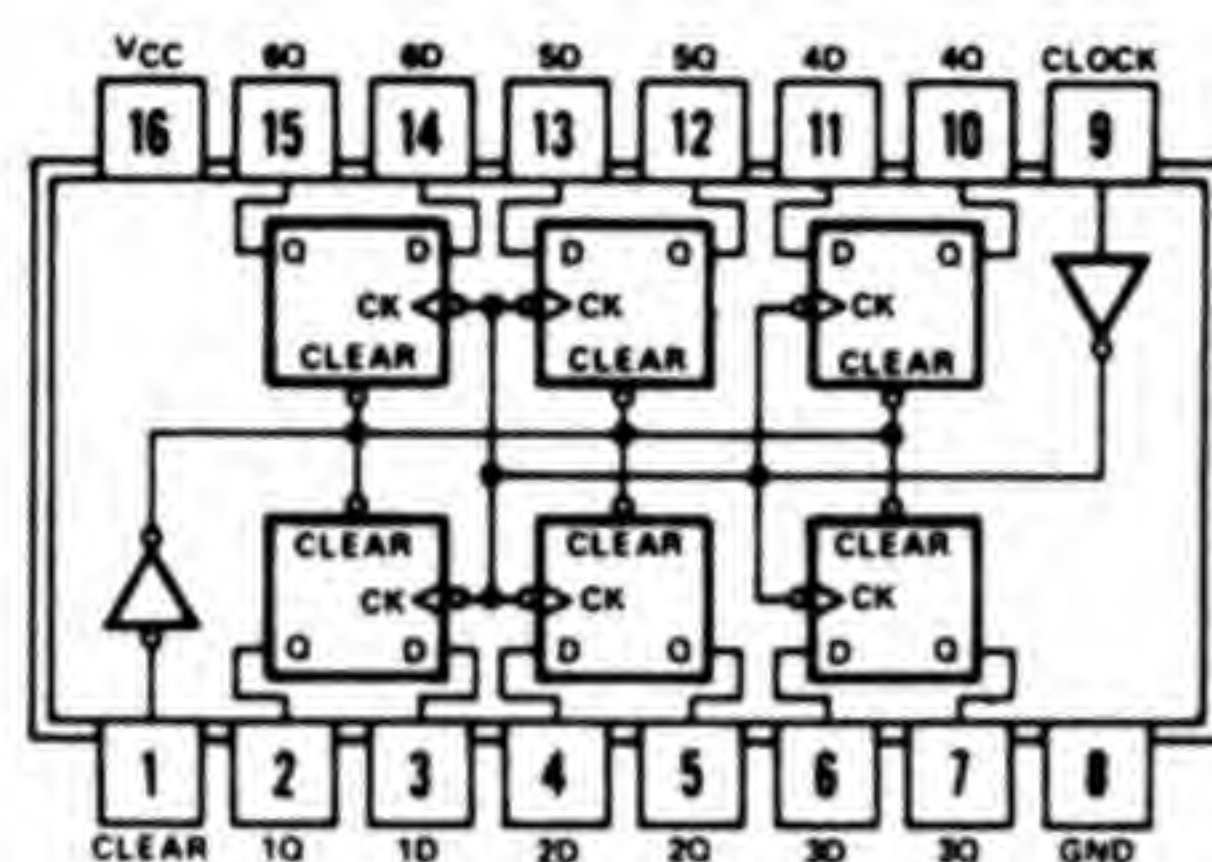


入 力					出 力	動 作	
Clear	CK	Enable		Output control			Q _A ~Q _D
		G 1	G 2	M	N		
L		L	L	—		1D~4D	データセット
L		H	X	—		—	ホールド
		X	H				
	X	X	X	—		LLLL	ク リ ア
—				H	X	Z	—
				X	H		

[illegible][illegible]

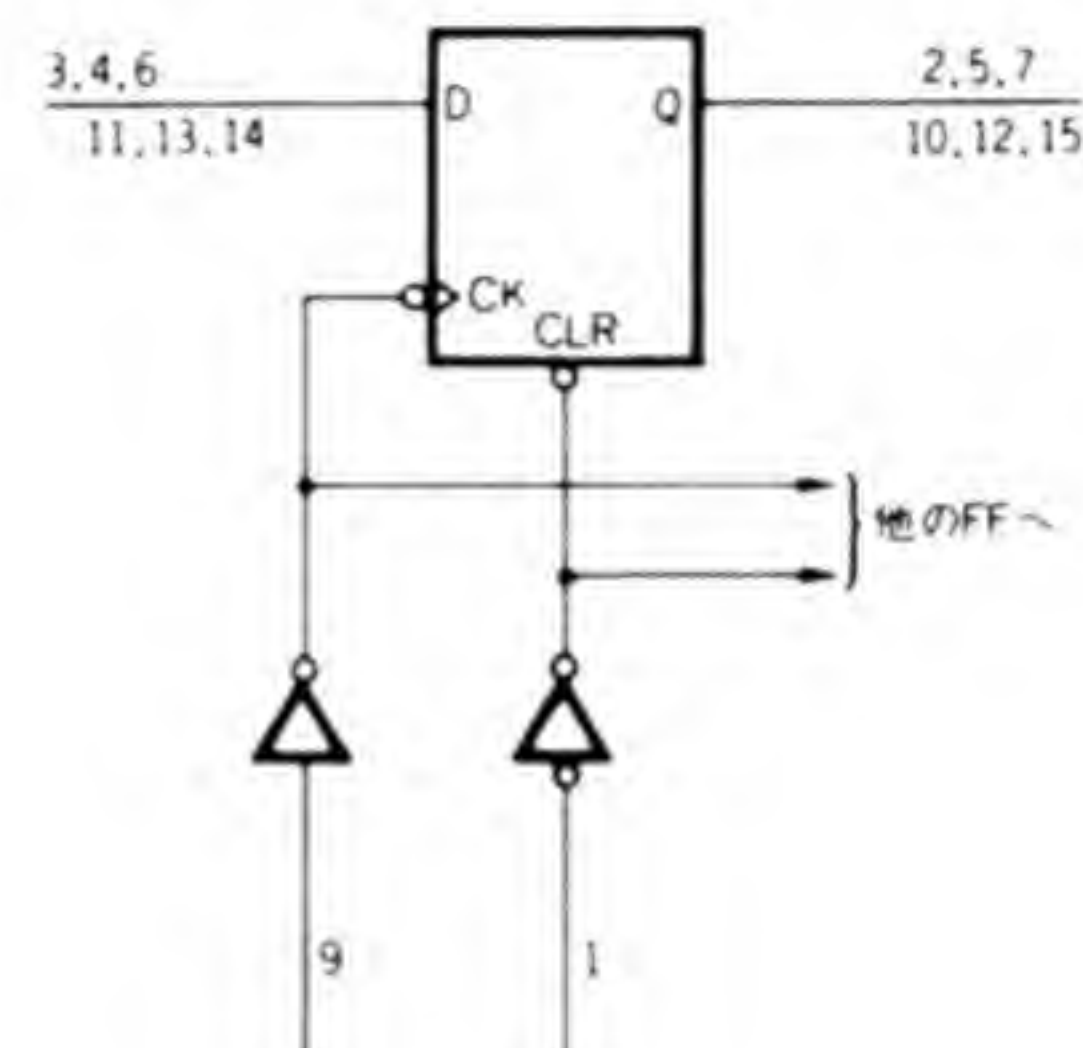
74174

HEX D-FFs



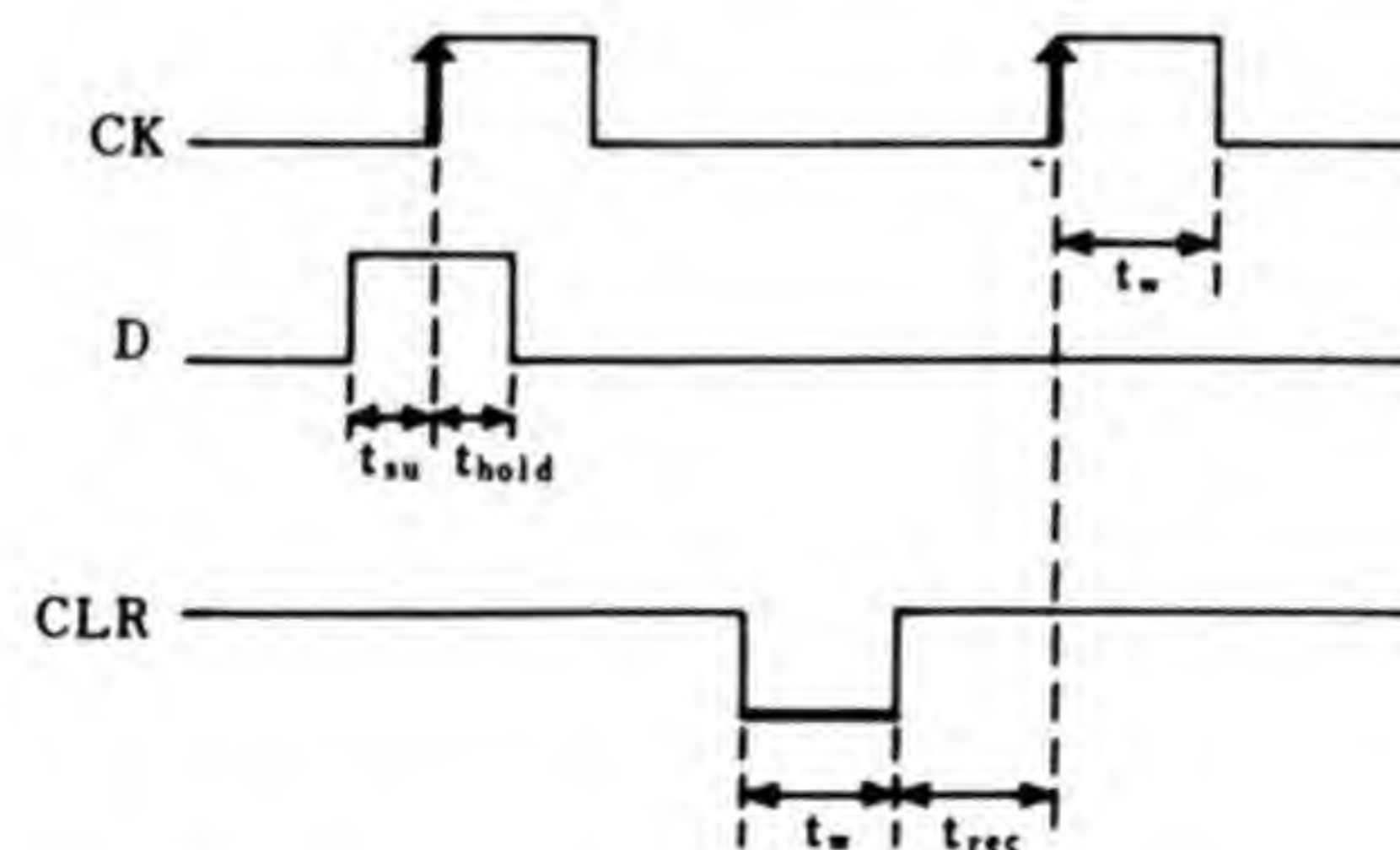
○7474タイプ リーディングエッジトリガ (POS)

○コモンクロック、コモンクリア



参考品種
74175
74273

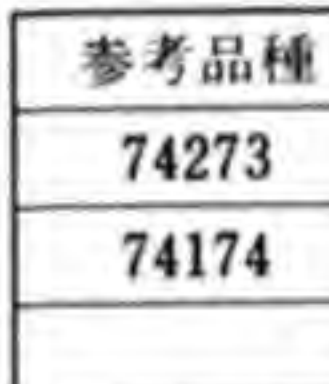
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				165	30	50		80	100	100	140	24		24			MHz
tw	min	CLK				7	20	10		6	6	11.0	3.5	20		20			ns
tw	min	CLEAR				7		10		5	5	14.5	3.5	20		25			ns
tsu	min	DATA				7 ↑	20 ↑	10 ↑		4 ↑	4 ↑	6.5 ↑	1.5	25		20			ns
thold	min	DATA				1 ↑	5 ↑	0 ↑		0 ↑	1 ↑	0.5 ↑	2.0	5		5			ns
trec	min	CLEAR				6 ↑	25 ↑			5 ↑		2	0.5	5		15			ns
tpd	max	CLK		Q		11.5	30	17		11	10	11	11.5	41		44			ns
tpd	max	CLEAR		Q		6	35	23		15	14	14.5	11	41		44			ns
icc	max					0.004	26	19		45	45	0.08	0.08	0.08		0.08			mA
I _{IH}	max	ALL	H				20	20		20									μA
I _{IL}	max	ALL	L				0.4	0.1		0.6									mA
I _{OH}	max			ALL	H	12	0.4	0.4		1	2	24	24	4		4			mA
I _{OL}	max			ALL	L	12	8	8		20	20	24	24	4		4			mA



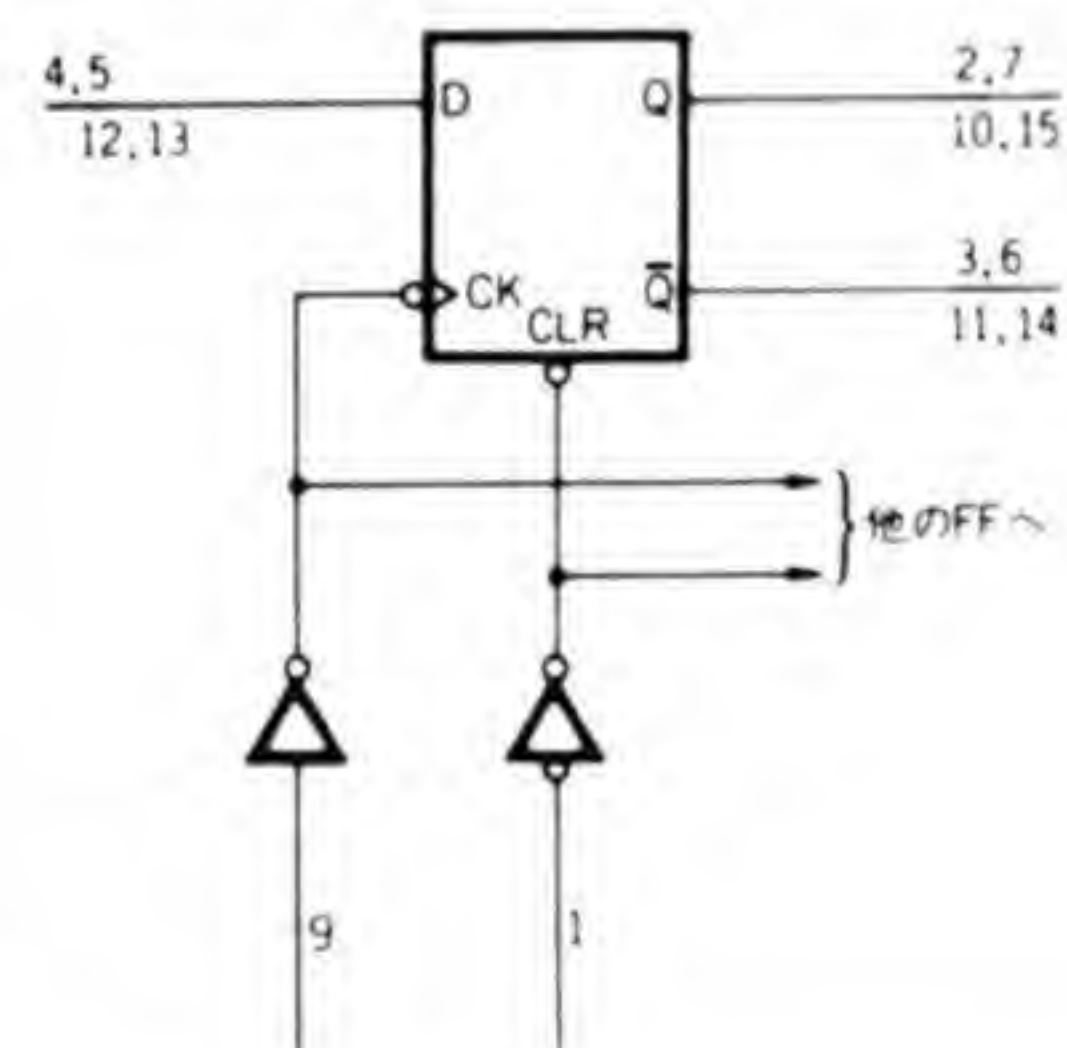
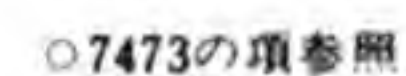
○7473の項参照

[illegible]

Quad D-FFs



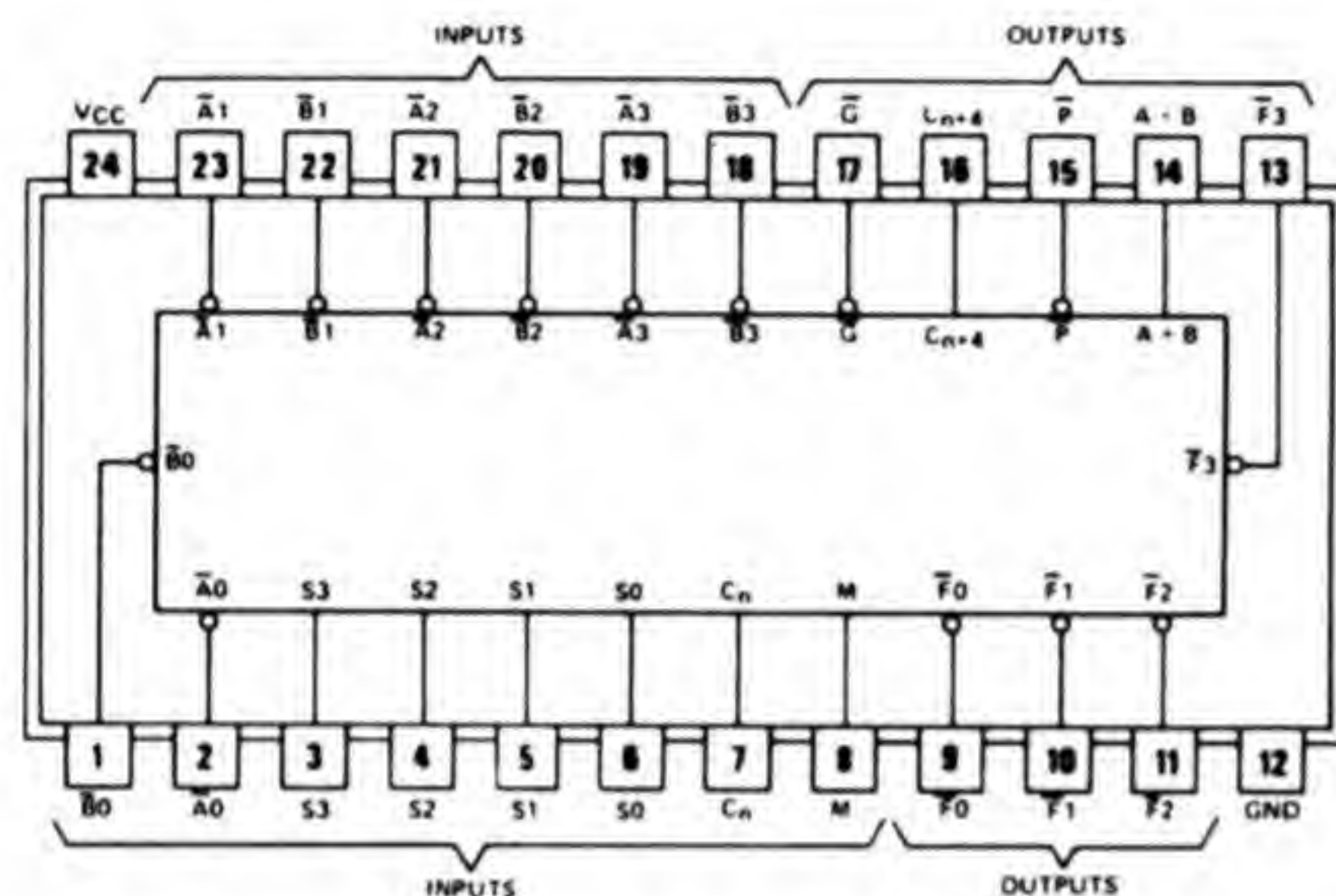
○コモンクロック、コモンクリア



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30	50		100	100	80		24		20			MHz
tw	min	CLK					20	10		5	3	5.0		20		25			ns
tw	min	CLEAR						10		5	5	5.0		20		25			ns
tsu	min	DATA					20 ↑	10 ↑		3 ↑	3 ↑	6.5		25		20			ns
thold	min	DATA					5 ↑	0 ↑		1 ↑	1 ↑	0.0		0		5			ns
trec	min	CLEAR					25 ↑			5 ↑		5.0		25		5			ns
tpd	max	CLK		Q			30	17		8.5	10	10.0		38		41			ns
tpd	max	CLEAR		Q			35	23		11.5	13	10.0		32		48			ns
lcc	max						18	14		34	34	0.08		0.08		0.08			mA
I _{IH}	max	ALL	H				20	20		20									μA
I _{IL}	max	ALL	L				0.4	0.1		0.6									mA
I _{OH}	max			ALL	H		0.4	0.4		1	2	24		4		4			mA
I _{OL}	max			ALL	L		8	8		20	20	24		4		4			mA

[illegible]

・B出力はオープンコレクタ



SELECTION					ACTIVE LOW DATA		
					M = H LOGIC FUNCTIONS	M = L, ARITHMETIC OPERATIONS	
						C _n = L (no carry)	C _n = H (with carry)
S3	S2	S1	S0				
L	L	L	L	F · \bar{A}	F = A MINUS 1	F · A	
L	L	L	H	F · $\bar{A}\bar{B}$	F = AB MINUS 1	F · AB	
L	L	H	L	F · $\bar{A} \cdot B$	F = $\bar{A}\bar{B}$ MINUS 1	F · $\bar{A}\bar{B}$	
L	L	H	H	F · 1	F MINUS 1 1/2 COMPI	F ZERO	
L	H	L	L	F · $\bar{A} \cdot \bar{B}$	F = A PLUS (A · \bar{B})	F = A PLUS (A · \bar{B}) PLUS 1	
L	H	L	H	F · \bar{B}	F = AB PLUS (A · \bar{B})	F AB PLUS (A · \bar{B}) PLUS 1	
L	H	H	L	F · A ⊕ B	F = A MINUS B MINUS 1	F A MINUS B	
L	H	H	H	F · A · \bar{B}	F · A · \bar{B}	F (A · \bar{B}) PLUS 1	
H	L	L	L	F · $\bar{A}\bar{B}$	F = A PLUS (A · B)	F = A PLUS (A · B) PLUS 1	
H	L	L	H	F · A ⊕ B	F = A PLUS B	F = A PLUS B PLUS 1	
H	L	H	L	F · B	F = $\bar{A}\bar{B}$ PLUS (A · B)	F = $\bar{A}\bar{B}$ PLUS (A · B) PLUS 1	
H	L	H	H	F · A · B	F (A · B)	F (A · B) PLUS 1	
H	H	L	L	F · 0	F = A PLUS A*	F = A PLUS A PLUS 1	
H	H	L	H	F · $\bar{A}\bar{B}$	F = AB PLUS A	F = AB PLUS A PLUS 1	
H	H	H	L	F · AB	F = $\bar{A}\bar{B}$ PLUS A	F = $\bar{A}\bar{B}$ PLUS A PLUS 1	
H	H	H	H	F · A	F · A	F = A PLUS 1	

SELECTION				ACTIVE HIGH DATA			
				M - H LOGIC FUNCTIONS	M - L ARITHMETIC OPERATIONS		
					$\bar{C}_n - H$ (no carry)	$\bar{C}_n - L$ (with carry)	
S3	S2	S1	S0				
L	L	L	L	F	\bar{A}	F A	F A PLUS 1
L	L	L	H	F	$\bar{A} + B$	F A + B	F (A + B) PLUS 1
L	L	H	L	F	$\bar{A} \bar{B}$	F A + \bar{B}	F (A + \bar{B}) PLUS 1
L	L	H	H	F	0	F MINUS 1 2's COMPL	F ZERO
L	H	L	L	F	$\bar{A} \bar{B}$	F A PLUS $\bar{A} \bar{B}$	F A PLUS $\bar{A} \bar{B}$ PLUS 1
L	H	L	H	F	\bar{B}	F (A + B) PLUS $\bar{A} \bar{B}$	F (A + B) PLUS $\bar{A} \bar{B}$ PLUS 1
L	H	H	L	F	A \odot B	F A MINUS B MINUS 1	F A MINUS B
L	H	H	H	F	$\bar{A} \bar{B}$	F $\bar{A} \bar{B}$ MINUS 1	F $\bar{A} \bar{B}$
H	L	L	L	F	$\bar{A} + B$	F A PLUS AB	F A PLUS AB PLUS 1
H	L	L	H	F	A \odot B	F A PLUS B	F A PLUS B PLUS 1
H	L	H	L	F	B	F (A + \bar{B}) PLUS AB	F (A + \bar{B}) PLUS AB PLUS 1
H	L	H	H	F	AB	F AB MINUS 1	F AB
H	H	L	L	F	1	F A PLUS A*	F A PLUS A PLUS 1
H	H	L	H	F	A + \bar{B}	F (A + B) PLUS A	F (A + B) PLUS A PLUS 1
H	H	H	L	F	A + B	F (A + \bar{B}) PLUS A	F (A + \bar{B}) PLUS A PLUS 1
H	H	H	H	F	A	F A MINUS 1	F A

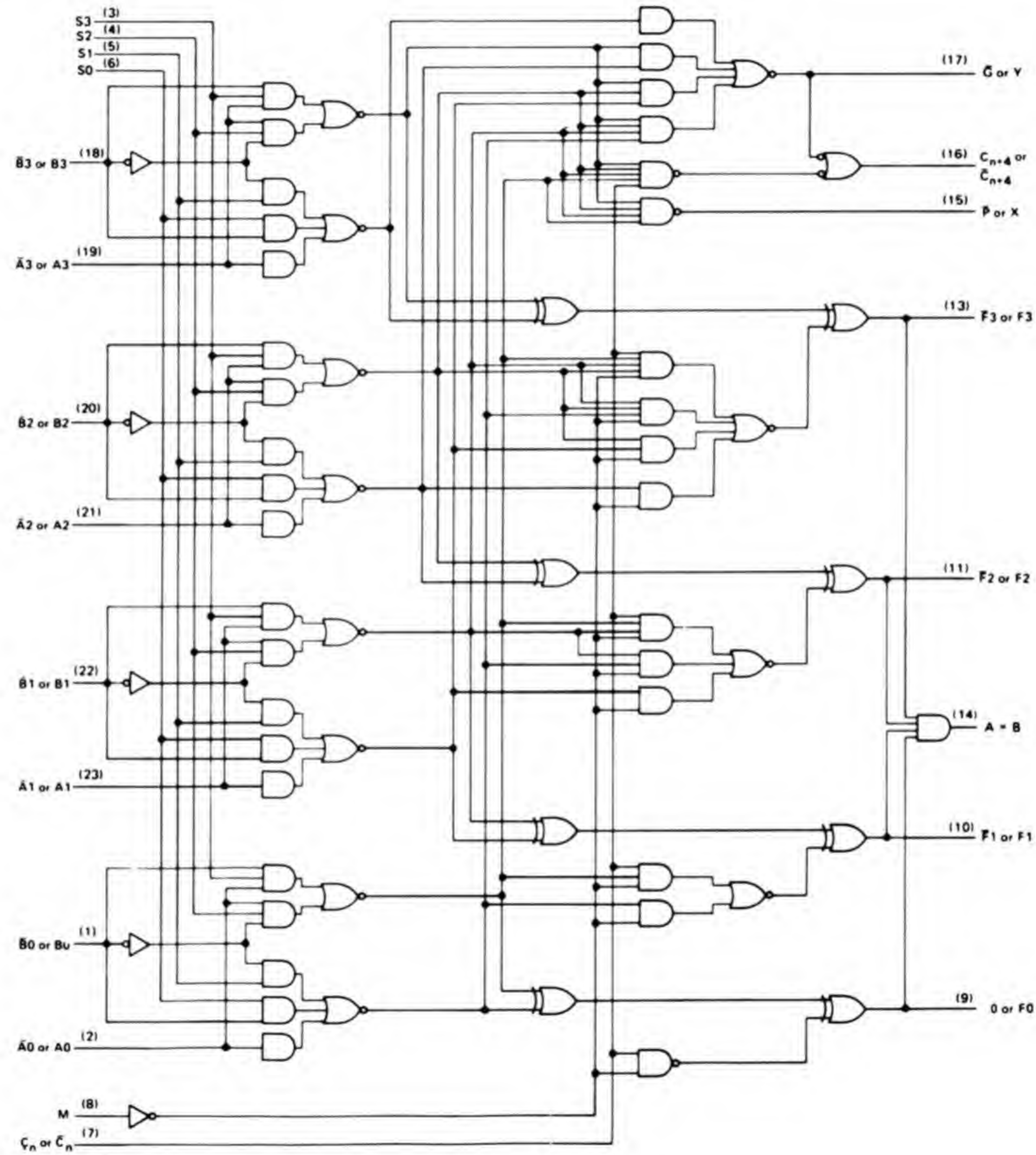
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Cn		Cn+4			27			9.5	9	12.0	13.5	41		53			ns
tpd	max	A, B		Cn+4			41			15	16	17.5	20.0	59		69			ns
tpd	max	Cn		F			26			9.5	9	13.5	15.5	50		56			ns
tpd	max	A, B		F			38			13	11	20.0	21.5	58		58			ns
lcc	max						37			65	200	0.08	0.08	0.08		0.08			mA
IIH	max	MODE					20			20	20								μA
IIL	max	MODE					0.4			0.6	2								mA
IIH	max	A, B					60			20	60								μA
IIL	max	A, B					1.2			1.8	6								mA
IIH	max	S					80			20	80								μA
IIL	max	S					1.6			2.4	8								mA
IIH	max	CARRY	H				100			20	120								μA
IIL	max	CARRY	L				2			3	12								mA
IOH	max			OTHERS	H		0.4			1	2	24	24	4		4			mA
IOL	max			OTHERS	L		8			20	20	24	24	4		4			mA
IOH	max			A=B	H		0.1				0.1	24	24	4		4			mA

[illegible]

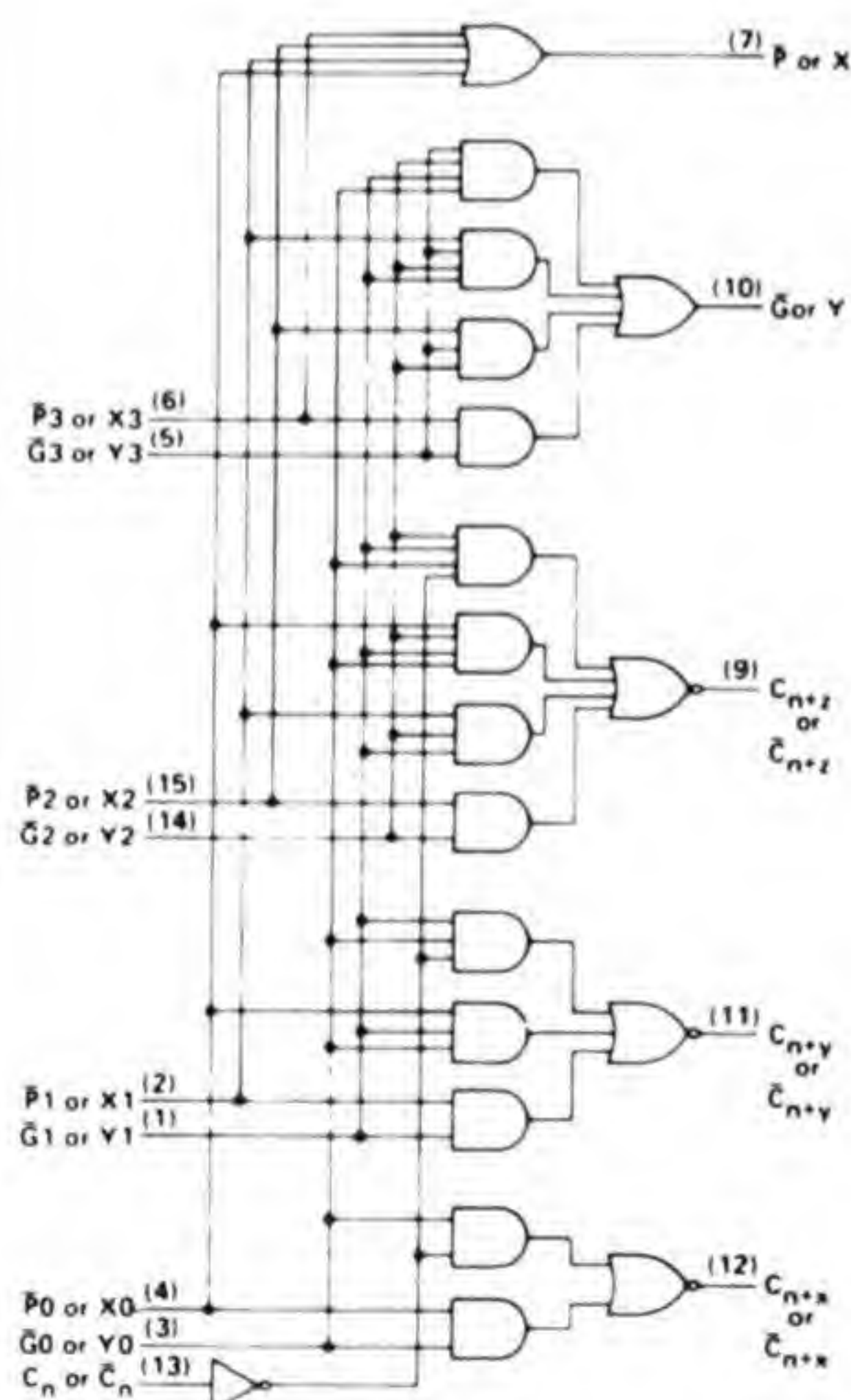
参考品種
74281
74381

74181

Arithmetic Logic Units



74182



INPUTS							OUTPUT
G3	G2	G1	G0	P3	P2	P1	G
L	X	X	X	X	X	X	L
X	L	X	X	L	X	X	L
X	X	L	X	L	L	X	L
X	X	X	L	L	L	L	L
All other combinations							H

INPUTS					OUTPUT
G1	G0	F1	F0	Cn	Cout
L	H	H	H	H	10
H	L	L	H	H	10
H	H	L	L	10	10
All other combinations					L

INPUTS				OUTPUT
P3	P2	P1	P0	P
L	L	L	L	L
All other combinations				H

INPUTS			OUTPUT
G0	F0	Cn	C_{n+1}
L	X	X	H
X	L	H	H
All other combinations			L

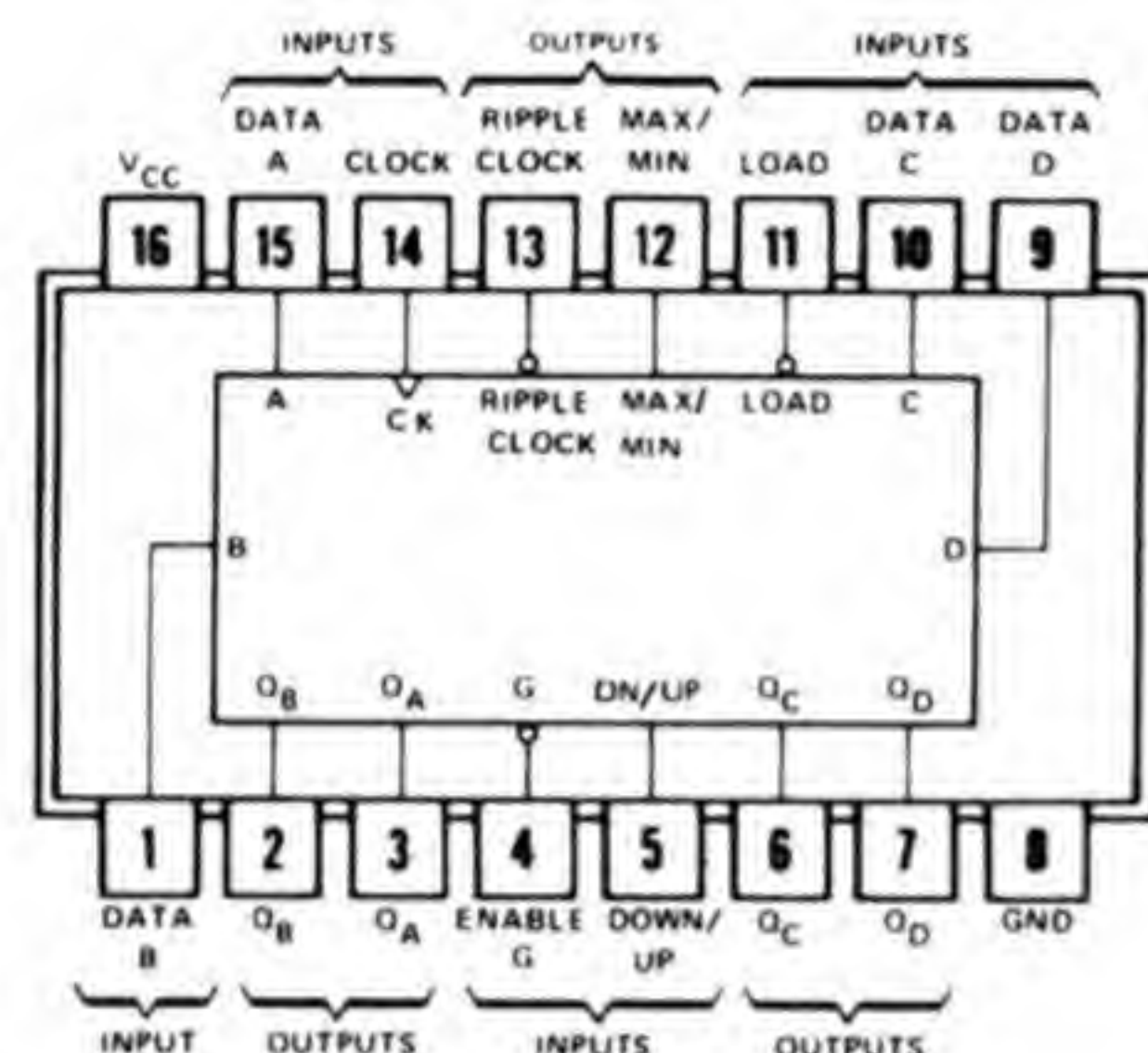
INPUTS							OUTPUT
G ₂	G ₁	G ₀	F ₂	F ₁	F ₀	C _n	C _{out}
L	X	X	X	X	X	X	11
X	L	X	L	X	X	X	11
X	X	L	L	L	X	X	11
X	X	X	L	L	L	11	11

All other combinations

[illegible]

74191

Presetable Synchronous Up/Down Binary Counter



- 4 bit 同期式アップダウンカウンタ (U/D切り替式)
- 非同期プリセット
- クリア端子なし
- 使用法についてはp.119参照

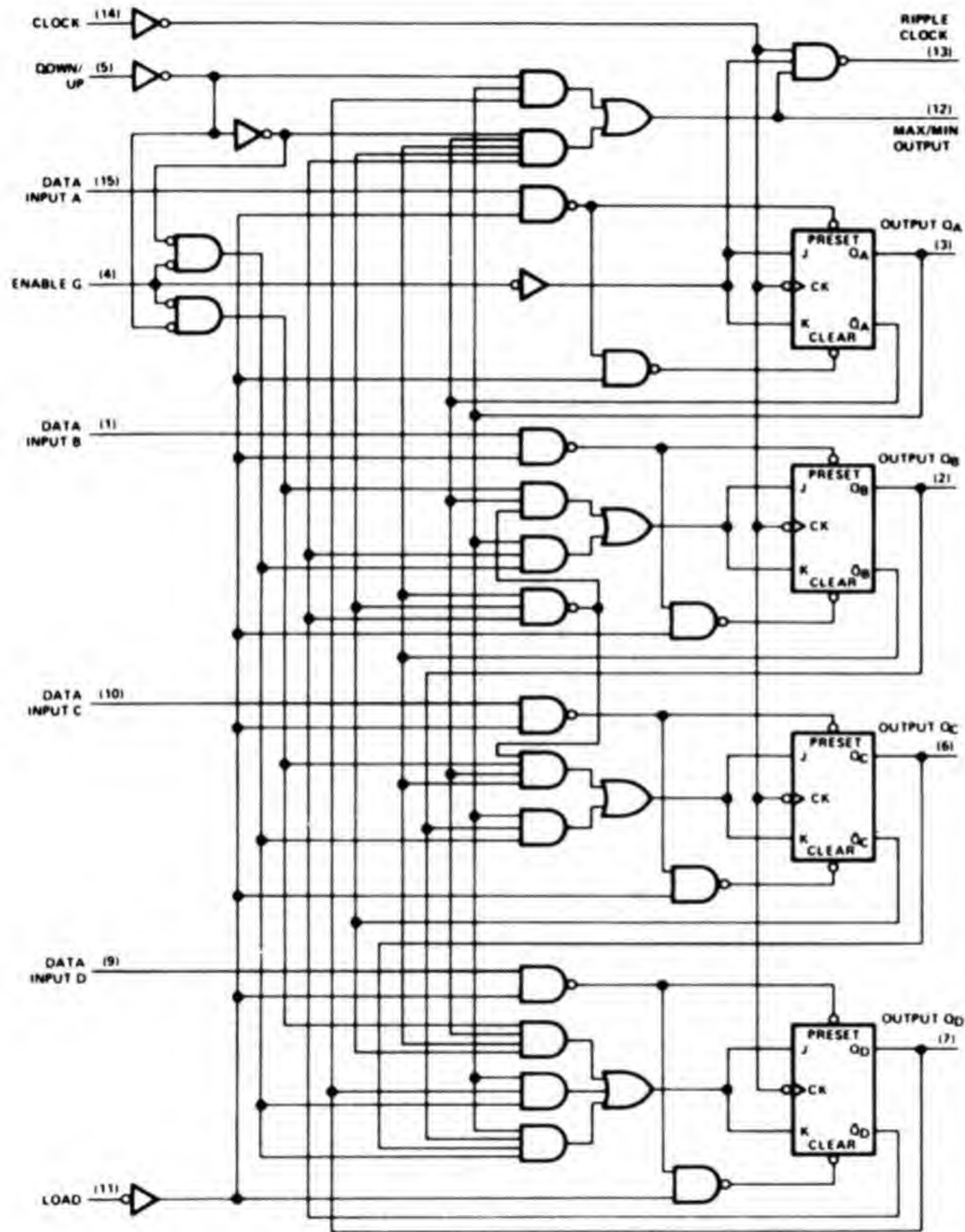
動作状態

入 力				出 力			動 作
Load	D/Ū	CK	G	Q _A Q _B Q _C Q _D	Ripple CK	Max Count	
H	L		L	—	—	—	カウントup
H	H		L	—	—	—	カウントdn
	X	X	X	D _A D _B D _C D _D	—	—	データセット
X	L		L	HHHH		H	—
X	L	X	X	—	H	—	—
X	H		L	LLLL		H	—
X	H	X	X	—	H	—	—

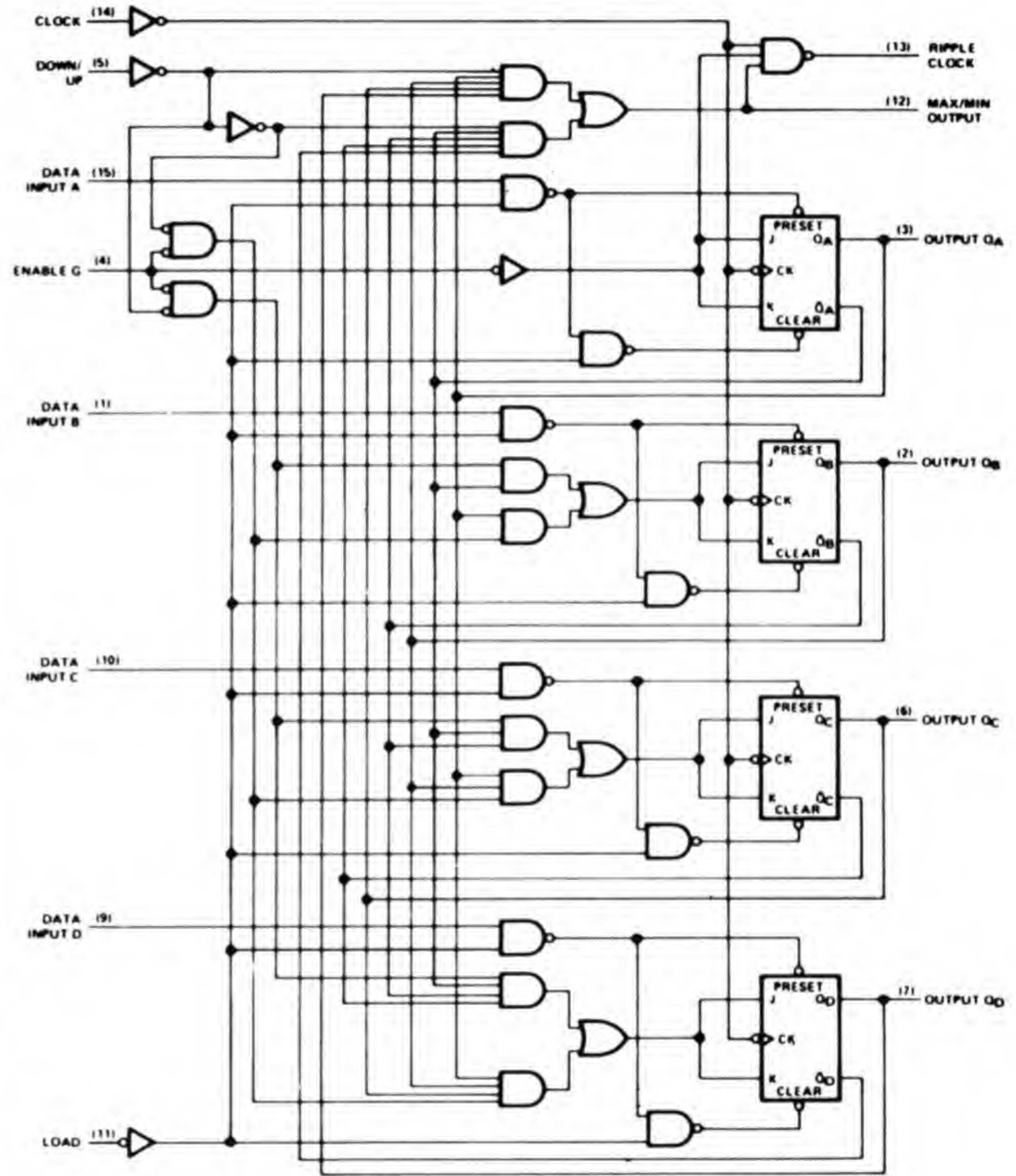
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					20	30		80		85		16		16			MHz
t _w	min	CLK					25	16.5		6		4.0		33		33			ns
t _w	min	LOAD					35	20		6		1.0		25		28			ns
t _{su}	min	DATA					20 ↑	20 ↑		8 ↑		2.5		25		25			ns
t _{hold}	min	DATA					0 ↑	5 ↑		3 ↑		1.0		0		0			ns
t _{rec}	min	LOAD					40 ↑			7 ↑		0		9		9			ns
t _{pd}	max	LOAD		Q _a ~Q _d			50	30		16		11		55		58			ns
t _{pd}	max	DATA		Q _a ~Q _d			40	21		18		10.5		55		55			ns
t _{pd}	max	CLK		RP. CLK			24	20		10.5		10.5		38		44			ns
t _{pd}	max	CLK		Q _a ~Q _d			36	18		11		12		55		60			ns
t _{pd}	max	CLK		MX/MIN			52	31		17		14		64		64			ns
t _{pd}	max	DWN/UP		RP. CLK			45	37		19		10		53		56			ns
t _{pd}	max	DWN/UP		MX/MIN			33	25		12		9.5		48		56			ns
t _{pd}	max	ENABLE		RP. CLK				18		8		9.5		33		41			ns
I _{cc}	max	ALL	L	OPEN			35	22		55		0.08		0.08		0.08			mA
I _{IH}	max	ENABLE	H				60	20		20									μA
I _{IL}	max	ENABLE	L				1.2	0.2		1.8									mA
I _{IH}	max	CLOCK	H				20	20		20									μA
I _{IL}	max	CLOCK	L				0.4	0.2		0.6									mA
I _{IH}	max	OTHERS	H				20	20		20									μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		D											
日電									DF				
NS		DF			DF		DF						
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF		DF	DF	DF				
東芝		D							DF				
SGS									DF				
CYPRES					DF								
IDT								DF					

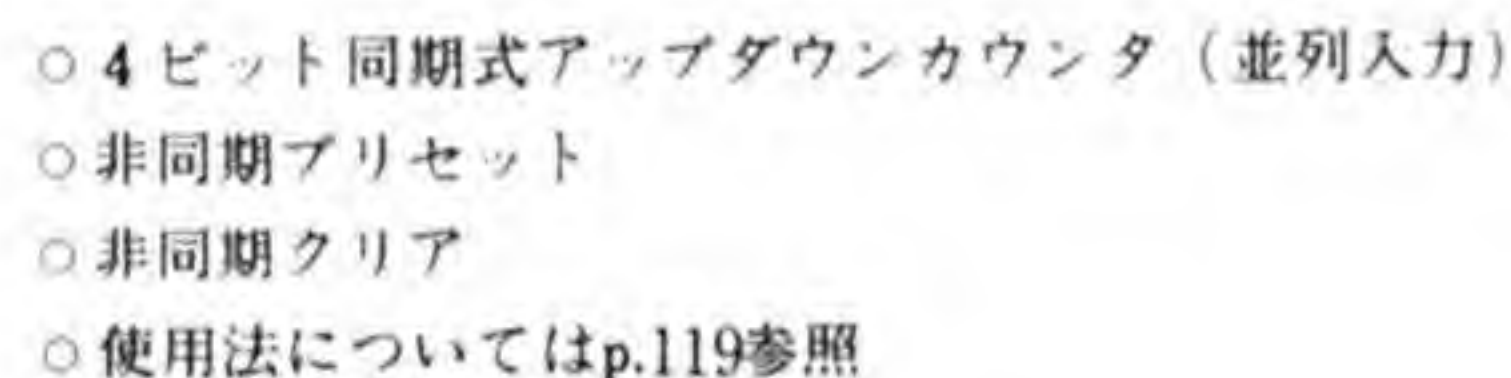
74190, 74191



74190, 74LS190



74191, 74LS191



動作狀態

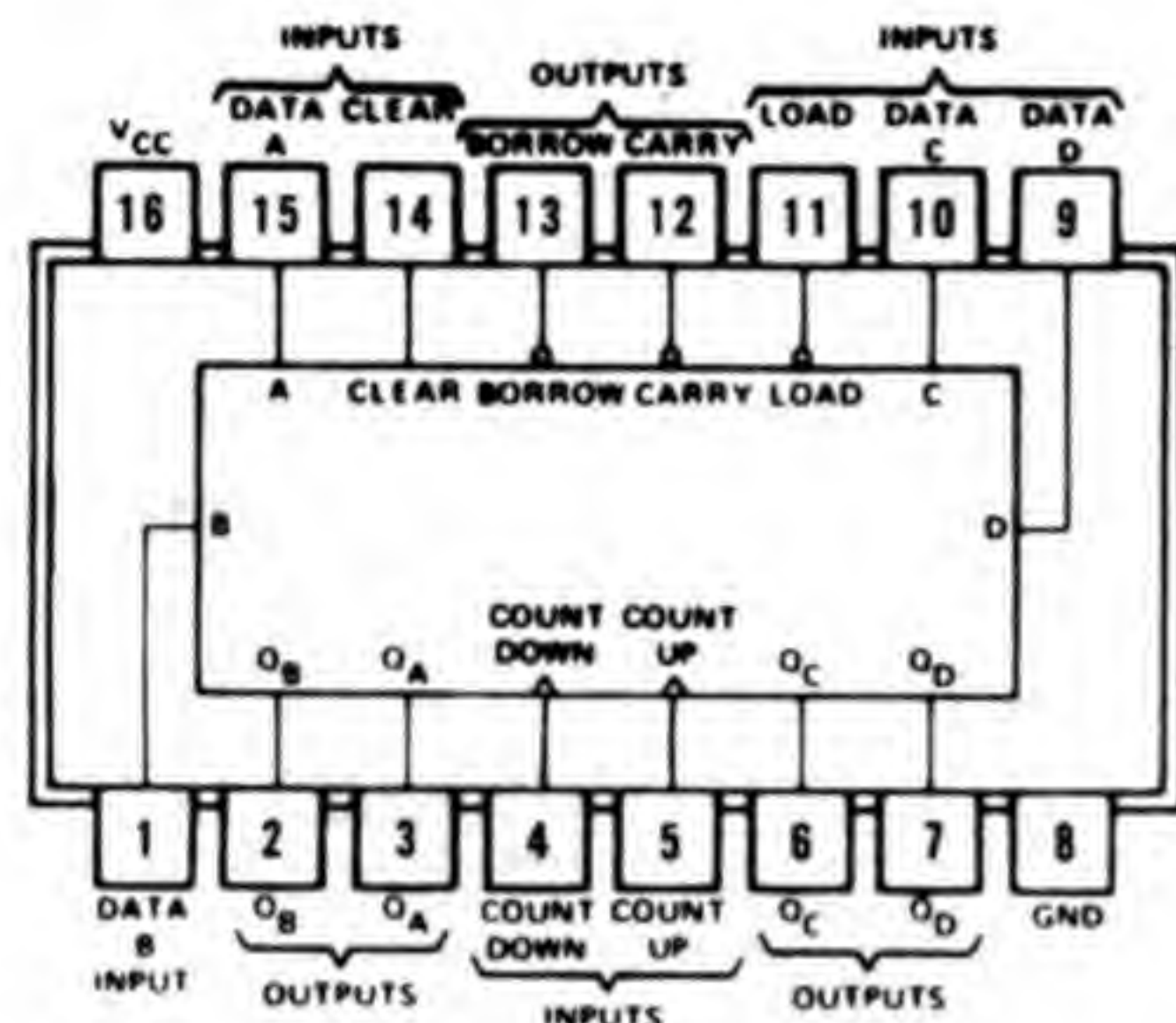
入 力				出 力			動 作
Clear	Load	Count up	Count down	$Q_A Q_B Q_C Q_D$	Carry out	Borrow out	
L	H		H	—	—	—	カウント up
L	H	H		—	—	—	カウント dn
L	 L	X	X	$D_A D_B D_C D_D$	—	—	データセット
 H	X	X	X	L L L L	—	—	クリア
X	X	 L	X	H L L H	 L	H	—
X	X	X	 L	L L L L	H	 L	—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	COUNT					25	25		80				25		25			MHz
tw	min	LOAD					20	20		12				25		25			ns
tw	min	OTHERS					20	20		8				31		31			ns
tsu	min	DATA					20 ↑	20 ↑		8				25		25			ns
thold	min	DATA					0 ↑	5 ↑		3				0		0			ns
trec	min	CLEAR					40 ↑			6				13		13			ns
tpd	max	CNT/U		CARRY			26	18		9				31		38			ns
tpd	max	CNT/D		BORROW			24	18						31		38			ns
tpd	max	COUNT		Qa~Qd			47	19		13				54		54			ns
tpd	max	LOAD		Qa~Qd			40	30		10.5				54		55			ns
tpd	max	CLEAR		Qa~Qd			35	17		13.5				50		50			ns
lcc	max						34	22		45				0.08		0.08			mA
IIH	max	COUNT	H				20	20		20									μA
IIL	max	COUNT	L				0.4	0.2		1.2									mA
IIH	max	OTHERS	H				20	20		20									μA
IIL	max	OTHERS	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.4	0.4		1				4		4			mA
IOL	max			ALL	L		8	8		20				4		4			mA

[illegible]

74193

Presettable Synchronous Up/Down Binary Counter (dual clock, with clear)



- 4ビット同期式アップダウンカウンタ（並列入力）
- 非同期プリセット
- 非同期クリア
- 使用法についてはp.119参照

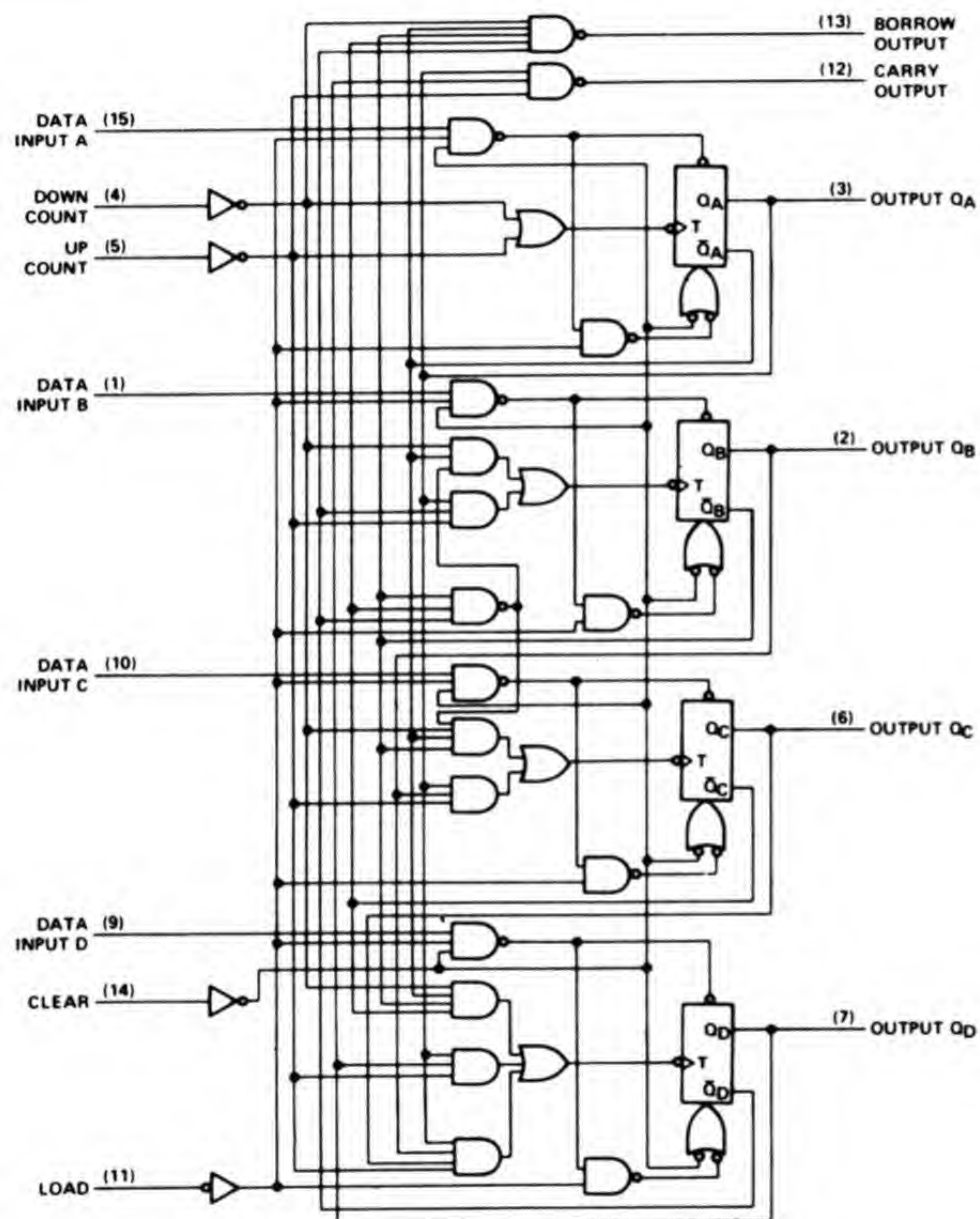
動作状態

入 力				出 力			動 作
Clear	Load	Count up	Count down	$Q_A Q_B Q_C Q_D$	Carry out	Borrow out	
L	H		H	—	—	—	カウント up
L	H	H		—	—	—	カウント dn
L		X	X	$D_A D_B D_C D_D$	—	—	データセット
	X	X	X	L L L L	—	—	クリア
X	X		X	H H H H		H	—
X	X	X		L L L L	H		—

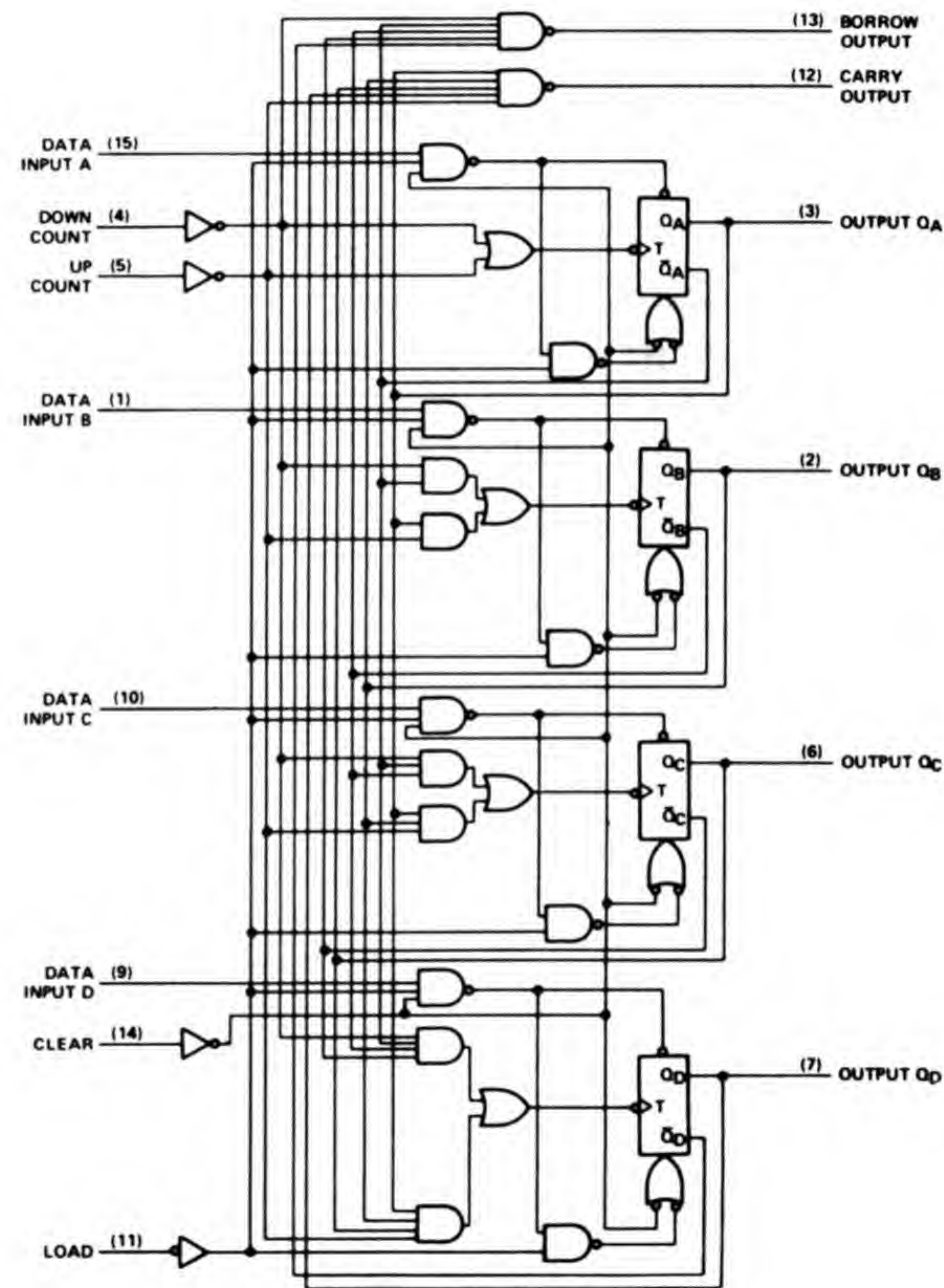
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	COUNT					25	30		80				16		16			MHz
tw	min	LOAD					20	20		12				25		25			ns
tw	min	OTHERS					20	16.5		8				31		31			ns
tsu	min	DATA					20 ↑	20 ↑		8				25		25			ns
tthold	min	DATA					0 ↑	5 ↑		3				0		0			ns
trec	min	CLEAR					40 ↑			6				13		13			ns
tpd	max	CNT/U		CARRY			26	18		12.5				31		38			ns
tpd	max	CNT/D		BORROW			24	18		15.5				31		38			ns
tpd	max	COUNT		$Q_a \sim Q_d$			47	19		10.5				54		54			ns
tpd	max	LOAD		$Q_a \sim Q_d$			40	30		11				55		58			ns
tpd	max	CLEAR		$Q_a \sim Q_d$			35	17		13				50		50			ns
Icc	max						34	22		45				0.08		0.08			mA
IiH	max	COUNT H	H				20	20		20									μA
IiL	max	COUNT L	L				0.4	0.2		1.2									mA
IiH	max	OTHERS H	H				20	20		20									μA
IiL	max	OTHERS L	L				0.4	0.1		0.6									mA
IOH	max			ALL	H		0.4	0.4		1				4		4			mA
IOL	max			ALL	L		8	8		20				4		4			mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立		DF							DF				
MOT		DF											
日電									DF				
NS		DF			DF				DF				
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE			DF		DF								
TI		DF	DF		DF				DF				
東芝		D							DF				
SGS									DF				
CYPRES													
IDT								DF					

74192, 74193

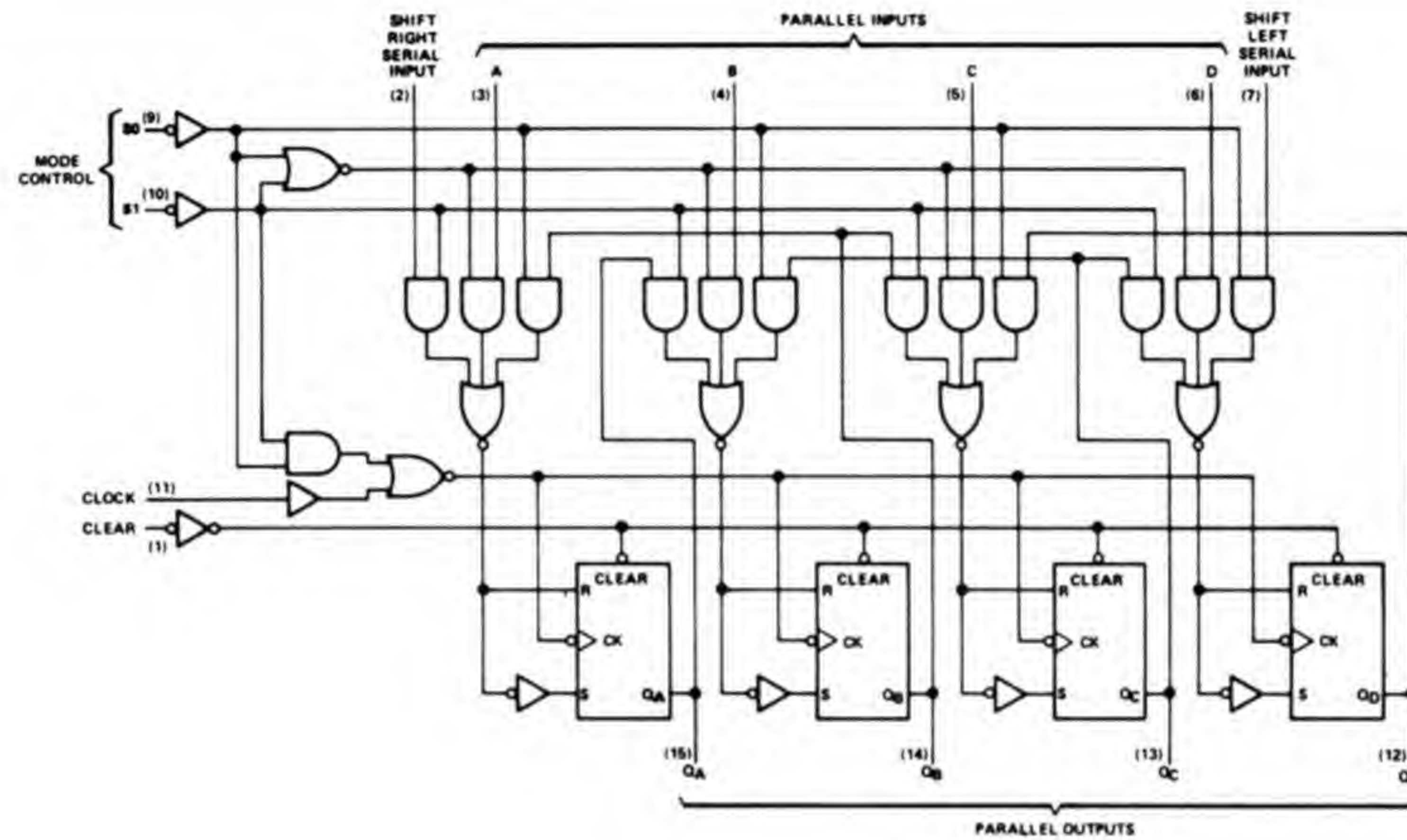


74192, 74LS192

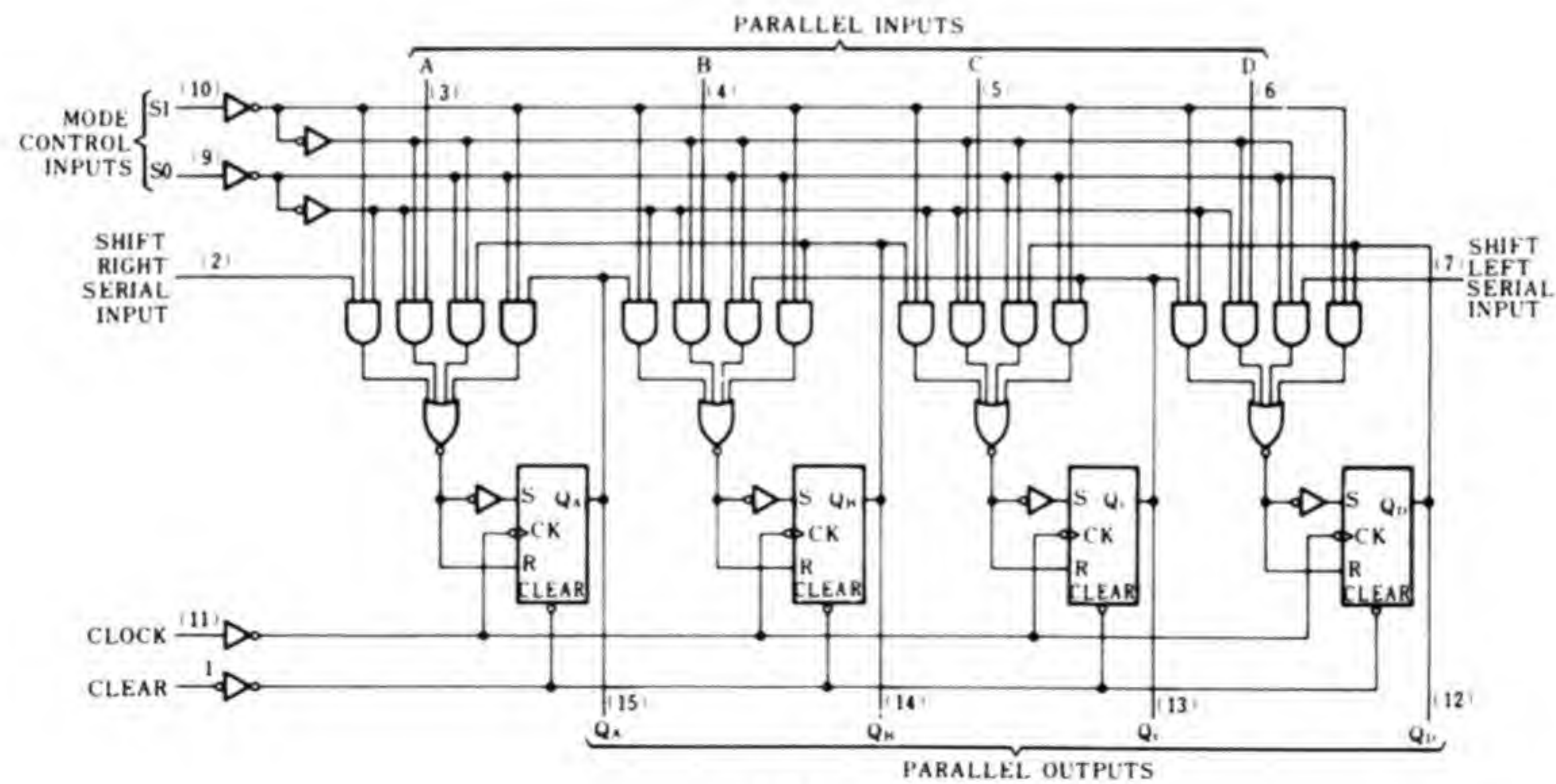


74193, 74LS193

74194

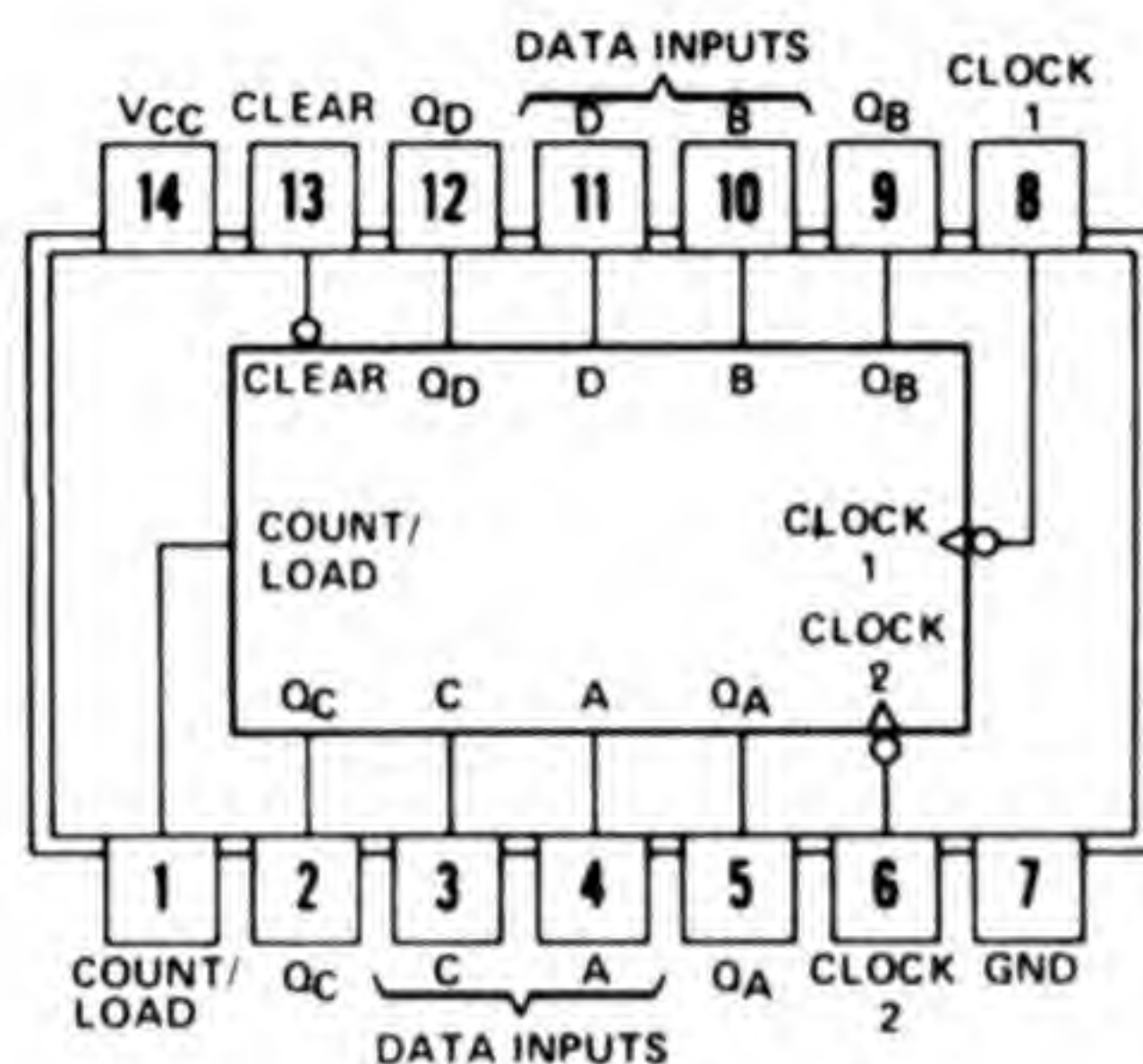


74194






74LS194, 74S194

Presetable Decade Counter



- BCD非同期カウンタ
- 非同期プリセット
- 非同期クリア
- 90のプリセットを任意のデータに広げなタイプ
- カウンタの動作については90と同じ
(90の項参照)

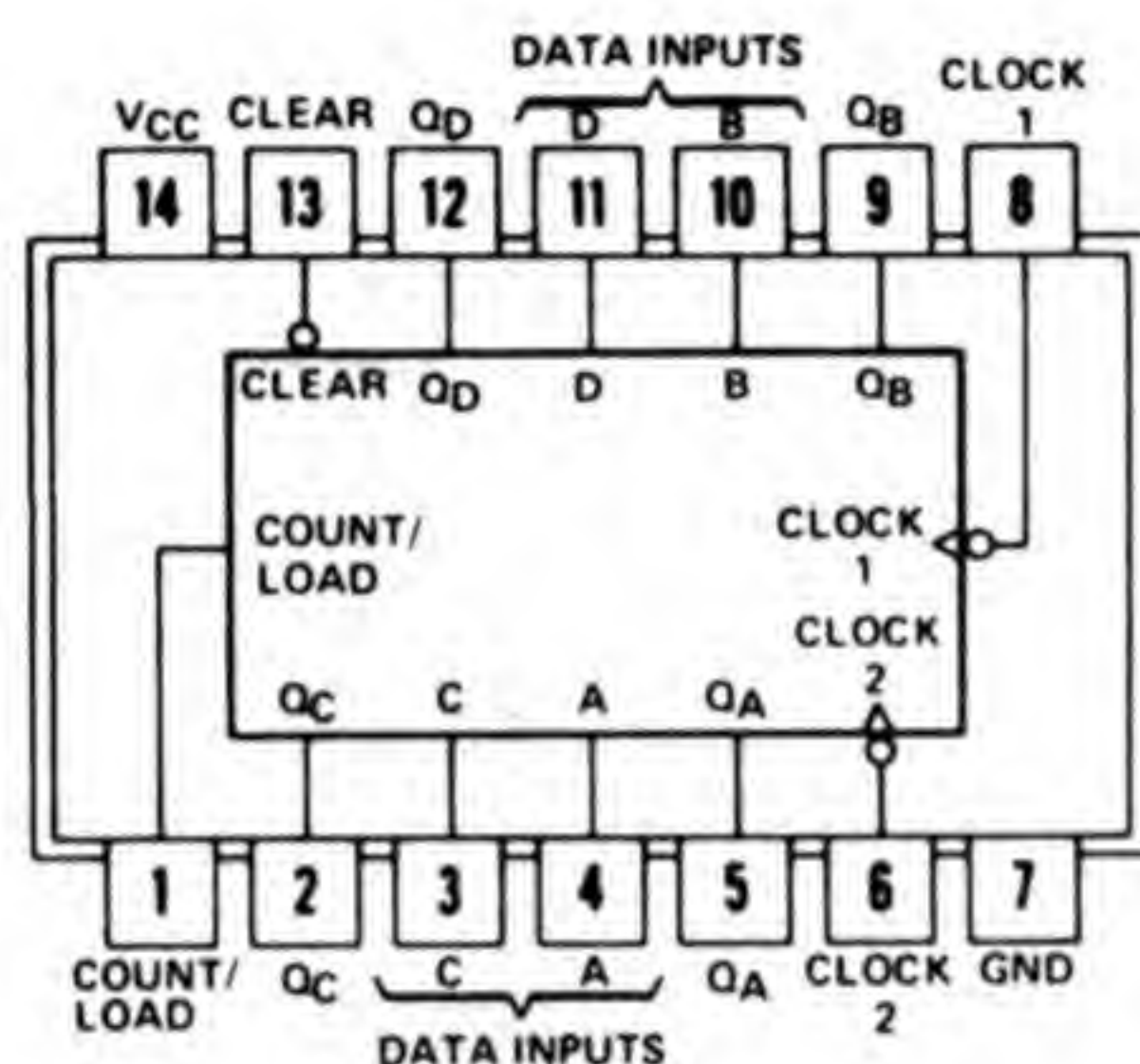
動作狀態

入 力			出 力	動 作
Clear	Load	CK	Q _A Q _B Q _C Q _D	
H	H		—	カウント
H		X	D _A D _B D _C D _D	データセット
	X	X	L L L L	クリア

参考品種
74176




[illegible][illegible]

Presetable 4-Bit binary Counter



- 16進非同期カウンタ
- 非同期プリセット
- 非同期クリア
- 93にプリセット機能を加えたタイプ
- 使用法については90の項参照

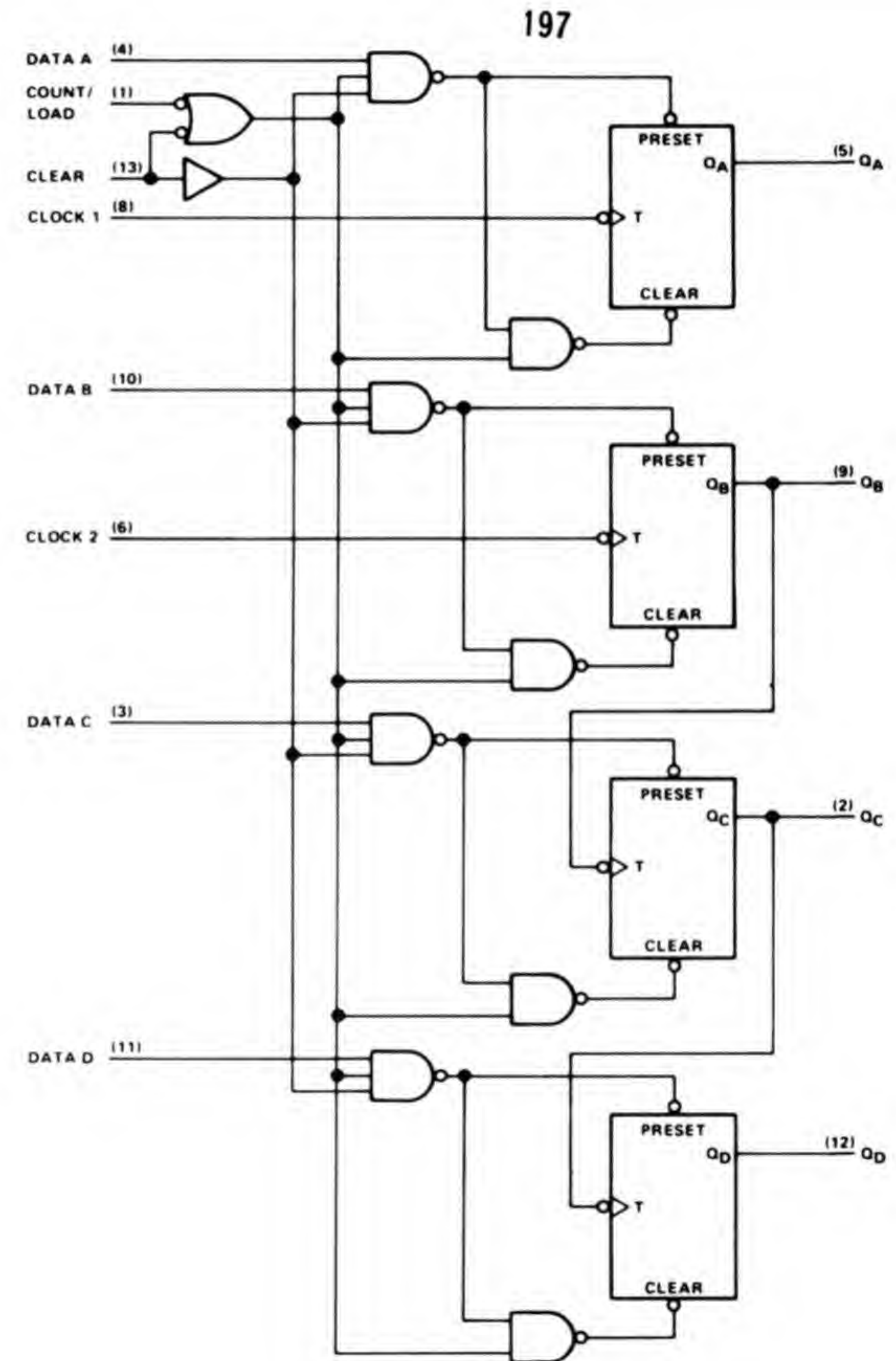
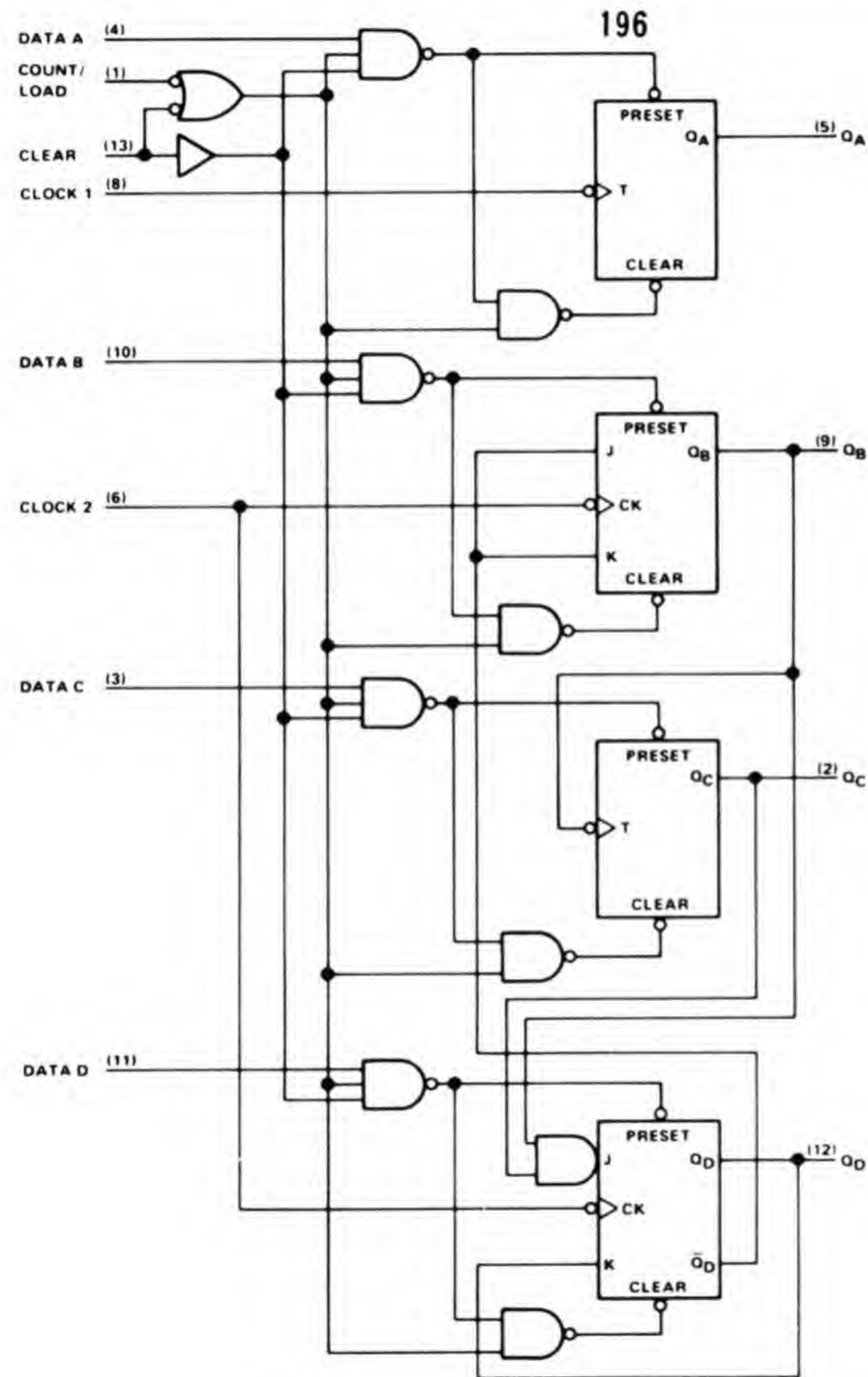
動作狀態

入 力			出 力	動 作
Clear	Load	CK	Q _A Q _B Q _C Q _D	
H	H		—	カウント
H		X	D _A D _B D _C D _D	データセット
	X	X	L L L L	クリア

参考品種
74177

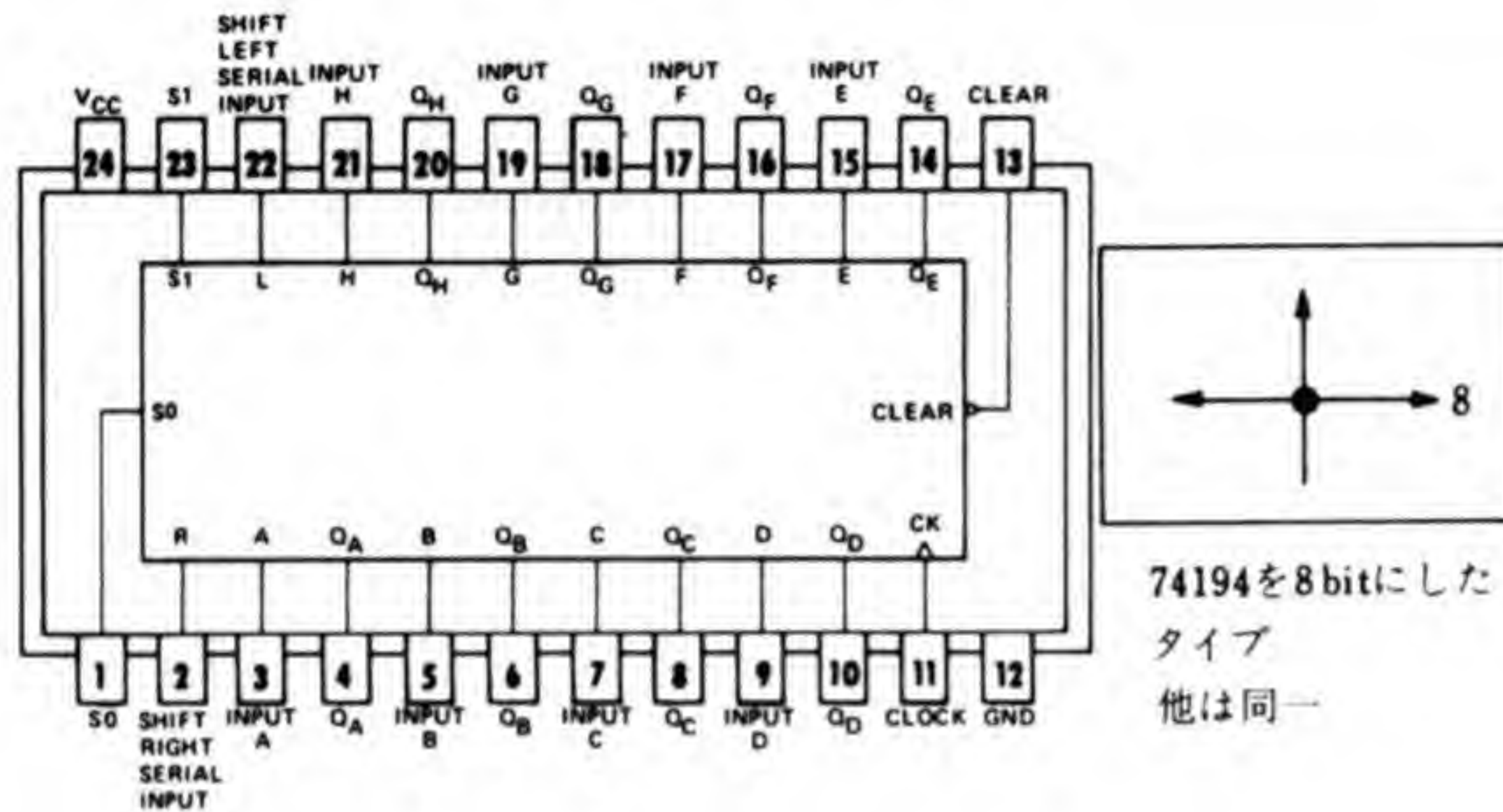
[illegible][illegible]

74196, 74197

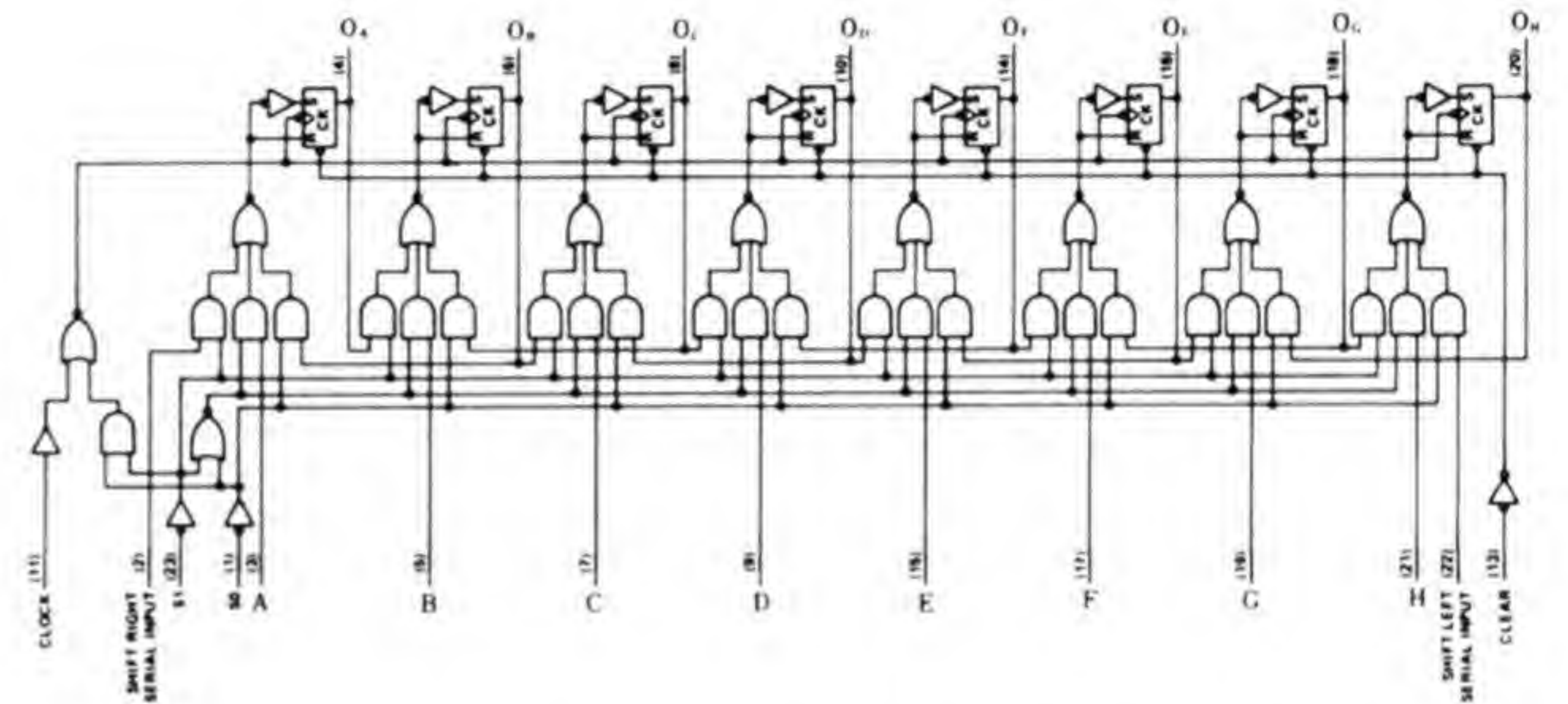




74198

8-Bit Shift Register



74194を8bitにした
タイプ
他は同一

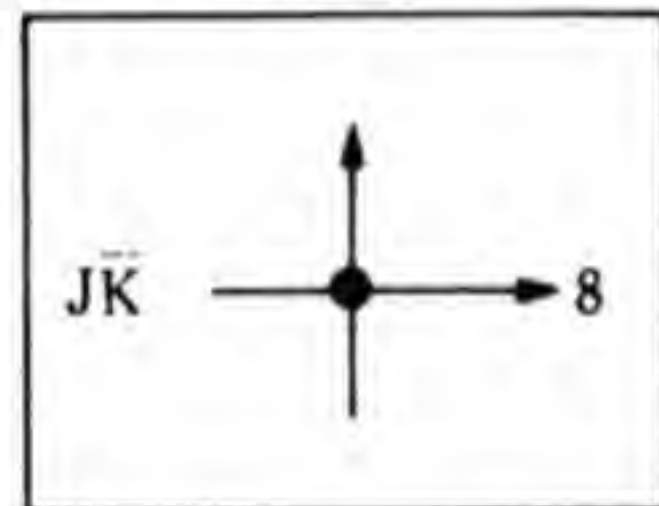
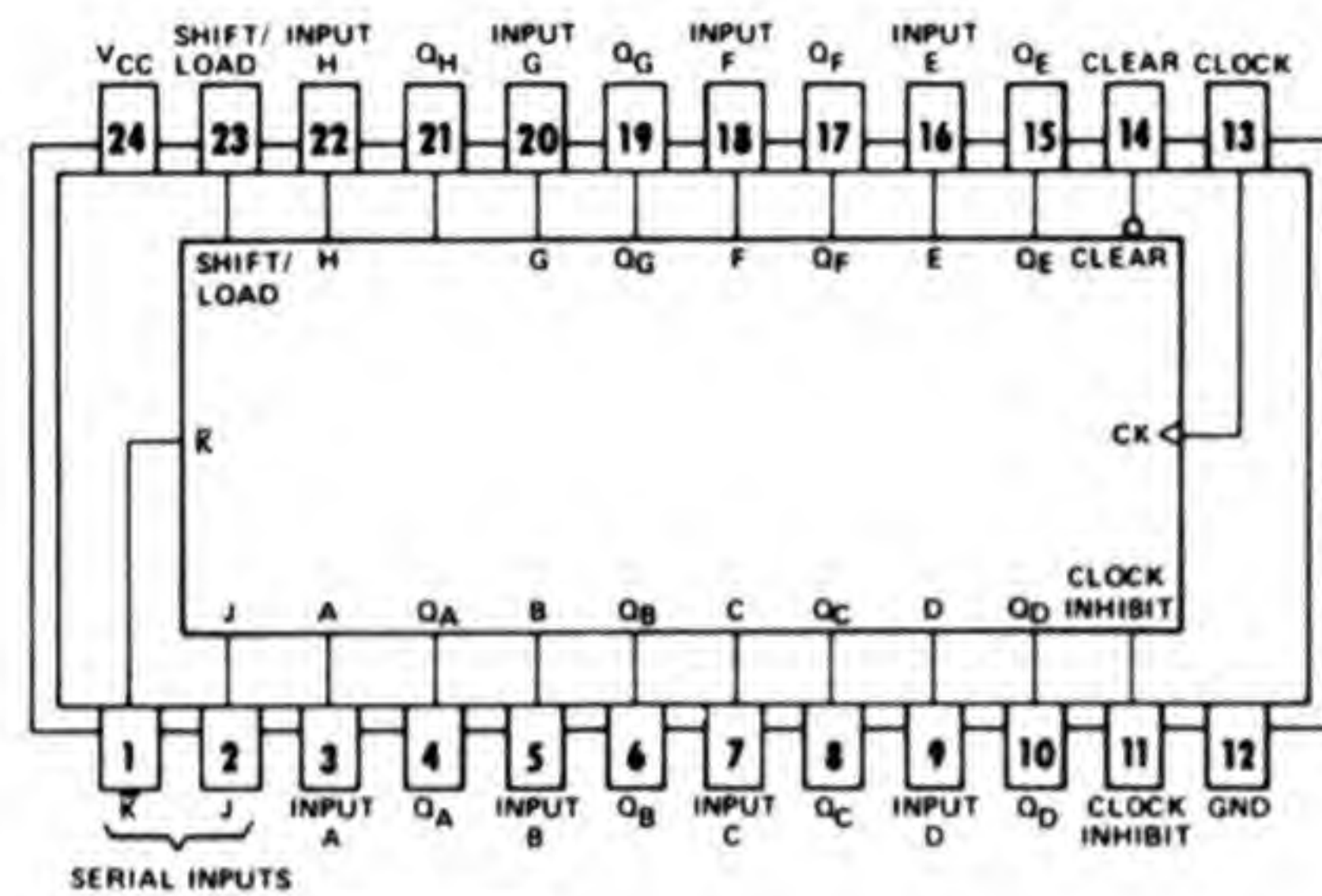


入 力				動 作
Clear	Mode control		CK	
	S 1	S 0		
H	L	H		右シフト
H	H	L		左シフト
H	H	H		ロード
H	L	L	X	ホールド*
	X	X	X	ク リ ア

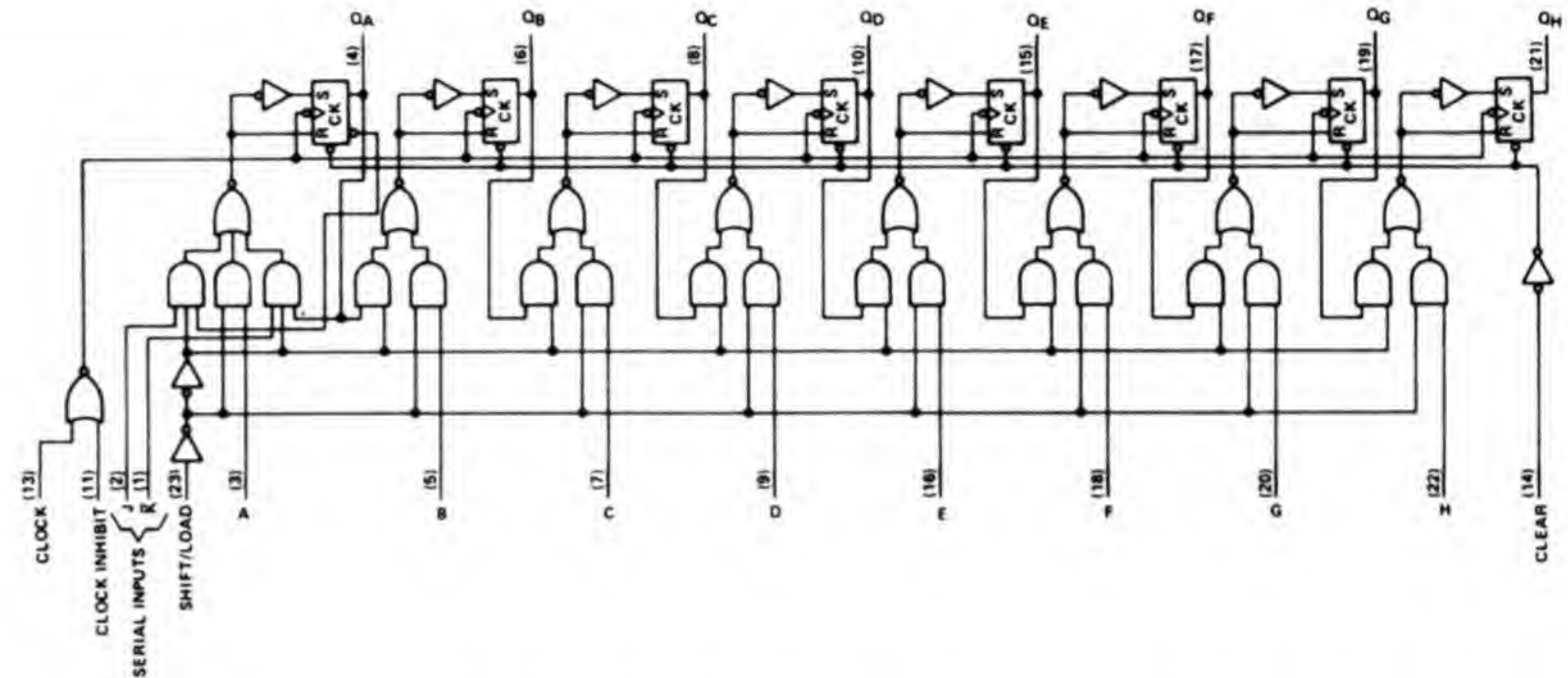
- ・クロック L の期間中 $S_1 = S_0 = L$ にすると 1bit シフトしてホールドする
クロック H の期間中ならばそのままホールド



[illegible][illegible]

8-Bit Shift Register



74195を8bitにして、
クロックインヒビッ
ト端子を設けたタイプ



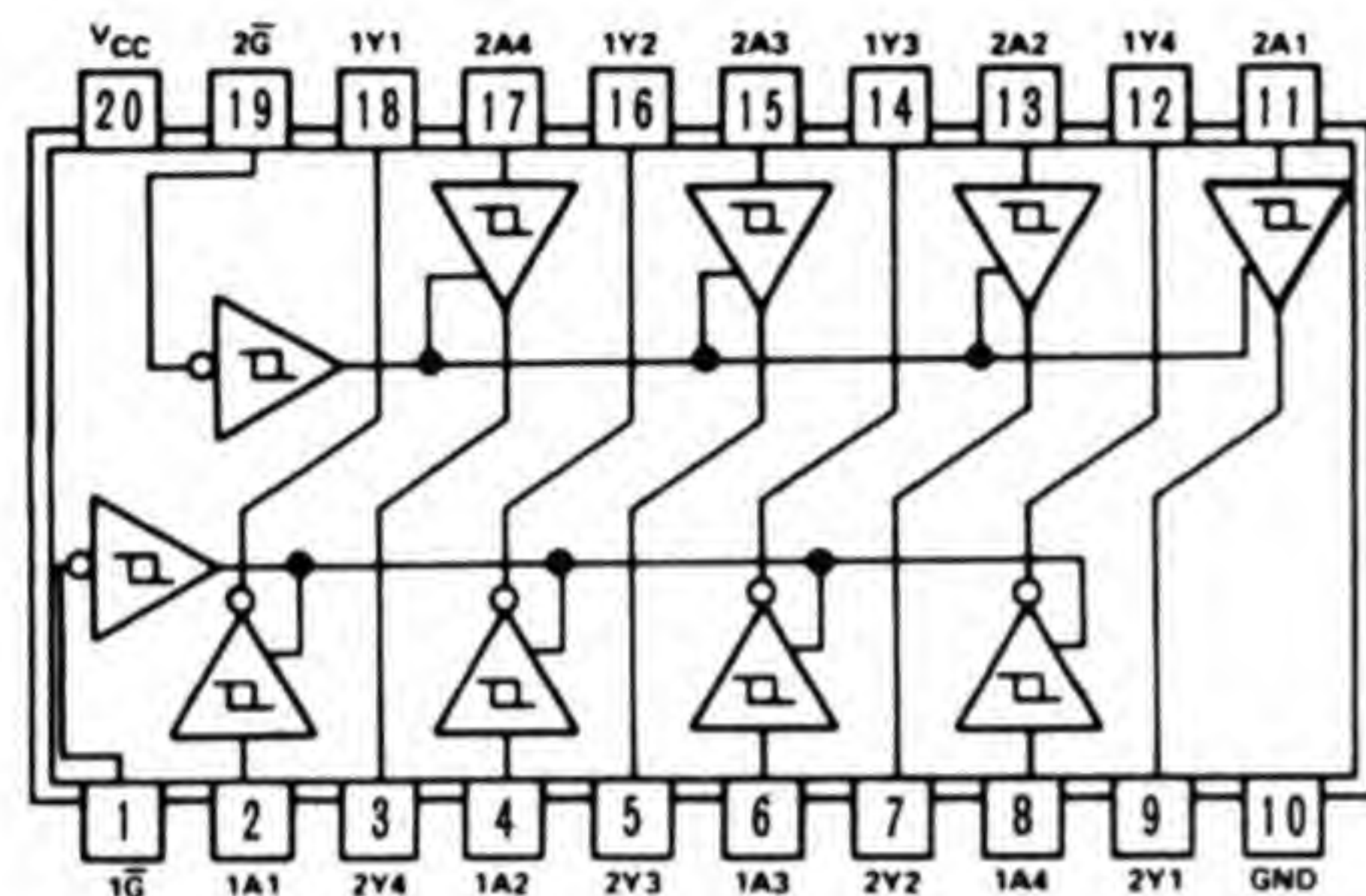
入 力				動 作
Clear	Shift/Load	CK	CK Inhibit	
H	H		L	右シフト
H	L		L	ロ ード
H	X	X	H	ホールド*
	X	X	X	ク リ ア

*CKがLの期間中にCK InhibitをHに上げると
1bitシフトしてホールドされる
CKがHの期間中ならばそのままホールド

[illegible][illegible]

74230

Octal 3-State Bus Inverters

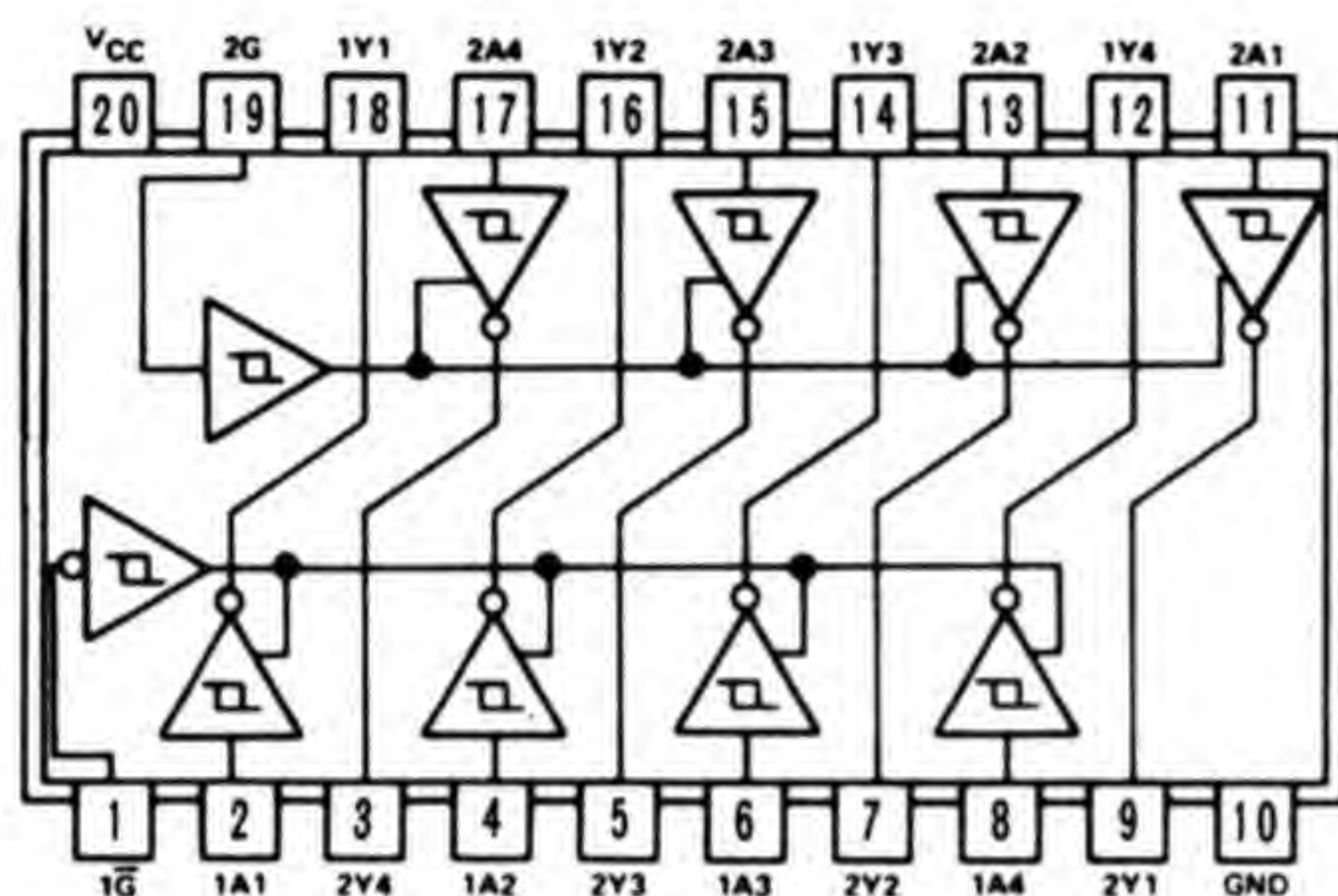


○データ正論理/負論理 半分ずつ

[illegible]

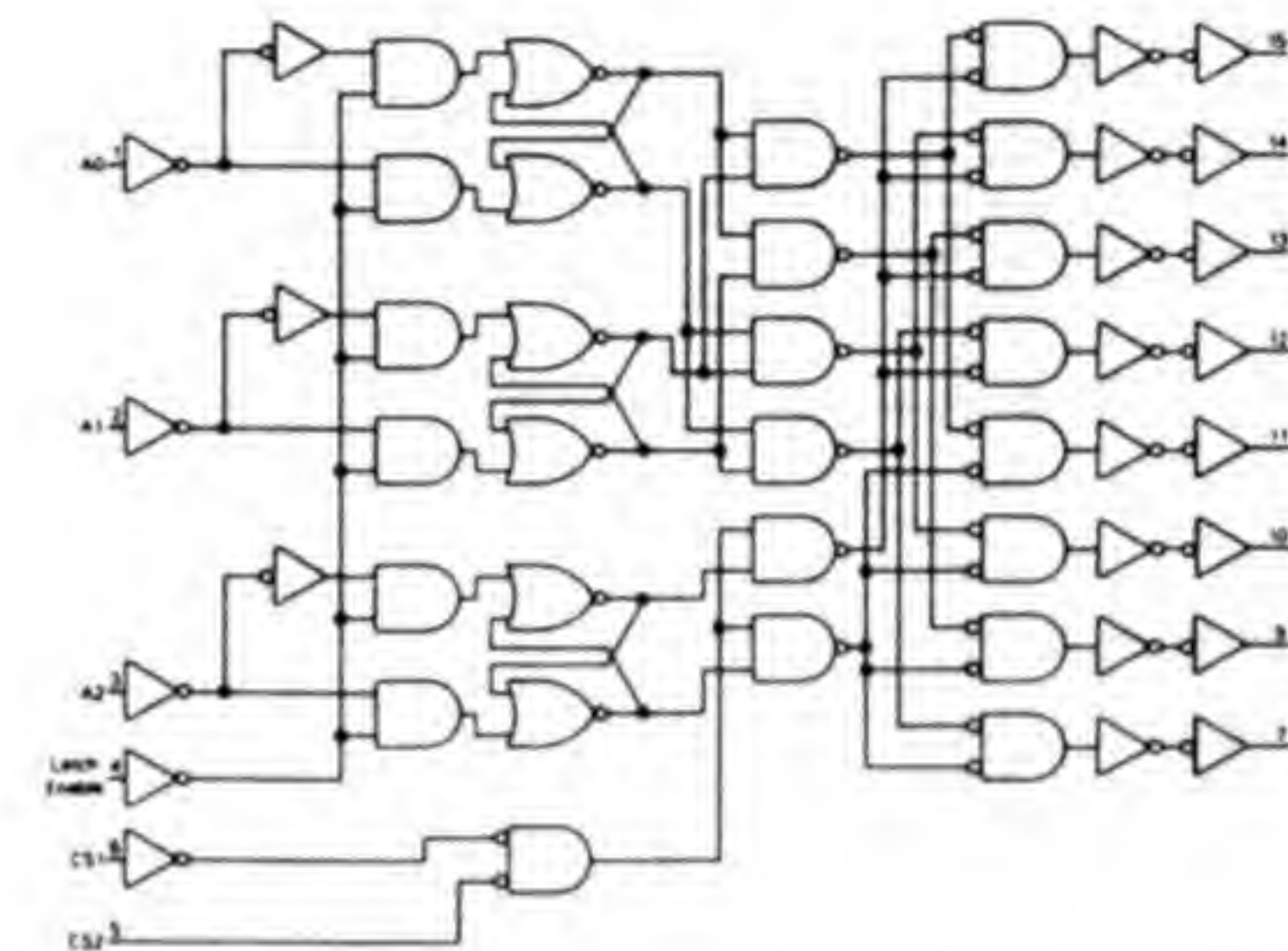
74231 (67306)

Octal 3-State Bus Inverters



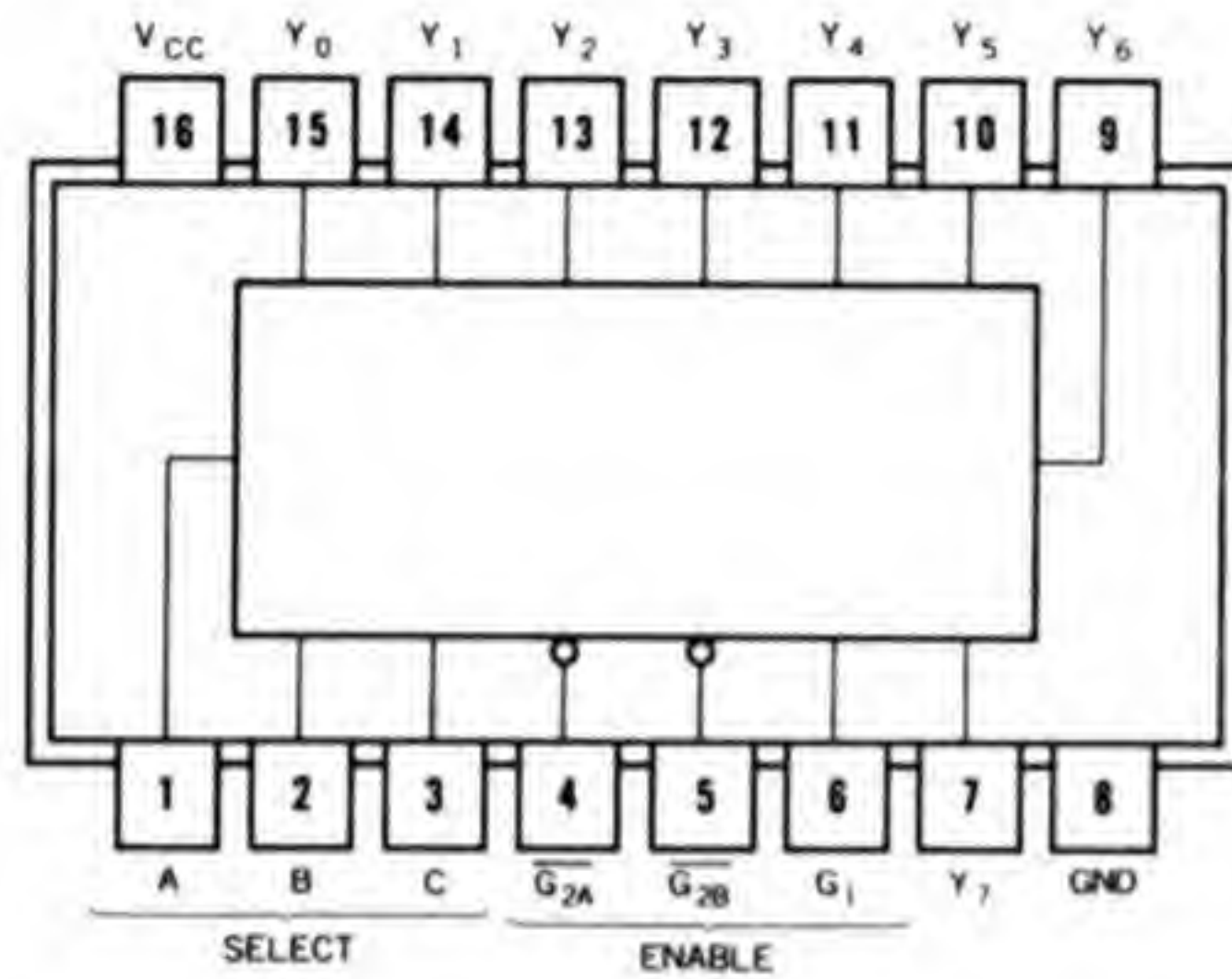
○74241のデータ反転版

[illegible][illegible]



Inputs						Outputs							
LE	CS1	CS2	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	L	L	L	L	L	L	L	L
X	L	X	X	X	X	L	L	L	L	L	L	L	L
L	H	L	L	L	L	H	L	L	L	L	L	L	L
L	H	L	L	L	H	L	H	L	L	L	L	L	L
L	H	L	L	H	L	L	L	H	L	L	L	L	L
L	H	L	L	H	H	L	L	L	H	L	L	L	L
L	H	L	H	L	L	L	L	L	H	L	L	L	L
L	H	L	H	L	H	L	L	L	L	L	H	L	L
L	H	L	H	H	H	L	L	L	L	L	L	L	H
H	H	L	X	X	X	•							

[illegible]



入 力					出 力								
ENABLE		SELECT											
G ₁	G ₂ *	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	
X	H	X	X	X	L	L	L	L	L	L	L	L	
L	X	X	X	X	L	L	L	L	L	L	L	L	
H	L	L	L	L	H	L	L	L	L	L	L	L	
H	L	L	L	H	L	H	L	L	L	L	L	L	
H	L	L	H	L	L	L	H	L	L	L	L	L	
H	L	L	H	H	L	L	L	H	L	L	L	L	
H	L	H	L	L	L	L	L	L	H	L	L	L	
H	L	H	L	H	L	L	L	L	L	H	L	L	
H	L	H	H	L	L	L	L	L	L	L	H	L	
H	L	H	H	H	L	L	L	L	L	L	L	H	

$$\overline{G_2 \bullet} = \overline{G_{2A}} + \overline{G_{2B}}$$

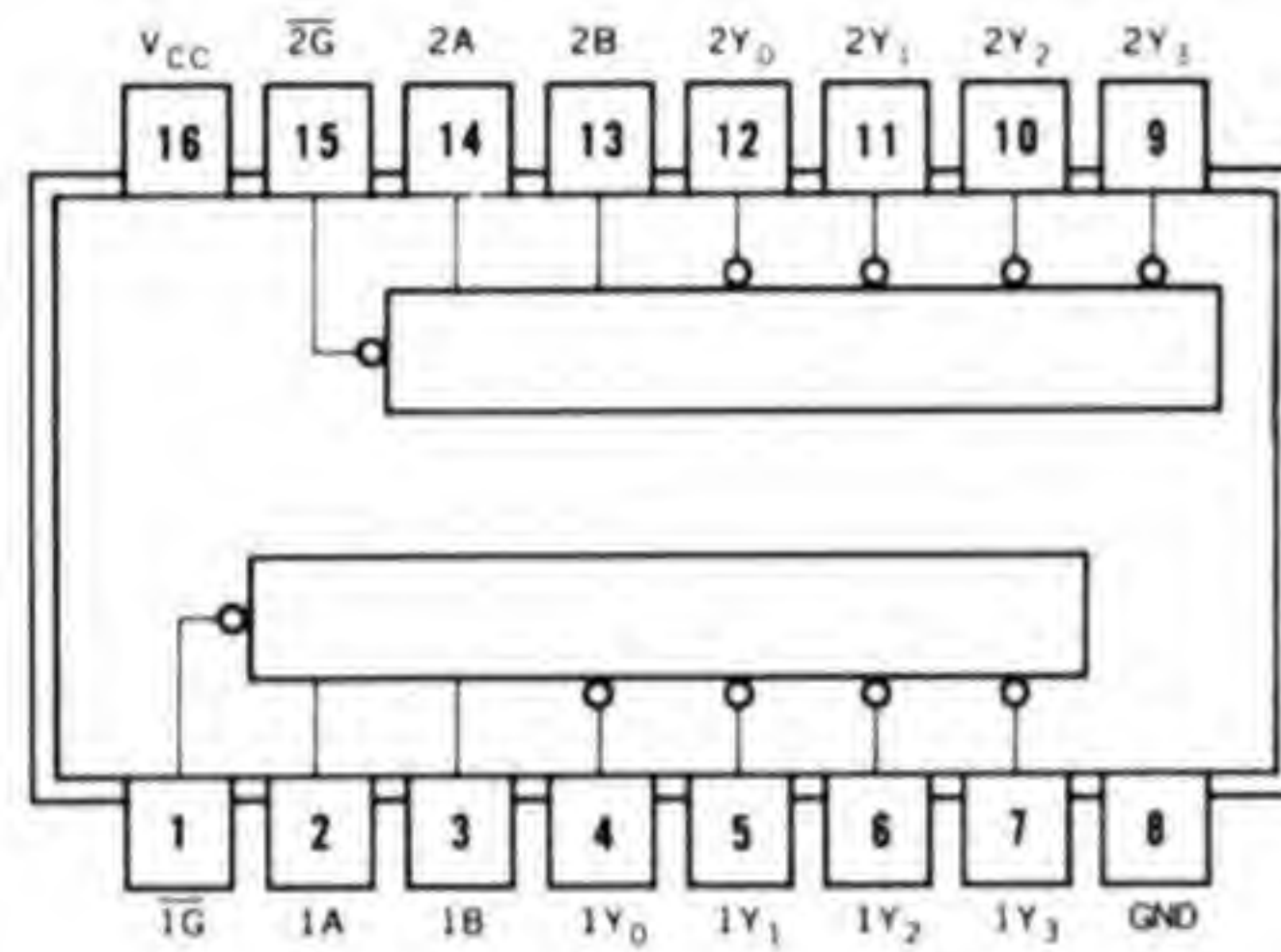
H:ハイレベル L:ロウレベル X:H or L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		L→H	↑									38		48			ns
tpd	max	A, B, C		H→L	↓									50		53			ns
tpd	max	G1		L→H	↑									38		43			ns
tpd	max	G1		H→L	↓									38		60			ns
tpd	max	-G2A/B		L→H	↑									38		65			ns
tpd	max	-G2A/B		H→L	↓									44		55			ns
Icc	max													0.08		0.08			mA
IOH	max			ALL	H									4		4			mA
IOL	max			ALL	L									4		4			mA

[illegible]

74239

Dual 2 to 4 Line Decoder/Demultiplexer (HIGH on Select)



入 力			出 力			
ENABLE	SELECT					
\bar{G}	B	A	Y_0	Y_1	Y_2	Y_3
H	X	X	L	L	L	L
L	L	L	H	L	L	L
L	L	H	L	H	L	L
L	H	L	L	L	H	L
L	H	H	L	L	L	H

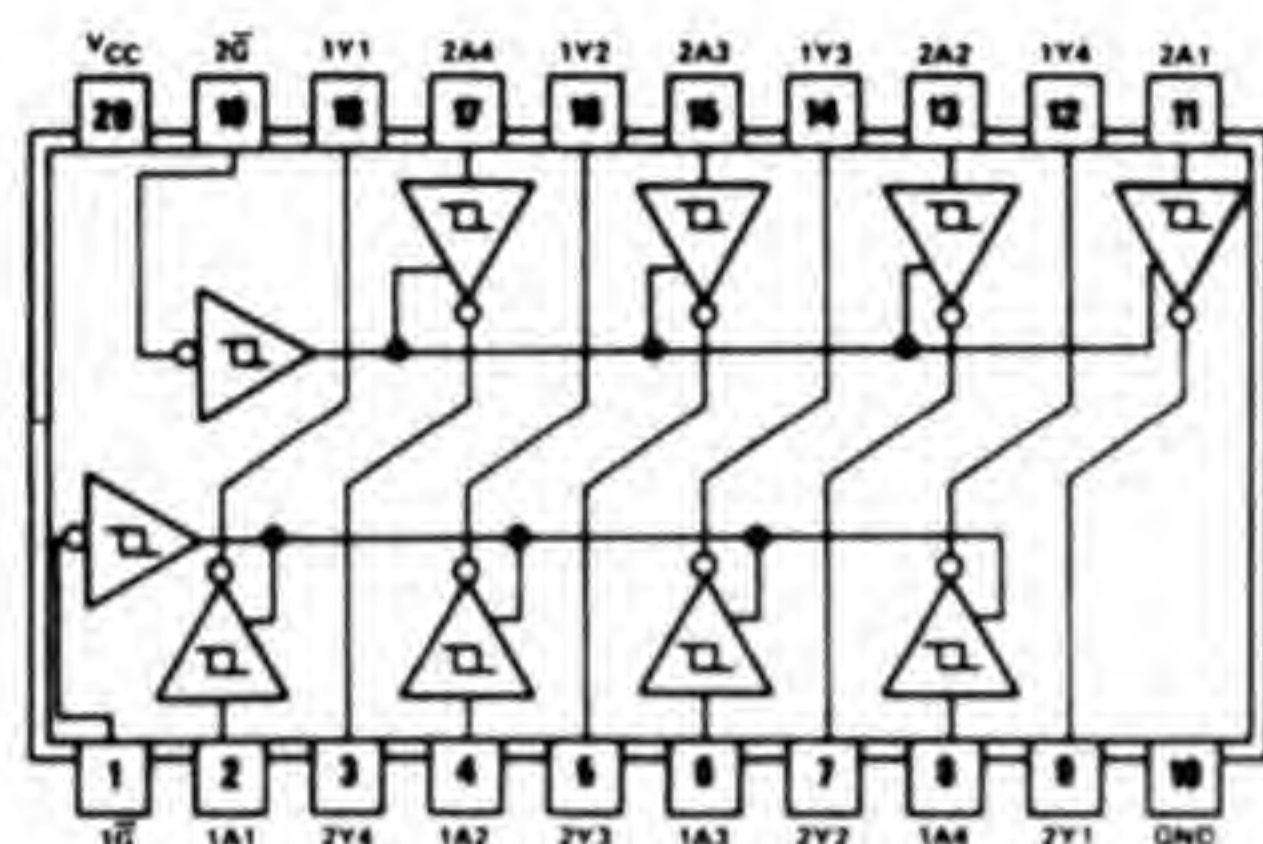
H:ハイレベル L:ロウレベル X:H or L

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	-G		Y										44					ns
tpd	max	A-3DLY		Y										44					ns
tpd	max	A-4DLY		Y										55					ns
lcc	max													0.08					mA
IOH	max			ALL	H									4					mA
IOL	max			ALL	L									4					mA

[illegible]

74240

Octal 3-State Bus Inverters



○1GがH, 2GがHのときはY はハイインピーダンス

○1GがL, 2GがLのときはY = \bar{A}

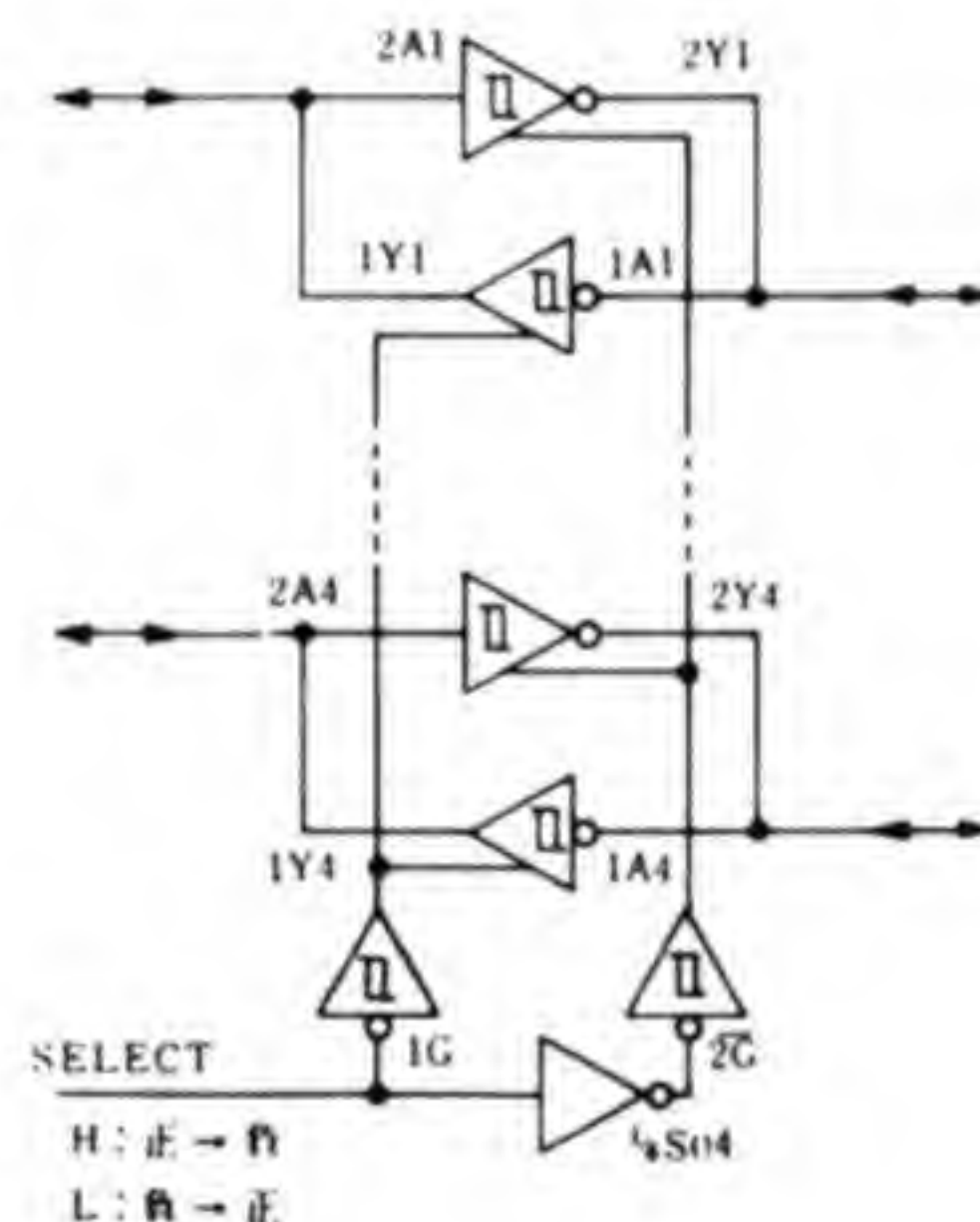
○入力はPNPトランジスタ

○入力のヒステリシス 幅は400mV

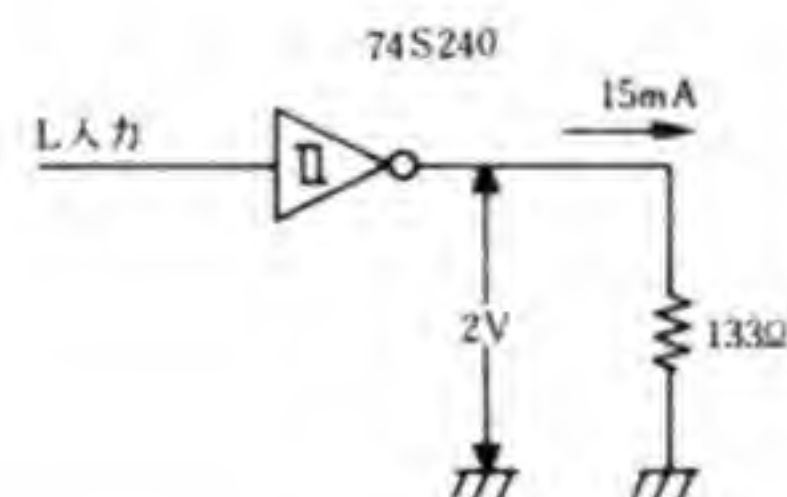
応用例

正論理バスと
負論理バス
の変換

正論理
(CPU)



負論理
(MEMORY)



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	10	14	9	9	8	6.5	10.5	9.5	25		25	7.5	5.6	ns
tpd	max			H→L	↓	10	18	9	9	5.7	5.7	9.5	8.5	25		25	7.5	4	ns
tpd	max			Z→L	▽	13	30	18	19	10	9	12.0	10.5	38		38	11.5	10.5	ns
tpd	max			Z→H	△	13	23	13	17	5.7	6.4	12.0	9.5	38		38	10	8.8	ns
tpd	max			L→Z	▼	13.5	(25)	12	6	9.5	9.5	11.0	10.5	38		38	10	9.5	ns
tpd	max			H→Z	▲	13.5	(18)	10	7	6.3	5	13.5	10.5	38		38	9.5	8.1	ns
Icc	max			H		0.004	23	10	6.5	29	17	0.08	0.08	0.08		0.08	0.05	31	mA
Icc	max			L			44	23	10	75	75	0.08	0.08	0.08		0.08	27	171	mA
Icc	max			Z			50	25	12	63	38						0.05	9	mA
IiH	max	A	H				20	20	20	20	20							20	μA
IiL	max	A	L				0.2	0.1	0.1	1	0.5							1	mA
IiH	max	-G	H				20	20	20	20	20							20	μA
IiL	max	-G	L				0.2	0.1	0.1	1	0.5							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IzL	max			Y	L		20	20	20		50	5	5	5		5	3	50	μA
IzH	max			Y	H		20	20	20		50	5	5	5		5	24	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電							DF		DF		DF			
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
東芝	F	D			D		DFS	DFS	DF		DF	DF		
SGS					DF				DF		DF			
CYPRES														
IDT								DF						

参考品種

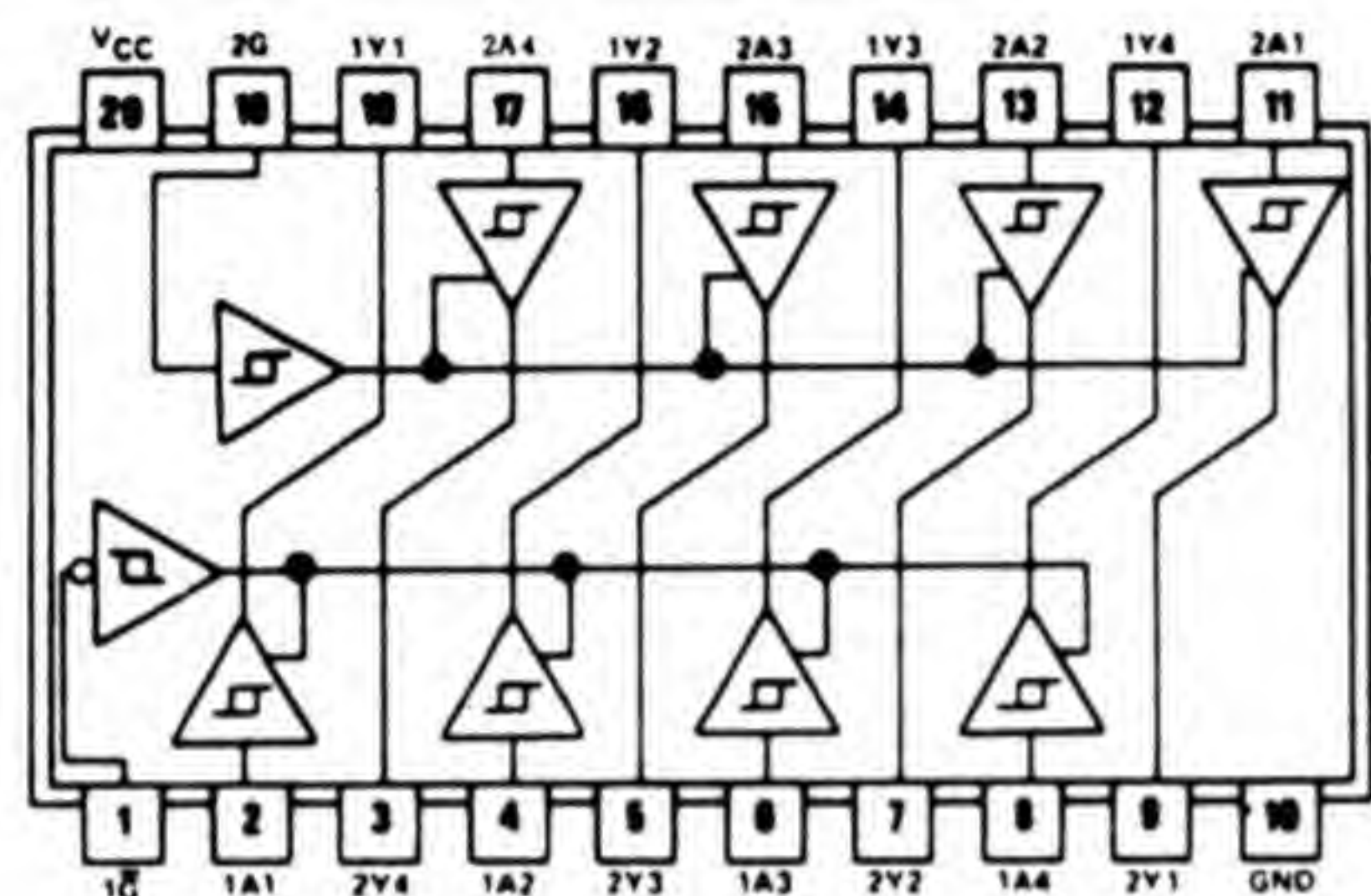
74244

74241

81LS98

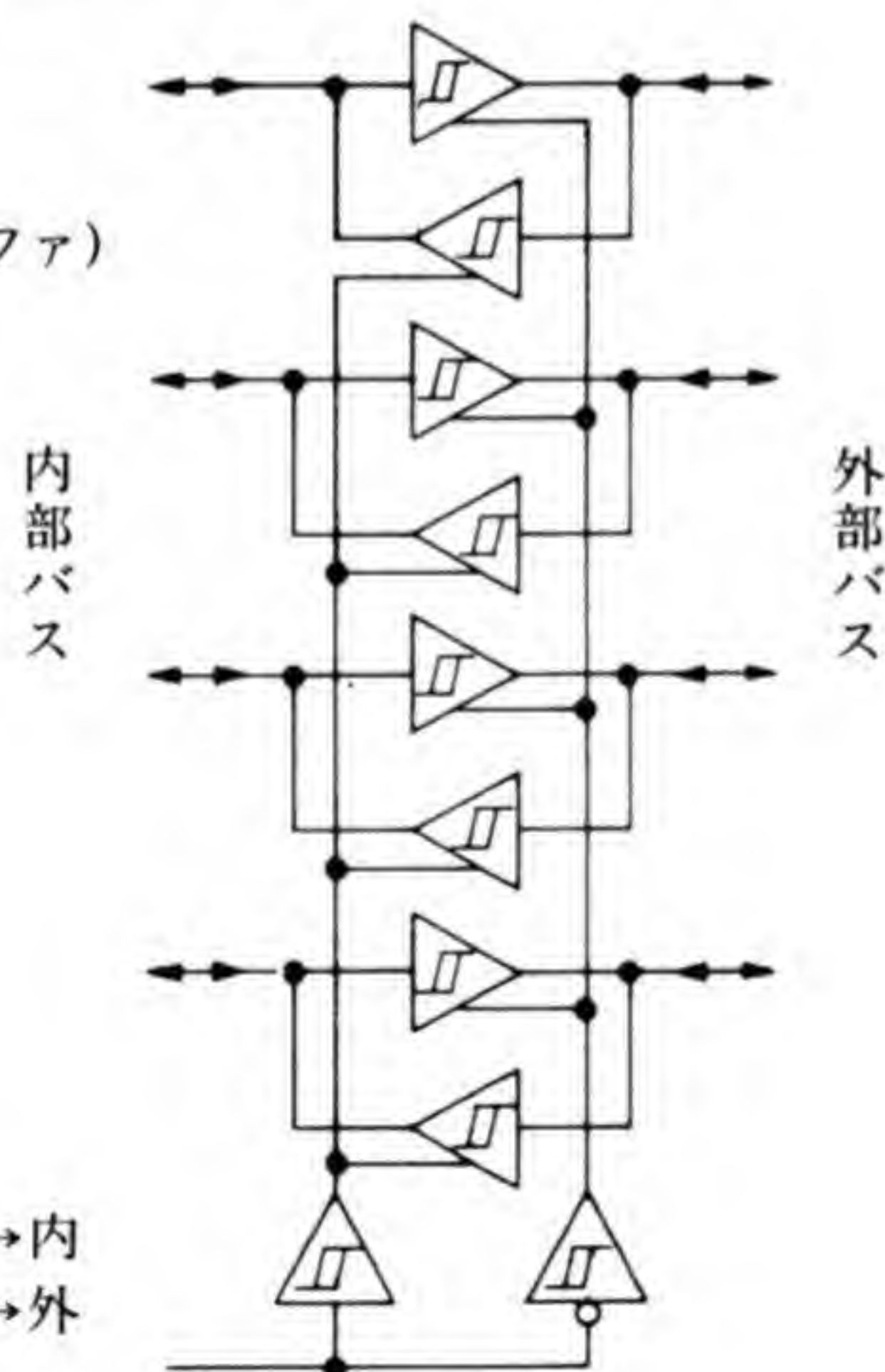
74241

Octal 3-State Bus Buffers



- 入力はPNPトランジスタ
- 入力ヒステリシス400mV
- $\overline{1G}$ がH, 2GがLのときYはハイインピーダンス
- $\overline{1G}$ がL, 2GがHのときY=A

応用例
(バスバッファ)



H 外→内
L 内→外

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.5	18	11	9	6.2	6.5	10.5	10	29		29	7.5	4.6	ns
tpd	max			H→L	↓	9.5	18	10	9	6.5	5.7	9.5	10	29		29	6.8	5.4	ns
tpd	max			Z→L	▽	13	30	21	19	8	9	12.0	11	38		38	11.5	9.8	ns
tpd	max			Z→H	△	13	23	21	17	6.7	6.4	12.0	10	38		38	11.5	10.3	ns
tpd	max			L→Z	▼	13.5	(25)	15	6	7	9.5	11.0	11.5	38		38	10	11.7	ns
tpd	max			H→Z	▲	13.5	(18)	21	7	7	5	13.5	11.5	38		38	10	9.7	ns
Icc	max			H		0.004	23	15	6.5	60	35	0.08	0.08	0.08		0.08	0.05	40	mA
Icc	max			L			46	26	10	90	90	0.08	0.08	0.08		0.08	27	75	mA
Icc	max			Z			54	30	12	90	56						0.05	10	mA
IiH	max	A	H				20	20	20	20	20							20	μA
IiL	max	A	L				0.2	0.1	0.1	1.6	1							1	mA
IiH	max	-G	H				20	20	20	20	20							20	μA
IiL	max	-G	L				0.2	0.1	0.1	1.6	0.5							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IzL	max			Y	L		20	20	20		50	5	5	5		5	3	50	μA
IzH	max			Y	H		20	20	20		50	5	5	5		5	24	50	uA

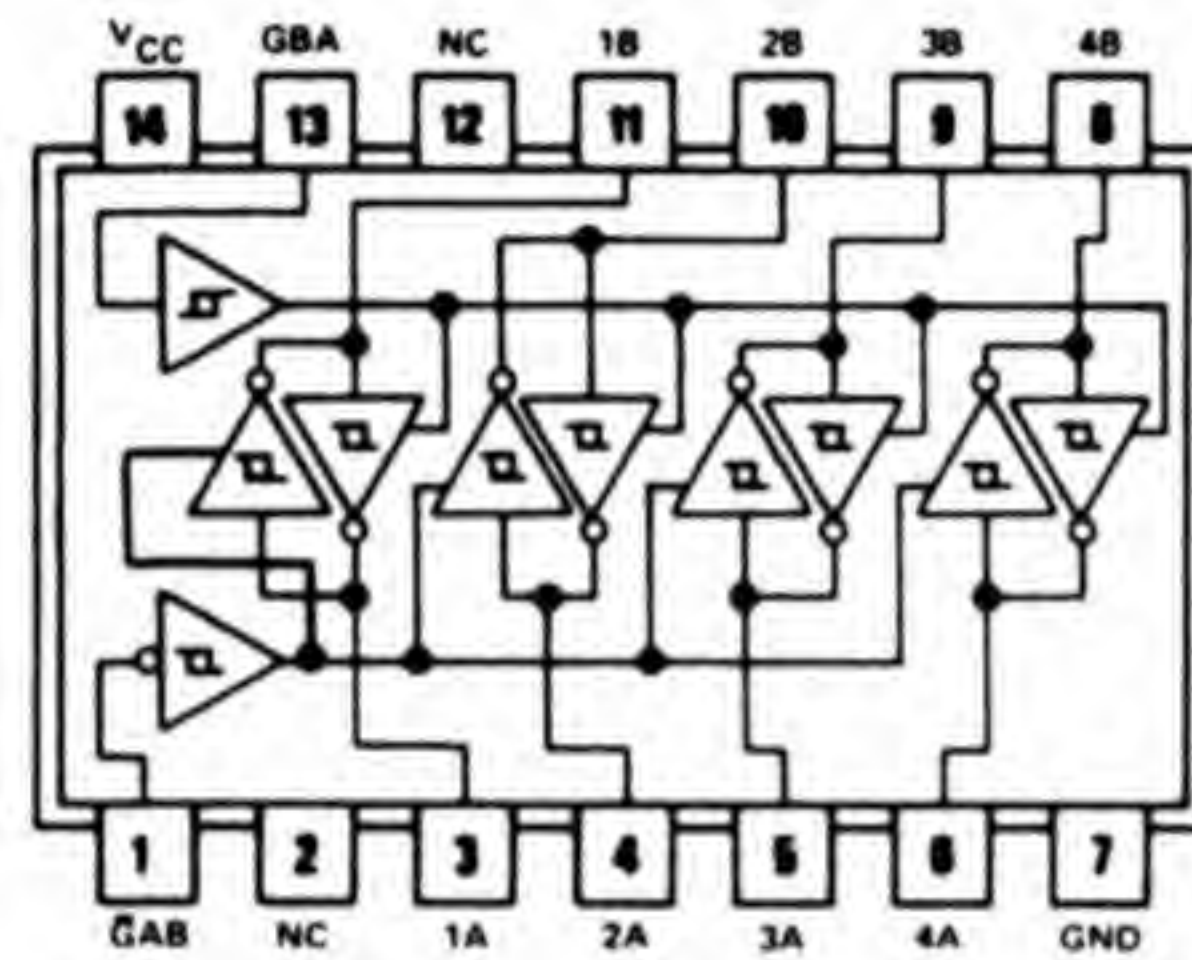
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF			
MOT		DF			DF		D	DF	DF		DF			
日電									DF		DF			
NS	F	DF	DF		DF	DF	DF	DF			D		DF	
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF				DF	
東芝	F	D			D		DF		DF		DF	DF		
SGS									DF		DF			
CYPRES														
IDT								DF						

参考品種

74244
74241
74245

74242

Quad 3-State Bus Transceivers



8 bit 版として
74LS620, 74LS622 がある

GAB	GBA	動作
H	H	$A \leftarrow \overline{B}$
L	H	許されない
H	L	A OFF B
L	L	$B \leftarrow \overline{A}$

○入力は PNP トランジスタ

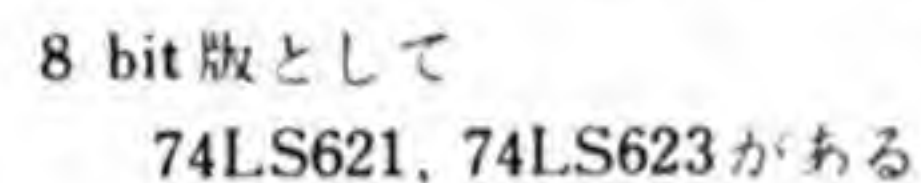
○ヒステリシスは400mV

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		14	11	9	8	6.5			25		35	7.5		ns
tpd	max			H→L	↓		18	10	9	5.7	5.7			25		35	7.5		ns
tpd	max			Z→L	▽		30	21	19	10	7.5			38		50	10.0		ns
tpd	max			Z→H	△		23	18	17	5.7	5.5			38		50	11.5		ns
tpd	max			L→Z	▼		(25)	22	6	8	9.5			38		50	9.5		ns
tpd	max			H→Z	▲		(18)	14	7	6.3	6.5			38		50	10.0		ns
lcc	max				H		38	16	65	46	28			0.08		0.08	15		mA
lcc	max				L		50	21	10	69	60			0.08		0.08	50		mA
lcc	max				Z		50	22	12	63	39						50		mA
IIH	max	A	H				20	20	20	20	20						50		μA
IIL	max	A	L				0.2	0.1	0.1	1	0.1						50		mA
IIH	max	-G	H				20	20	20	20	20						1.0		μA
IIL	max	-G	L				0.2	0.1	0.1	1	0.1						1.0		mA
IOH	max			A, B	H		15	15	15	3	15			6		6	15		mA
IOL	max			A, B	L		24	24	16	64	64			6		6	48		mA
IZL	max			A, B	L		200							5		5	50		μA
IZH	max			A, B	H		20							5		5	50		μA

[illegible]

参考品種
74243
74241
74244

Quad 3-State Bus Transceivers

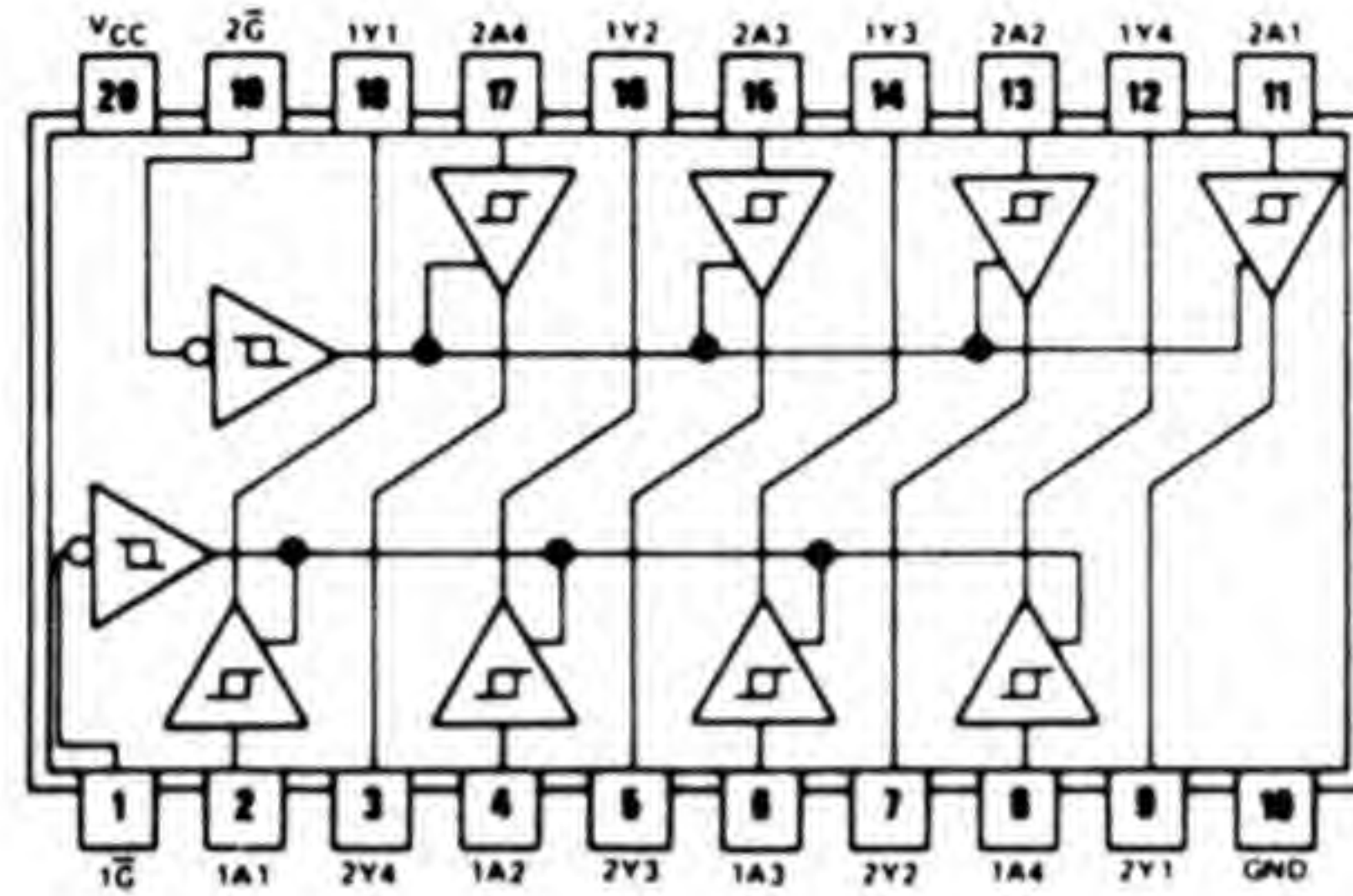


- 入力はPNPトランジスタ
- ヒステリシスは400mV

[illegible]

74244

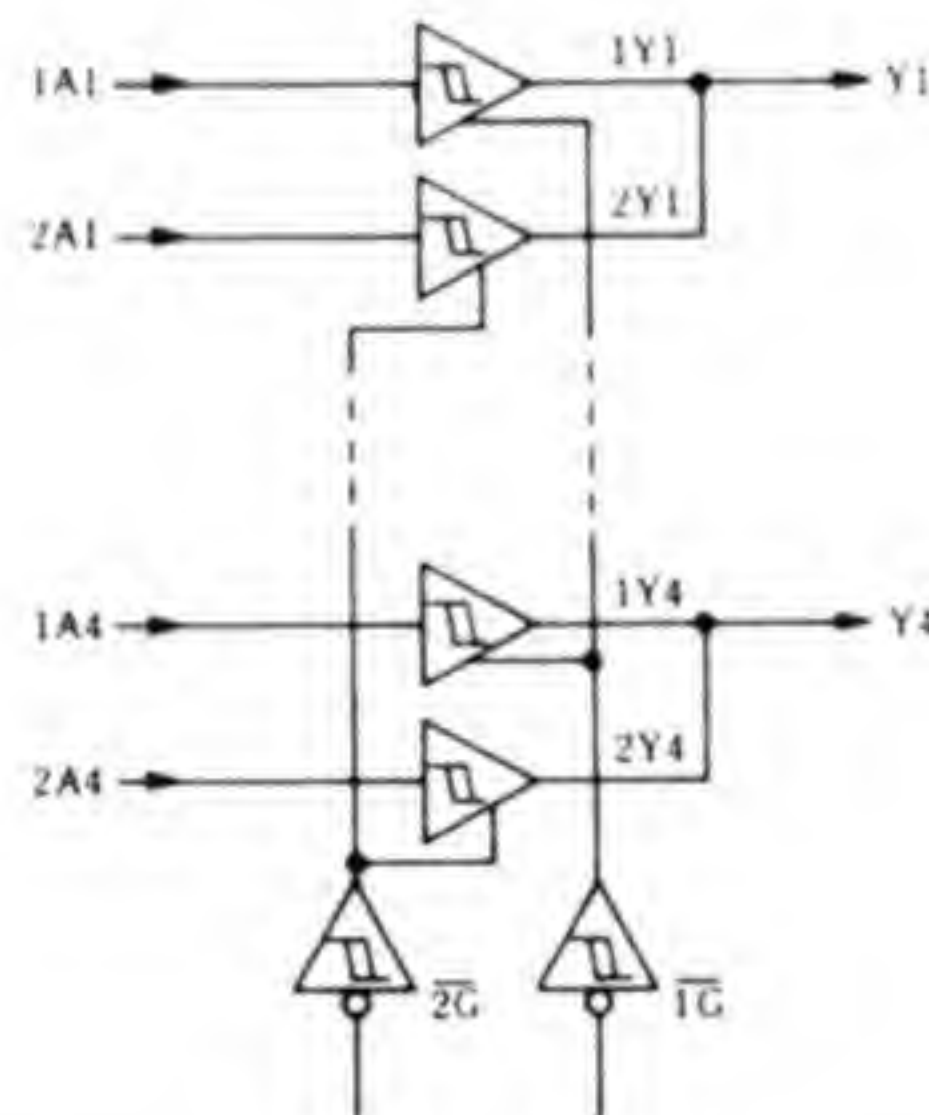
Octal 3-State Bus Buffers



- $\overline{1G}$, $\overline{2G}$ がHのとき、Yはハイインピーダンス
- $\overline{1G}$, $\overline{2G}$ がLのとき、Y=A
- 入力はPNPトランジスタ
- 入力ヒステリシス400mV

応用例

(データセレクト)



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	9.5	18	10	14	6.2	6.2	10.5	10	29		29	7.5	5.3	ns
tpd	max			H→L	↓	9.5	18	10	14	6.5	6.2	9.5	10	29		29	6.8	6	ns
tpd	max			Z→L	▽	13	30	20	22	8	7.5	12.0	10.5	38		38	11.5	9.4	ns
tpd	max			Z→H	△	13	23	20	22	6.7	9	12.0	9.5	38		38	11.5	9	ns
tpd	max			L→Z	▼	13.5	(25)	13	13	7	9	11.0	10.5	38		38	10	9.8	ns
tpd	max			H→Z	▲	13.5	(18)	10	10	7	6	13.5	10.5	38		38	10	8	ns
Icc	max			H		0.004	23	15	11	60	34	0.08	0.08	0.08		0.08	0.05	40	mA
Icc	max			L			46	24	17	90	90	0.08	0.08	0.08		0.08	27	80	mA
Icc	max			Z			54	27	20	90	54						0.05	10	mA
IiH	max	A	H				20	20	20	20	20							20	μA
IiL	max	A	L				0.2	0.1	0.1	1	0.3							1	mA
IiH	max	-G	H				20	20	20	20	20							20	μA
IiL	max	-G	L				0.2	0.1	0.1	1	0.3							1	mA
IOH	max			Y	H	12	15	15	15	3	15	24	24	6		6	3	15	mA
IOL	max			Y	L	12	24	24	16	64	64	24	24	6		6	24	64	mA
IZL	max			Y	L		20	20			50	5	5	5		5	3	50	μA
IZH	max			Y	H		20	20			50	5	5	5		5	24	50	μA

参考品種

74240

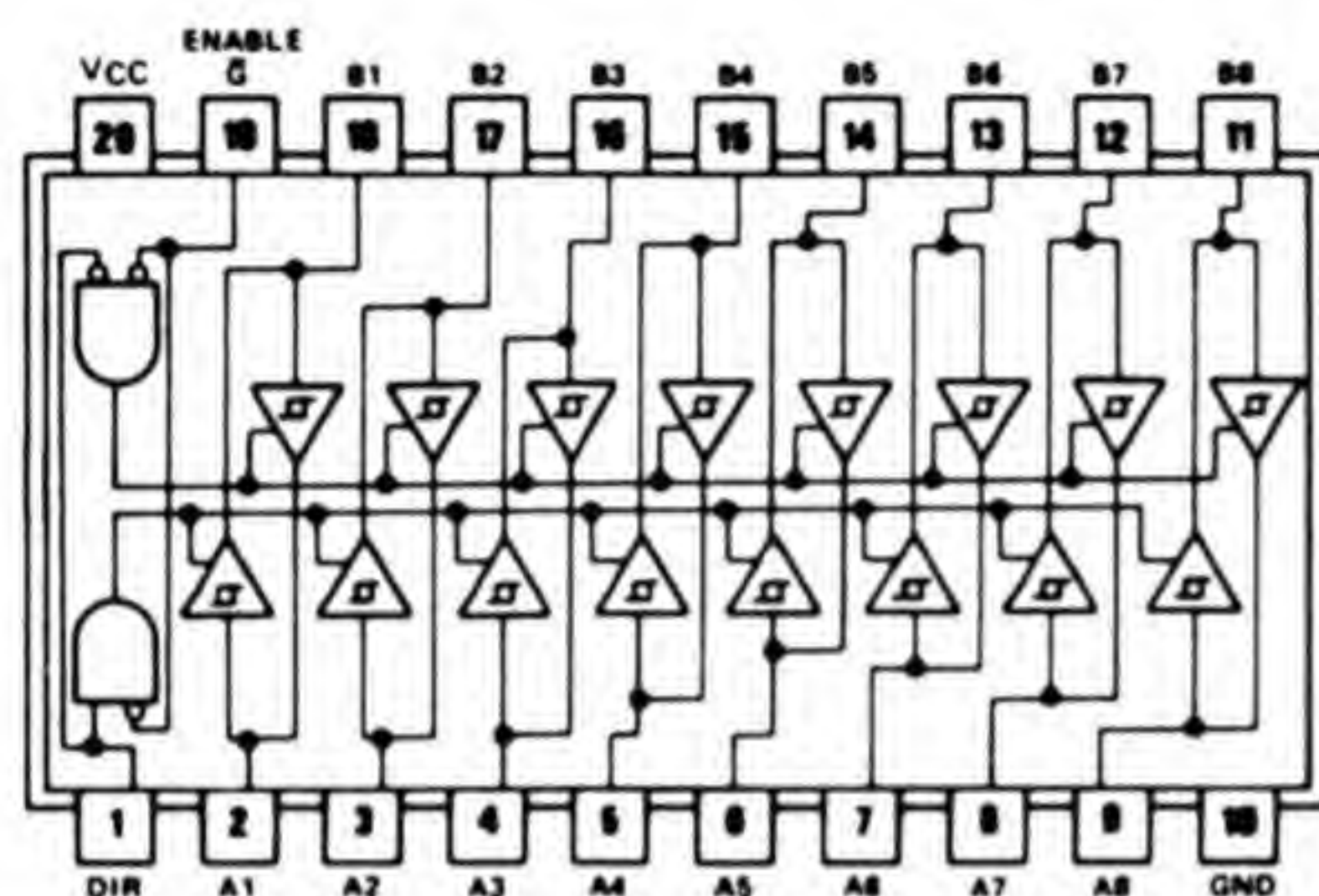
74241

81LS97

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電							DF		DF		DF			
NS	F	DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF		DF	
東芝	F	D			D		DFS	DFS	DF		DF	DF		
SGS														
CYPRES					DF									
IDT								DF						

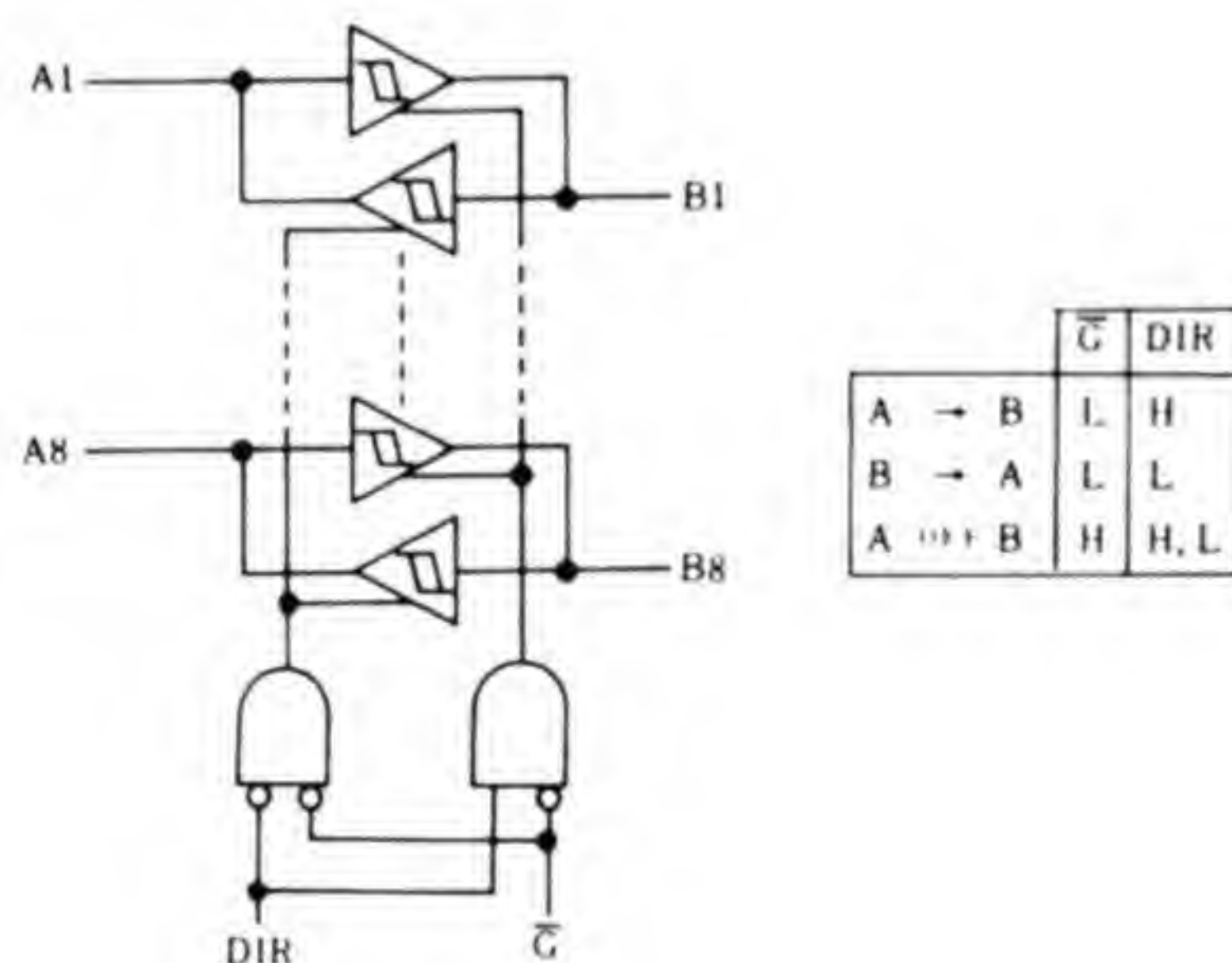
74245

Octal 3-State Bus Transceivers



- マイクロコンピュータのバスライン増強用
- 入力はPNPトランジスタ

応用例

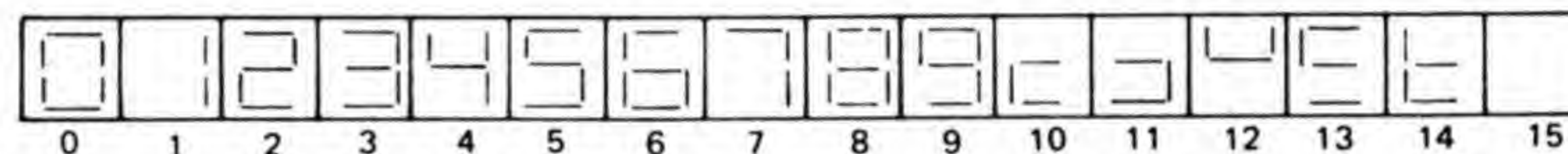
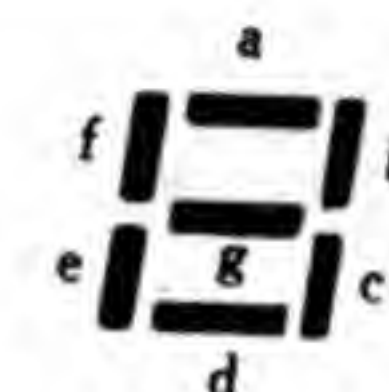
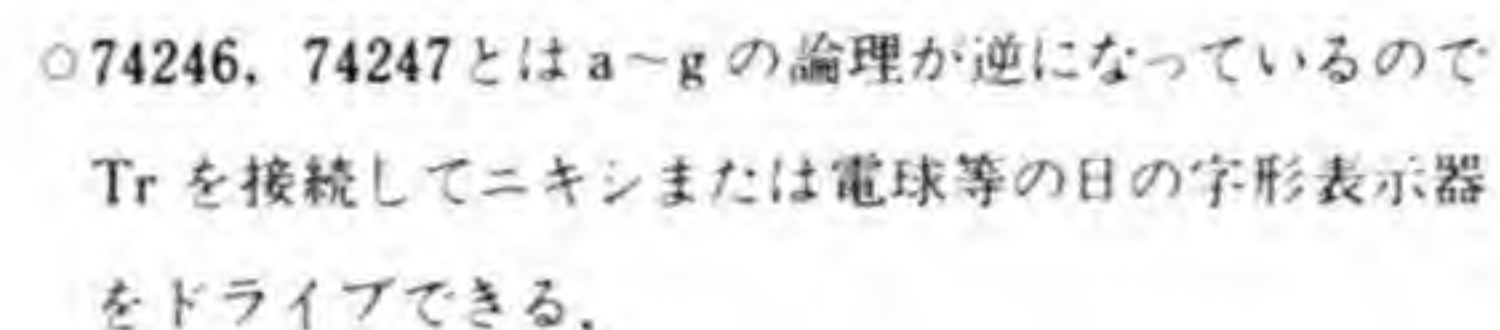


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑	10	12	10	13	6.5	6	9.5	9.5	22		29		7	ns
tpd	max			Z→L	▽	13	40	20	29	11	8	11.0	12	56		38		11.6	ns
tpd	max			Z→H	△	13	40	20	25	8	8	11.0	11	56		38		10.9	ns
tpd	max			L→Z	▼	14.5	(25)	15	21	6	5	10.0	11	52		38		9.7	ns
tpd	max			H→Z	▲	14.5	(25)	10	18	7.5	4.5	12.5	11	52		38		9.3	ns
lcc	max			H		0.004	70	45	32	195	62	0.08	0.08	0.08		0.08		57	mA
lcc	max			L			90	55	37	195	95	0.08	0.08	0.08		0.08		90	mA
lcc	max			Z			95	58	39	195	79							15	mA
I _{IH}	max	-G	H				20	20	20	20	20							20	μA
I _{IL}	max	-G	L				0.2	0.1	0.1	1.6	0.1							1.2	mA
I _{IH}	max	DIR	H				20	20	20	20	20							20	μA
I _{IL}	max	DIR	L				0.2	0.1	0.1	1.2	0.1							1.2	mA
I _{IH}	max	A, B	H				20	20	20	70	50							70	μA
I _{IL}	max	A, B	L				0.2	0.1	0.1	1	0.75							0.65	mA
I _{OH}	max			A	H	12	15	15	15	1	15	24	24	6		6		3	mA
I _{OL}	max			A	L	12	24	24	16	20	48	24	24	6		6		24	mA
I _{OH}	max			B	H		15	15	15	1	15	24	24	6		6		15	mA
I _{OL}	max			B	L		24	24	16	64	48	24	24	6		6		64	mA
I _{ZL}	max			A, B	L		10					5	5	5		5			μA
I _{ZH}	max			A, B	H		100					5	5	5		5			μA

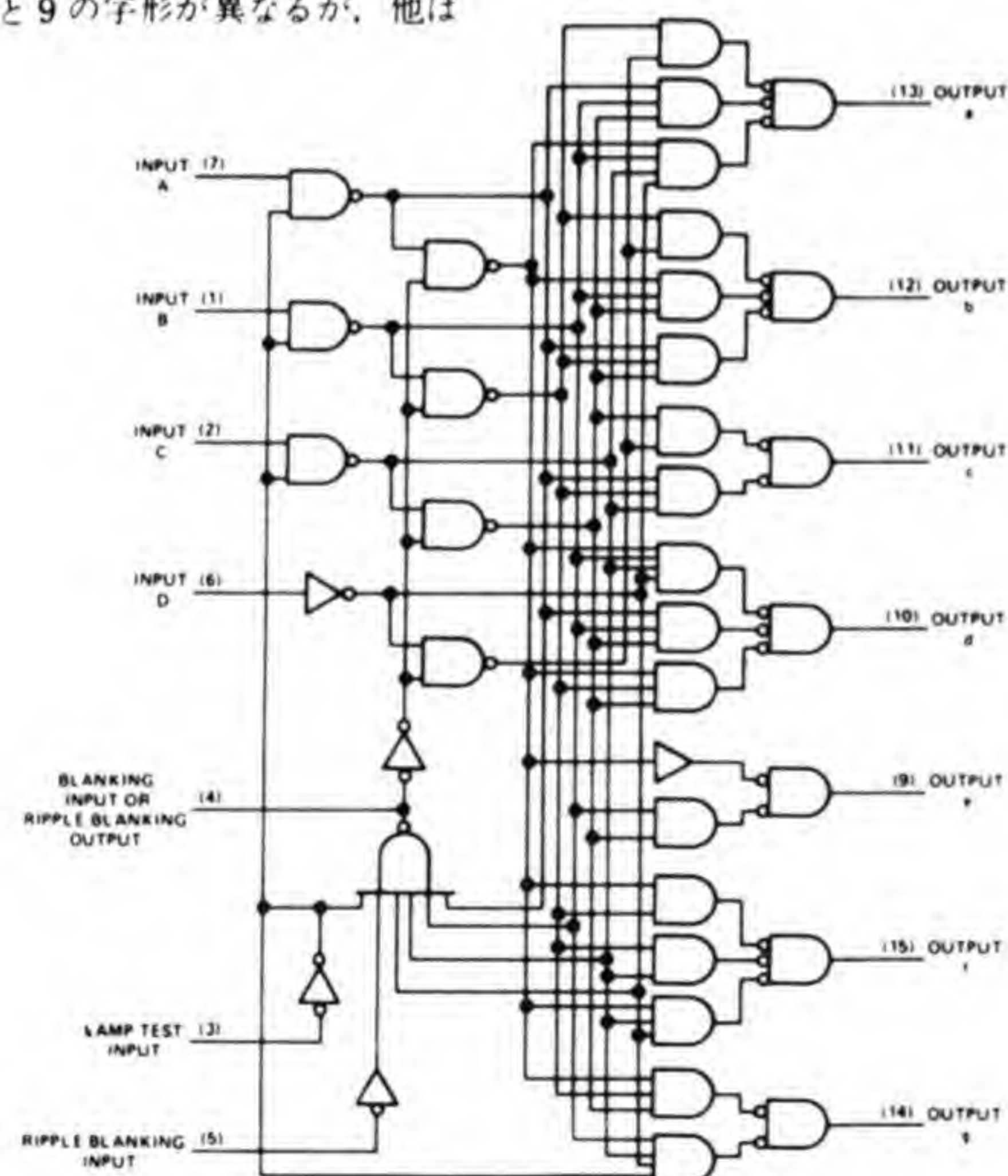
参考品種
74645
76460~2
8286

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電							DF	DF	DF		DF			
NS	F	DF	DF		DF	DF	DF	DF	DF		DF		DF	
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF	DF	DF	DF	DF	DF	DF		DF	DF	DF	
東芝	F	D			D		DFS	DFS	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

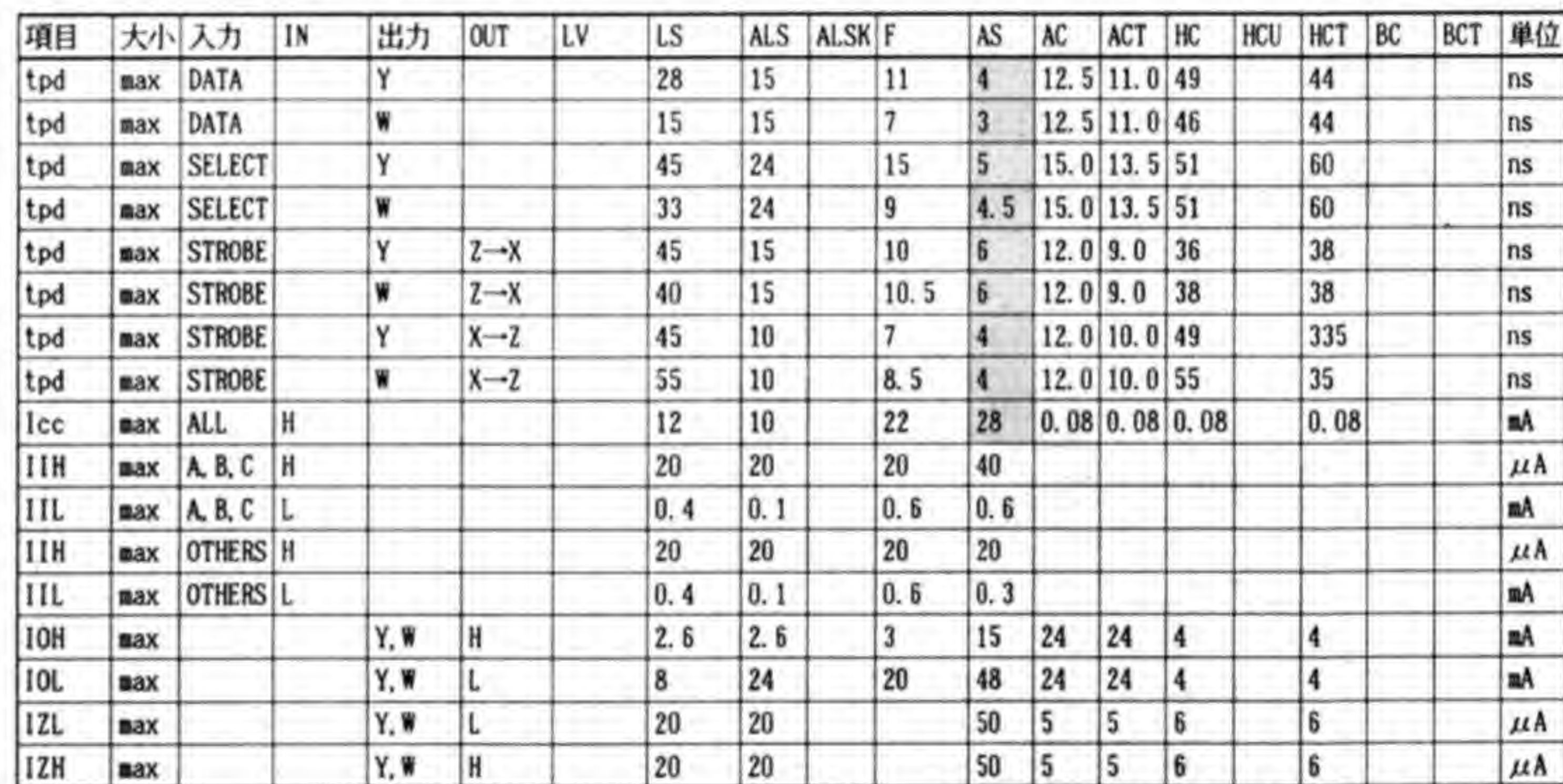
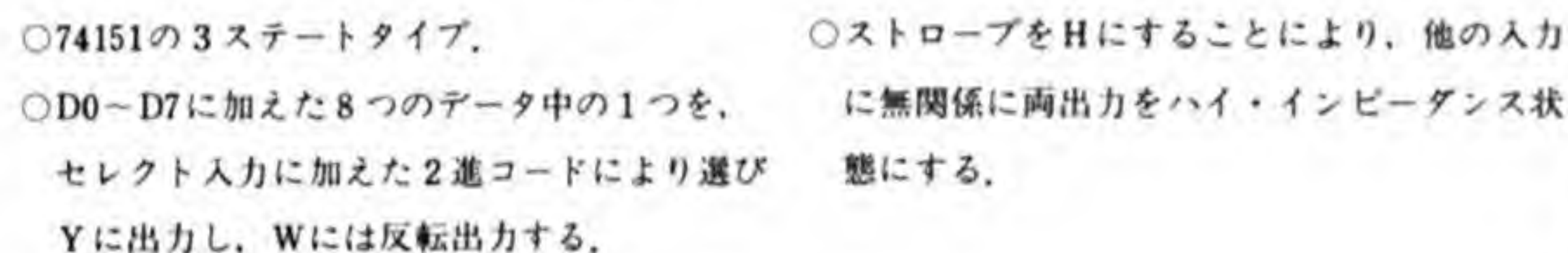
BCD to 7 Segment Decoder/Driver



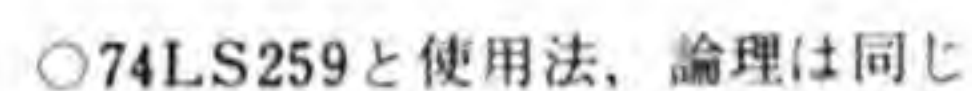
○7448とは6と9の字形が異なるが、他は
同一

[illegible]

3-State 8 to 1 Data Selector

[illegible]

Dual 4-Bit Addressable Latch

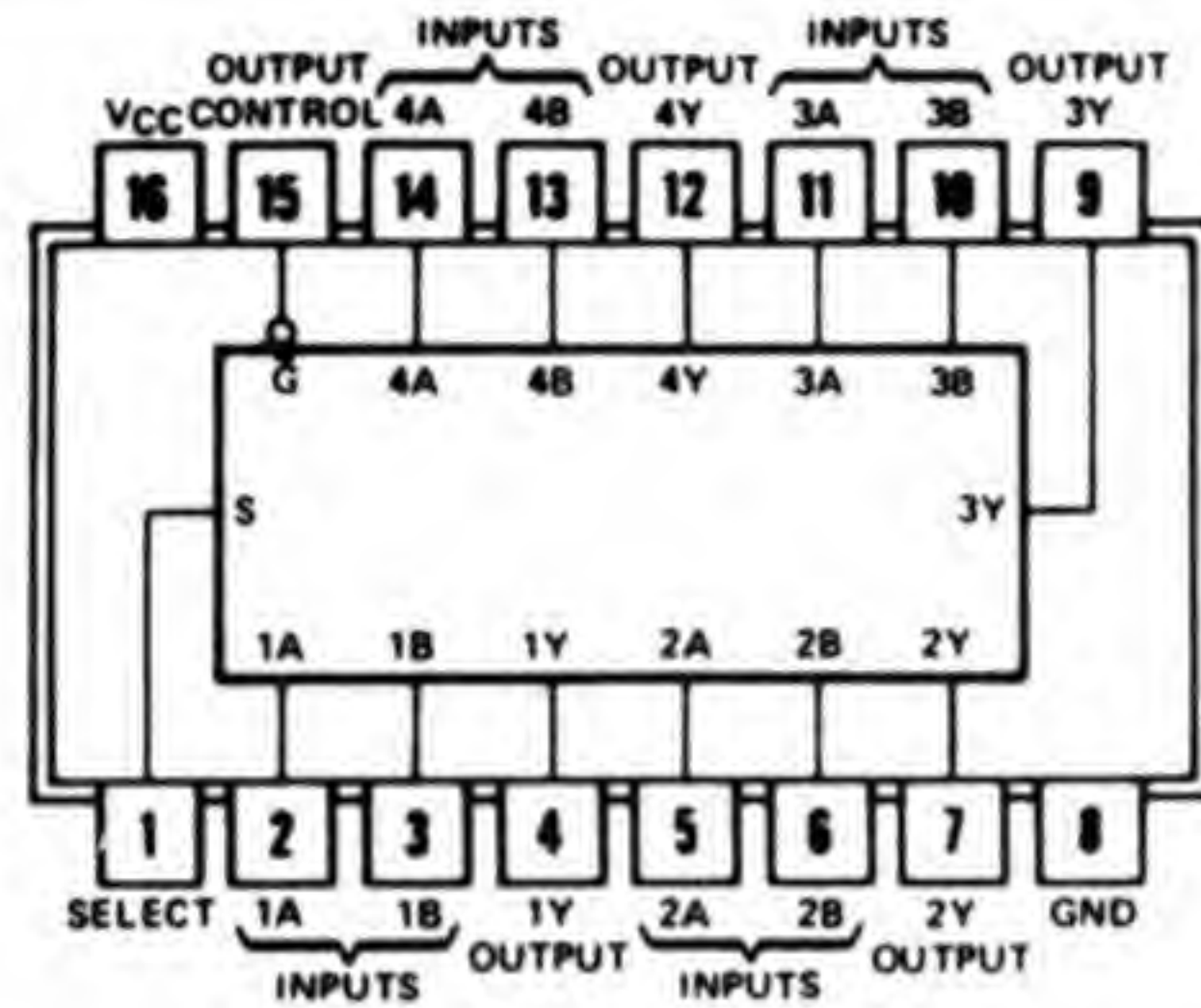


$\overline{\text{Clear}}$	$\overline{\text{Enable}}$	動作
H	L	ラッチ(1ビット書込み)
H	H	ホールド
L	L	正論理デコード
L	H	クリア

[illegible]

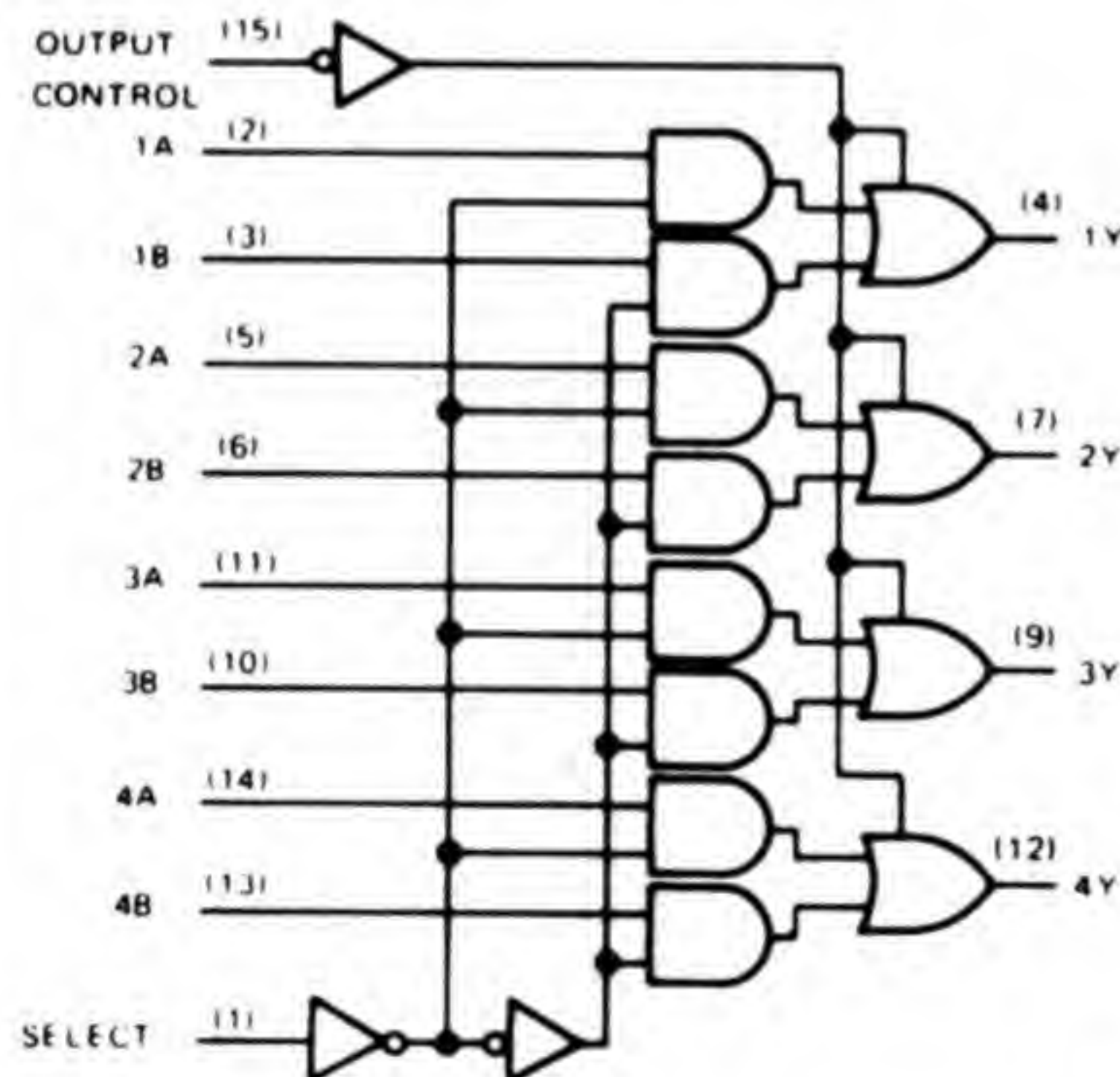
74257

Quad 3-State 2 to 1 Data Selectors



○74157の3ステートタイプ

- セレクト入力をLまたはHにすることにより
それぞれデータA、データBを選び出力する。
- アウトプットコントロールをHにすることにより、他の入力に無関係に出力をハイインピーダンス状態にする。



FUNCTION TABLE

INPUT		OUTPUT Y
Select-	Output Control	
X	H	Z
L	L	A
H	L	B

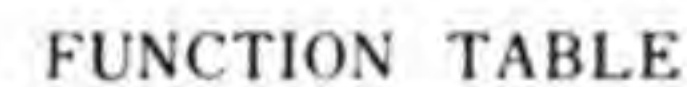
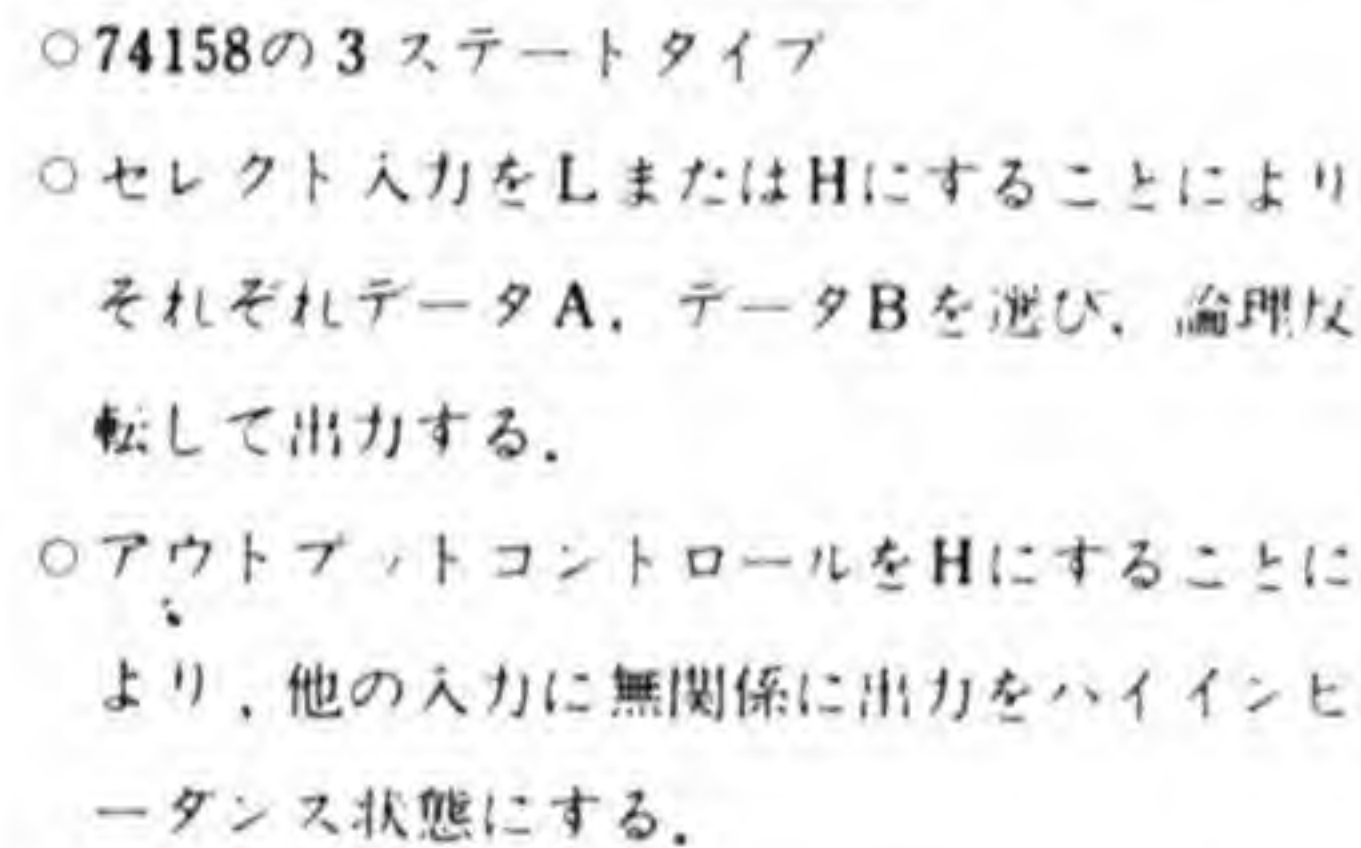
参考品種

74258

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			18	12		7	6	13.0	8.5	25		38			ns
tpd	max	SELECT		Y			21	22		15	11	16.0	11.5	25		44			ns
tpd	max	OUT. C.		Y			30	18		8.5	9.5	10.0	9.0	38		30			ns
tpd	max	OUT. C.		Y			(30)	15		7	7	10.0	10	38		30			ns
lcc	max	OUT. C.	H				19	6		15	19.7	0.08	0.08	0.08		0.08			mA
I _{IH}	max	A, B					40	20		20	40								μA
I _{IL}	max	A, B					0.8	0.1		0.6	1								mA
I _{IH}	max	OTHERS					20	20		20	20								μA
I _{IL}	max	OTHERS					0.4	0.1		0.6	0.5								mA
I _{OH}	max			Y	H		2.6	2.6		1	15	24	24	4		4			mA
I _{OL}	max			Y	L		24	24		20	48	24	24	4		4			mA
I _{ZL}	max			Y	L		20	20			50	5	5	5		5			μA
I _{ZH}	max			Y	H		20	20			50	5	5	5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		DF			DF		D		DF					
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF					
東芝		D			D		DF	DF	DF		DF			
SGS									DF		DF			
CYPRES														
IDT								DF						

Quad 3-State 2 to 1 Data Selectors



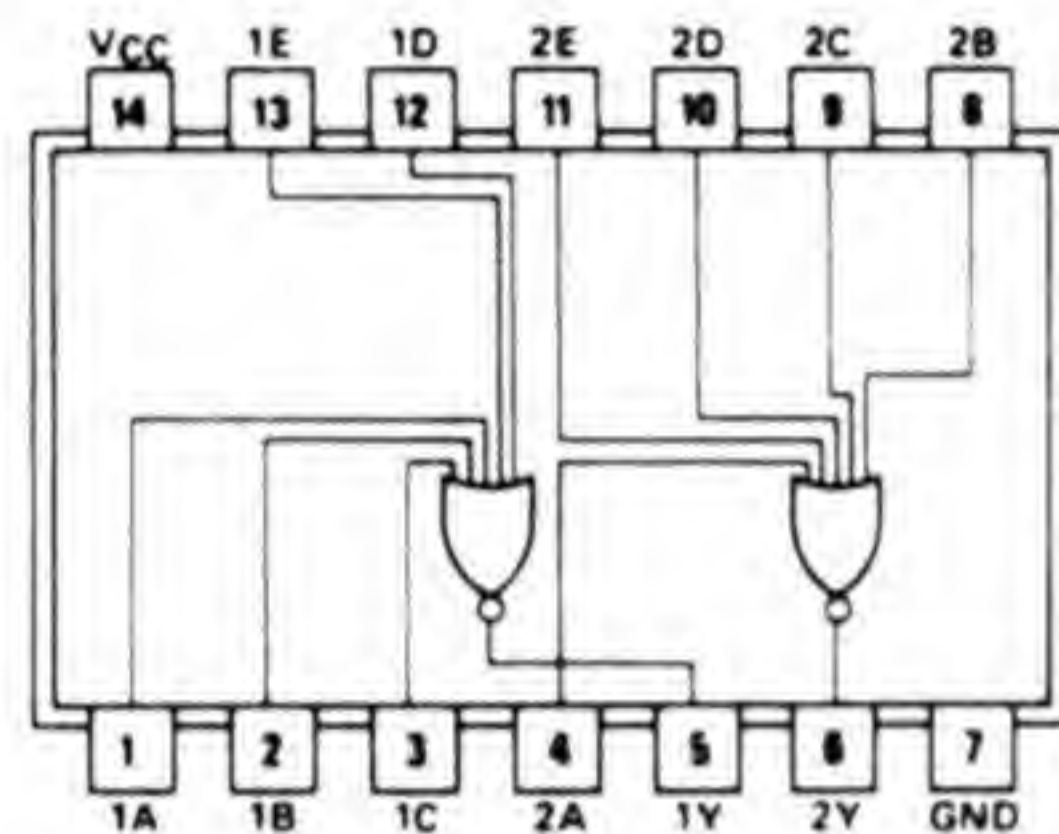
INPUT		OUTPUT Y
Select	Output Control	
X	H	Z
L	L	\overline{A}
H	L	\overline{B}

参考品種
74158
74257
74157

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			18	8		6	5	10.5	9.5	24		34			ns
tpd	max	SELECT		Y			21	25		11	10	14.0	11.5	35		43			ns
tpd	max	OUT. C.		Y	Z→X		30	18		8.5	10	10.0	9.5	35		35			ns
tpd	max	OUT. C.		Y	X→Z		(30)	18		7	6.5	11.0	10	38		38			ns
lcc	max	OUT. C.	H				19	4		9.5	13.5	0.08	0.08	0.08		0.08			mA
lIH	max	A, B					40	20		20	40								μA
lIL	max	A, B					0.8	0.1		0.6	1								mA
lIH	max	OTHERS					20	20		20	20								μA
lIL	max	OTHERS					0.4	0.1		0.6	0.5								mA
IOH	max			Y	H		2.6	2.6		1	15	24	24	4		4			mA
IOL	max			Y	L		24	24		20	48	24	24	4		4			mA
IZL	max			Y	L		20	20			50	5	5	5		5			μA
IZH	max			Y	H		20	20			50	5	5	5		5			μA

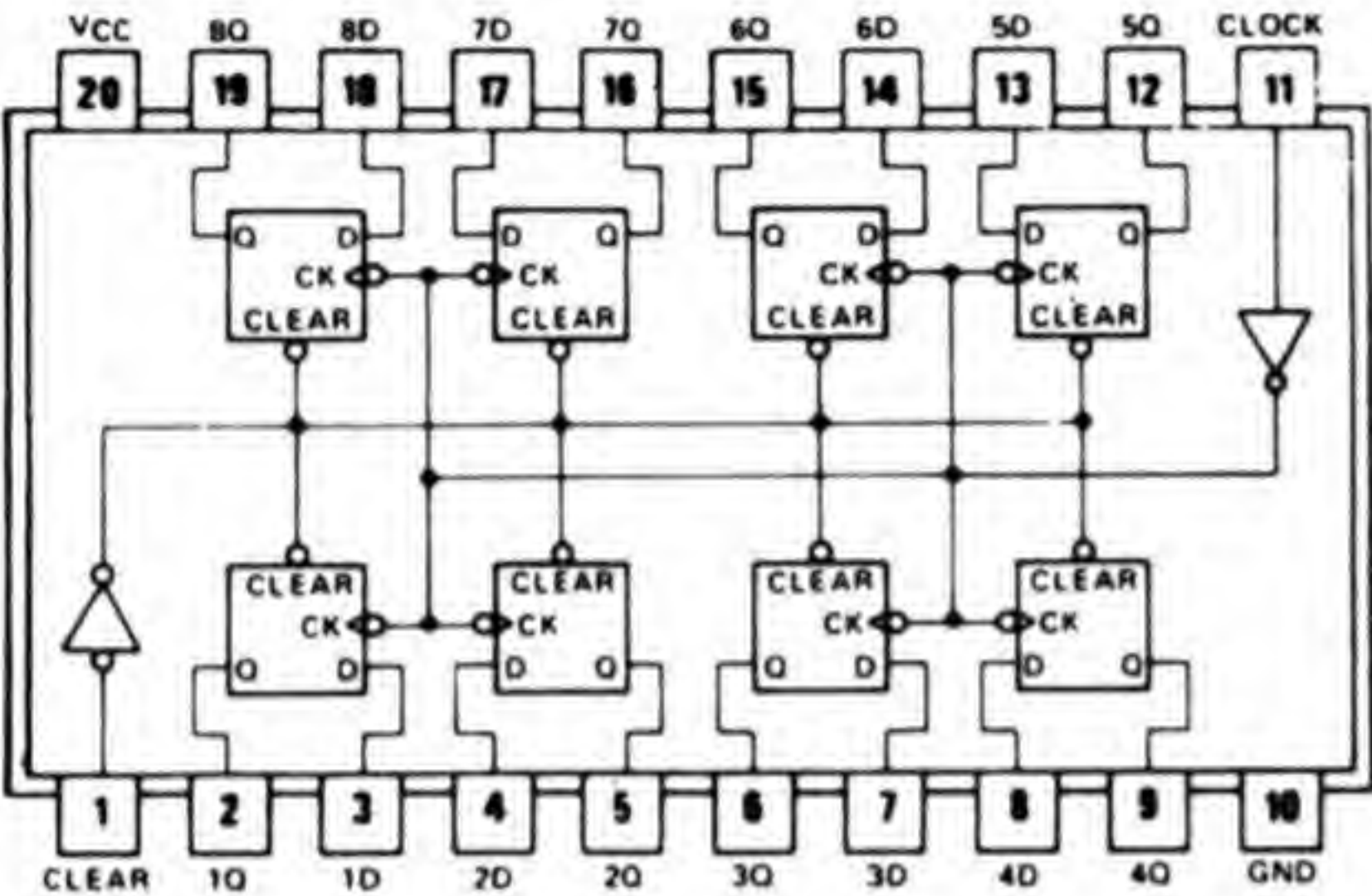
[illegible]

Dual 5 Input NOR

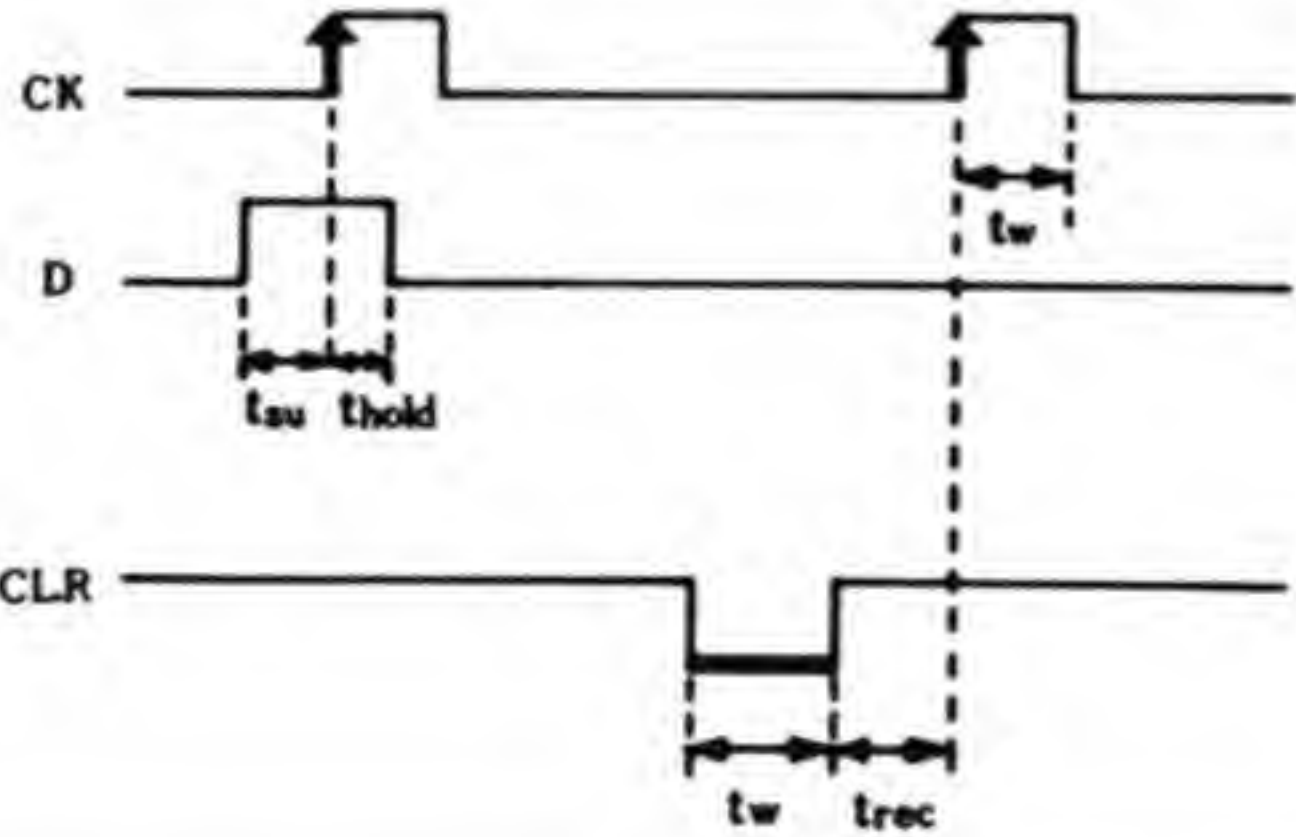
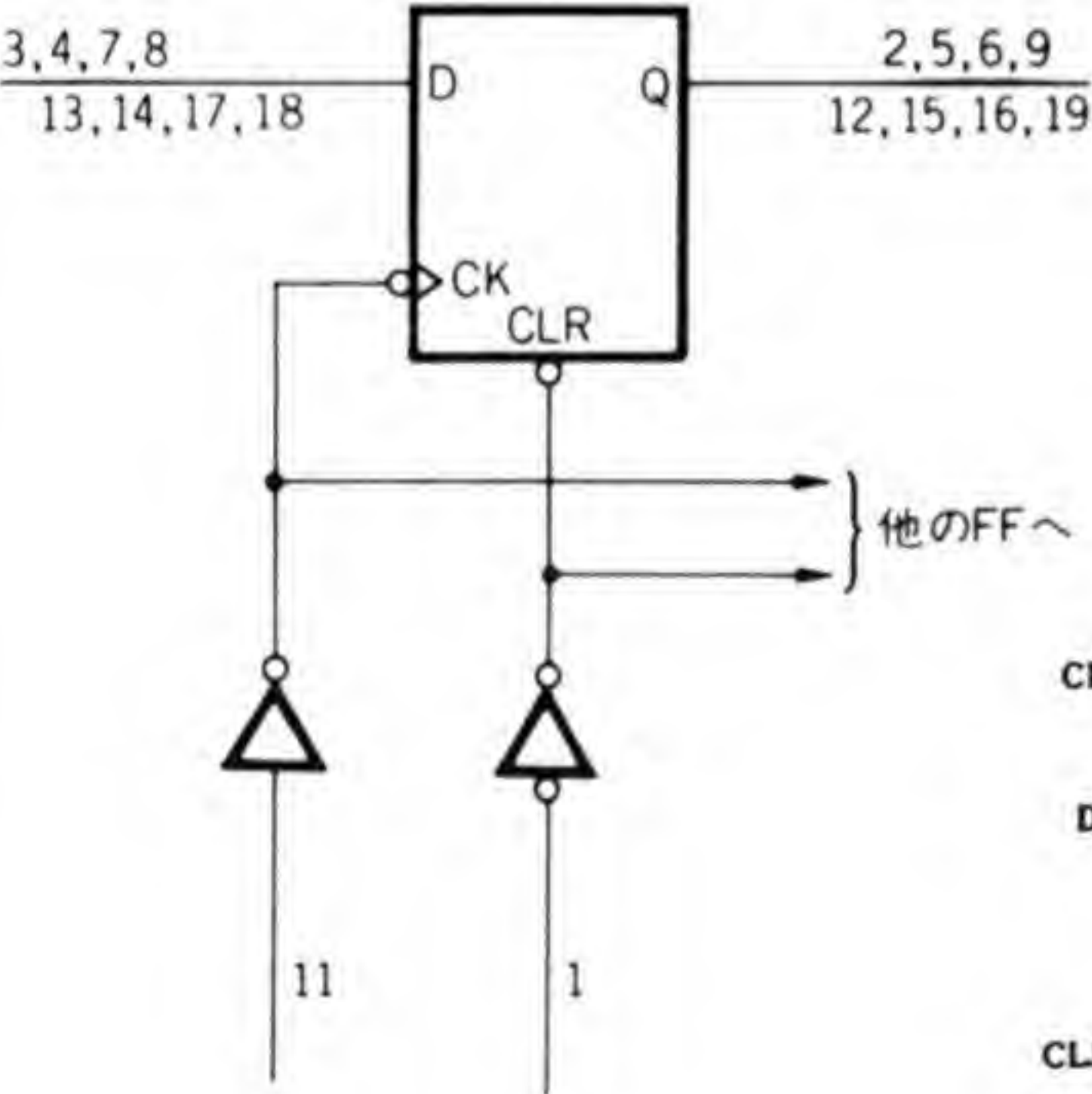
[illegible]

74273

Octal D-FFs



- 7474タイプ、リーディング・エッジトリガ(POS)
- コモンクロック・コモンクリア
- 7473の項参照



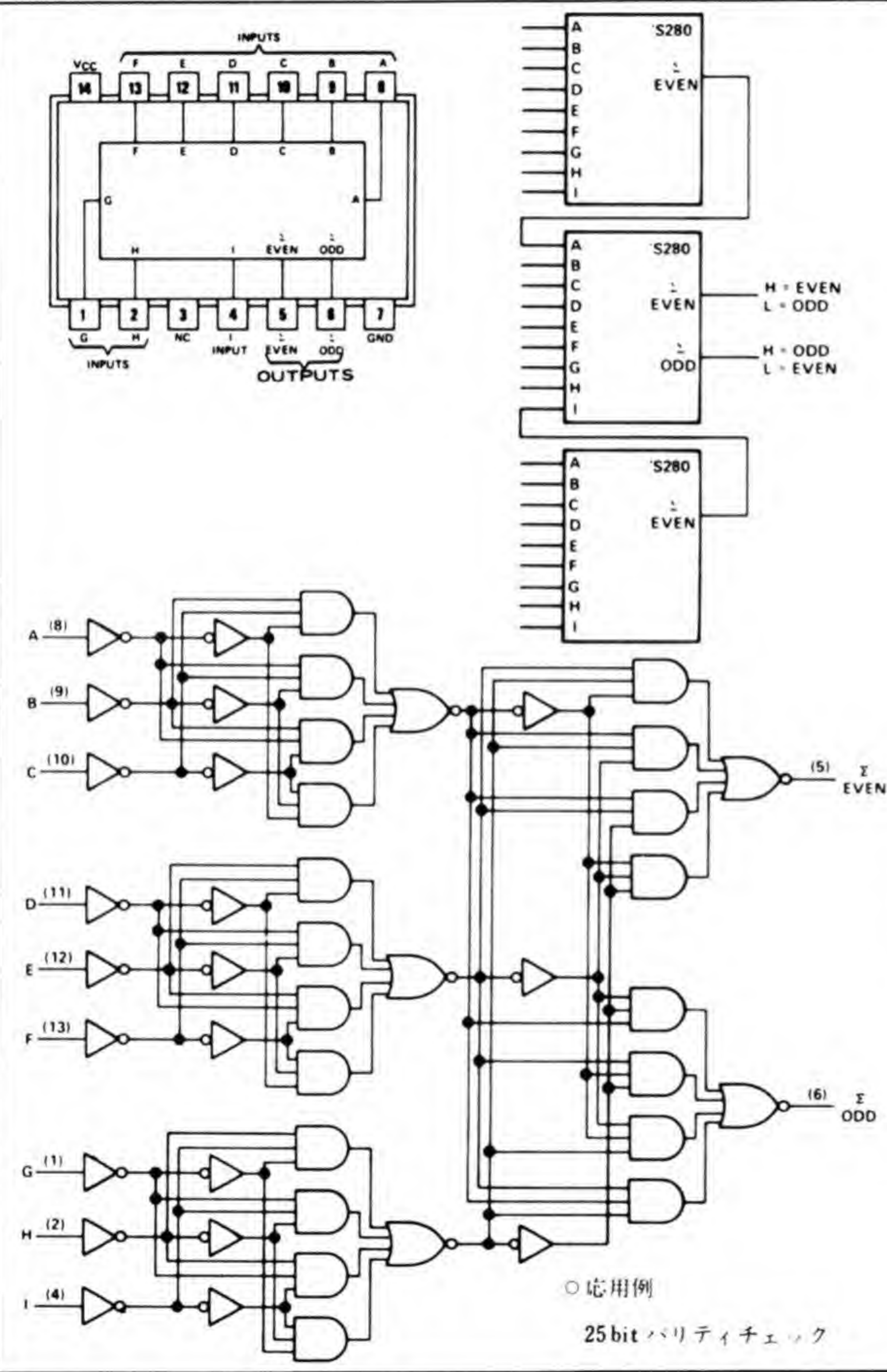
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				140	30	35		100		125	125	21		15			MHz
tw	min	CLK				8	20	14		5.5		4.5		20		33			ns
tsu	min	DATA				8.5	20 ↑	10		3.0		4.5		25		20			ns
thold	min	DATA				0	5 ↑	0 ↑		0		1.0		0		3			ns
trec	min	CLEAR				7 ↑	25 ↑			9.0		0		25		19			ns
tpd	max	CLEAR		Q		13	27	18		9.0		12.0		40		49			ns
tpd	max	CLK		Q		13	27	15		10.5		12.0		40		44			ns
Icc	max					0.004	27	29		88		0.08		0.08		0.08			mA
IIH	max	CLK, D	H				20	20		20									μA
IIL	max	CLK, D	L				0.4	0.1		20									mA
IIH	max	CLEAR	H				20	20		20									μA
IIL	max	CLEAR	L				0.4	0.1		20									mA
IOH	max			Q	H	12	0.4	2.6		1		24		4		4			mA
IOL	max			Q	L	12	8	24		20		24		4		4			mA

参考品種
74174
74175

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		DF					DF	DF	DF					
日電									DF					
NS	F	DF	DF		DF		DF		DF		D			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF		DF	DF	DF					
東芝	F	D					DFS	DF	DF		DF			
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

74280

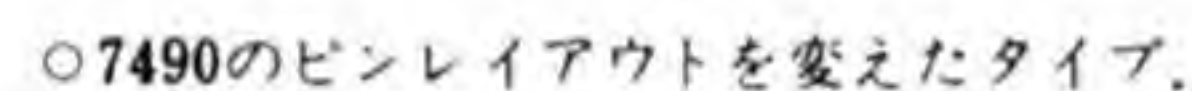
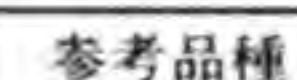
9-Bit Parity Generators/Checkers



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			ΣE	↑		50			14	7	14.5		52		53			ns
tpd	max			ΣE	↓		45			15.5	7.5	14.5		52		53			ns
tpd	max			ΣO	↑		35			14	7	14.5		52		56			ns
tpd	max			ΣO	↓		50			15.5	7.5	14.5		52		56			ns
Icc	max	ALL	L	OPEN			27			40	27	0.08		0.08		0.08			mA
IiH	max	ALL	H				20			20	20								μA
IiL	max	ALL	L				0.4			0.6	0.5								mA
IOH	max		ALL	H			0.4			1	2	4		4		4			mA
IOL	max		ALL	L			8			20	20	4		4		4			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF					DF	DF	DF								
		MOT		DF			DF				DF								
		日電									DF								
		NS					DF	DF	DF										
		PHIL									DF		DF						
		RCA							DF	DF	DF								
		SIGNE					DF												
		TI		DF	D		DF	DF	DF	DF	DF								
		東芝		D			D		DF	DF	DF								
		SGS												DF					
		CYPRES																	
		IDT																	

参考品種
74180

Decade Counter


$$R_9 = R_{9(1)} \cdot R_{9(2)}$$


7490

[illegible]

Pin diagram of the 74181 ALU. The chip has 16 pins. Top pins (1-8): VCC, C, D, TPJ, NC, CLEAR, A, NC. Bottom pins (1-8): B, E, TP1, CLK1, CLK2, TP2, Qout, GND. Internal connections: C to C, D to D, TPJ to TP, CLEAR to CLR, A to A, B to B, E to E, TP1 to TP, CLK1 to CLK1, CLK2 to CLK2, TP2 to TP2, Qout to Q. There is a small circle on the CLR pin (pin 11) indicating a bubble.

CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

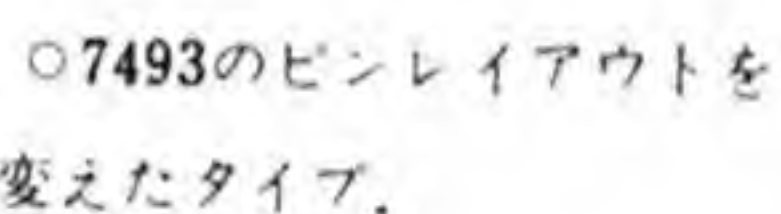
○ $2^2 \sim 2^{31}$ まで設定可能

FUNCTION TABLE

PROGRAMMING INPUTS					FREQUENCY DIVISION							
					Q		TP1		TP2		TP3	
E	D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	L	2 ⁷	4	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	L	H	H	2 ³	8	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	L	L	2 ⁴	16	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	L	H	2 ⁵	32	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	H	L	2 ⁶	64	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	L	H	H	H	2 ⁷	128	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
L	H	L	L	L	2 ⁸	256	2 ⁹	512	2 ¹⁷	131,072	2 ²⁷	4
L	H	L	L	H	2 ⁹	512	2 ⁹	512	2 ¹⁷	131,072	2 ²⁷	4
L	H	L	H	L	2 ¹⁰	1,024	2 ⁹	512	2 ¹⁷	131,072	2 ⁴	16
L	H	L	H	H	2 ¹¹	2,048	2 ⁹	512	2 ¹⁷	131,072	2 ⁴	16
L	H	H	L	L	2 ¹²	4,096	2 ⁹	512	2 ¹⁷	131,072	2 ⁶	64
L	H	H	L	H	2 ¹³	8,192	2 ⁹	512	2 ¹⁷	131,072	2 ⁶	64
L	H	H	H	L	2 ¹⁴	16,384	2 ⁹	512	Disabled Low		2 ⁸	256
L	H	H	H	H	2 ¹⁵	32,768	2 ⁹	512	Disabled Low		2 ⁸	256
H	L	L	L	L	2 ¹⁶	65,536	2 ⁹	512	2 ³	8	2 ¹⁰	1,024
H	L	L	L	H	2 ¹⁷	131,072	2 ⁹	512	2 ³	8	2 ¹⁰	1,024
H	L	L	H	L	2 ¹⁸	262,144	2 ⁹	512	2 ⁵	32	2 ¹²	4,096
H	L	L	H	H	2 ¹⁹	524,288	2 ⁹	512	2 ⁵	32	2 ¹²	4,096
H	L	H	L	L	2 ²⁰	1,048,576	2 ⁹	512	2 ⁷	128	2 ¹⁴	16,384
H	L	H	L	H	2 ²¹	2,097,152	2 ⁹	512	2 ⁷	128	2 ¹⁴	16,384
H	L	H	H	L	2 ²²	4,194,304	Disabled Low		2 ⁹	512	2 ¹⁶	85,536
H	L	H	H	H	2 ²³	8,388,608	Disabled Low		2 ⁹	512	2 ¹⁶	85,536
H	H	L	L	L	2 ²⁴	16,777,216	2 ³	8	2 ¹¹	2,048	2 ¹⁸	262,144
H	H	L	L	H	2 ²⁵	33,554,432	2 ³	8	2 ¹¹	2,048	2 ¹⁸	262,144
H	H	L	H	L	2 ²⁶	67,108,864	2 ⁵	32	2 ¹³	8,192	2 ²⁰	1,048,576
H	H	L	H	H	2 ²⁷	134,217,728	2 ⁵	32	2 ¹³	8,192	2 ²⁰	1,048,576
H	H	H	L	L	2 ²⁸	268,435,456	2 ⁷	128	2 ¹⁵	32,768	2 ²²	4,194,304
H	H	H	L	H	2 ²⁹	536,870,912	2 ⁷	128	2 ¹⁵	32,768	2 ²²	4,194,304
H	H	H	H	L	2 ³⁰	1,073,741,824	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216
H	H	H	H	H	2 ³¹	2,147,483,648	2 ⁹	512	2 ¹⁷	131,072	2 ²⁴	16,777,216

[illegible]

Binary Counter


$$R_0 = R_{0(1)} \cdot R_{0(2)}$$
7493[illegible]

Pin diagram of the 74VHC00 hex inverters. The diagram shows a rectangular chip with pins 1 through 16. Pin 16 is VCC, pin 15 is C, pin 14 is D, pin 13 is NC, pin 12 is NC, pin 11 is CLEAR, pin 10 is NC, and pin 9 is NC. On the bottom, pin 1 is B, pin 2 is A, pin 3 is TP, pin 4 is CLK1, pin 5 is CLK2, pin 6 is NC, pin 7 is QOUT, and pin 8 is GND. Internal connections show C, D, and CLR inputs to a logic block, and B, A, TP, CLK1, CLK2, and Q outputs from it.

- A～Dで分周比を設定できるカウンタ
- $2^2 \sim 2^{15}$ まで設定可能

FUNCTION TABLE

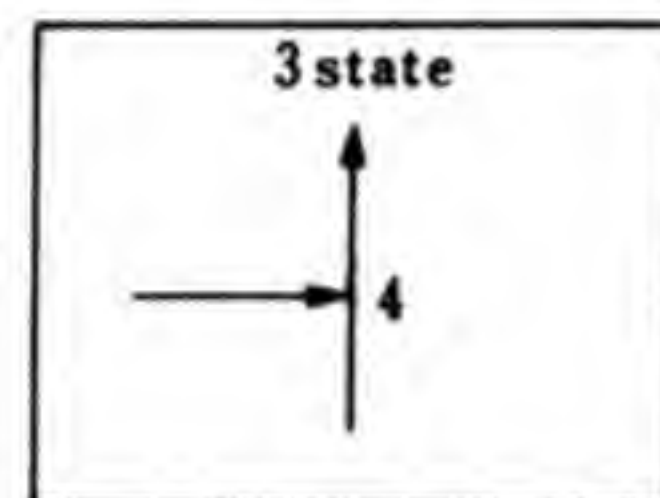
CLEAR	CLK 1	CLK 2	Q OUTPUT MODE
L	X	X	Cleared to L
H	↑	L	Count
H	L	↑	Count
H	H	X	Inhibit
H	X	H	Inhibit

PROGRAMMING INPUTS				FREQUENCY DIVISION			
				Q		TP	
D	C	B	A	BINARY	DECIMAL	BINARY	DECIMAL
L	L	L	L	Inhibit	Inhibit	Inhibit	Inhibit
L	L	L	H	Inhibit	Inhibit	Inhibit	Inhibit
L	L	H	L	2 ²	4	2 ⁹	512
L	L	H	H	2 ³	8	2 ⁹	512
L	H	L	L	2 ⁴	16	2 ⁹	512
L	H	L	H	2 ⁵	32	2 ⁹	512
L	H	H	L	2 ⁶	64	2 ⁹	512
L	H	H	H	2 ⁷	128	Disabled Low	
H	L	L	L	2 ⁸	256	2 ²	4
H	L	L	H	2 ⁹	512	2 ³	8
H	L	H	L	2 ¹⁰	1,024	2 ⁴	16
H	L	H	H	2 ¹¹	2,048	2 ⁵	32
H	H	L	L	2 ¹²	4,096	2 ⁶	64
H	H	L	H	2 ¹³	8,192	2 ⁷	128
H	H	H	L	2 ¹⁴	16,384	2 ⁸	256
H	H	H	H	2 ¹⁵	32,768	2 ⁹	512


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f _{max}	min	CLK1/2					30							21					MHz
t _{pd}	max	CLK1/2	L→H	↑			90							150					ns
t _{pd}	max	CLK1/2	H→L	↓			120							150					ns
I _{cc}	max						75							0.04					mA
I _{IH}	max	CLK	H				20												μA
I _{IL}	max	CLK	L				0.8												mA
I _{IH}	max	OTHERS	H				20												μA
I _{IL}	max	OTHERS	L				0.4												mA
I _{OH}	max			ALL	H		1.2							4					mA
I _{OL}	max			ALL	L		24							4					mA

[illegible]

4-Bit Shift Register (3-State)



7495の3 stateタイプ295A
から295Bになり出力の
シンクが増加した

入 力			出力	動 作
Mode control	CK	Output control	Q	
L		—	—	右シフト
H				ロード
—		L	Z	—

[illegible][illegible]

Pin diagram of the 74VHC04 hex inverters. The diagram shows a rectangular chip with pins 1 through 16. Pin 16 is VCC, pin 1 is GND. Pins 2, 4, 6, 8, 10, 12, 14, and 15 are inputs. Pins 3, 5, 7, 9, 11, 13, and 16 are outputs. The chip contains six inverters, each with an input (A) and an output (Y). The inputs are labeled A, B, C, D, E, and F. The outputs are labeled Y1, Y2, Y3, Y4, Y5, and Y6. The chip is labeled '74VHC04'.

K カウンタ
(ディジタル・コントロール)

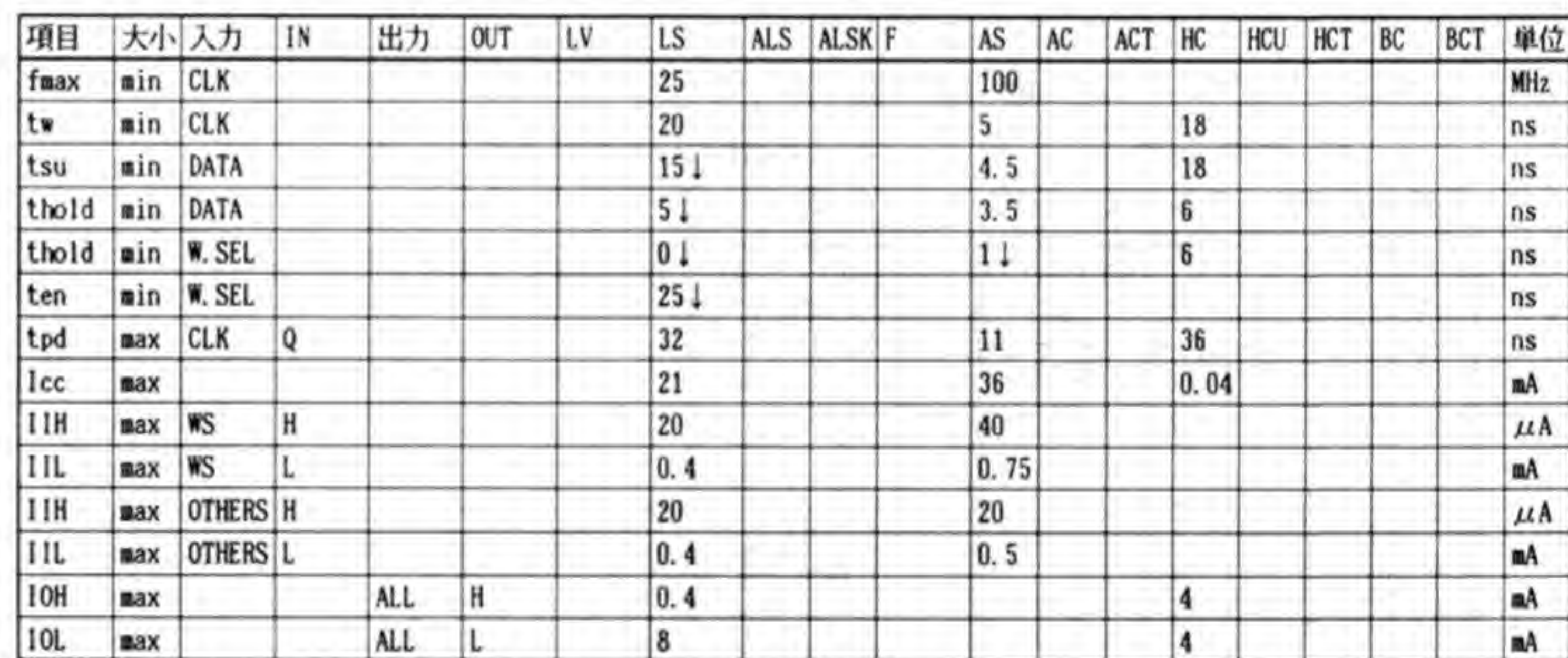
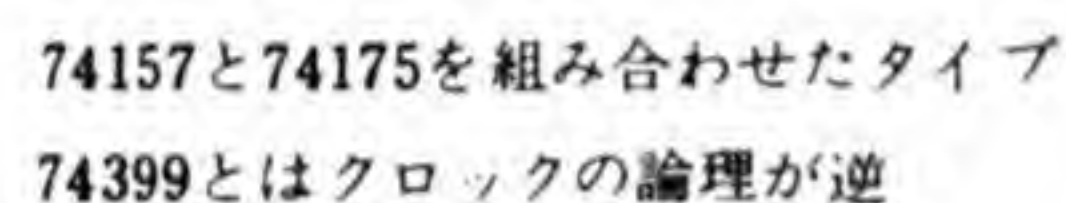
D	C	B	A	MODULO (K)
L	L	L	L	禁止
L	L	L	H	2^2
L	L	H	L	2^4
L	L	H	H	2^5
L	H	L	L	2^6
L	H	L	H	2^7
L	H	H	L	2^8
L	H	H	H	2^9
H	L	L	L	2^{10}
H	L	L	H	2^{11}
H	L	H	L	2^{12}
H	L	H	H	2^{13}
H	H	L	L	2^{14}
H	H	L	H	2^{15}
H	H	H	L	2^{16}
H	H	H	H	2^{17}


ϕA	ϕB	XORPD OUT
L	L	L
L	H	H
H	L	H
H	H	L

$\phi A2$	ϕB	ECPD OUT
H または L	↓	H
↓	H または L	L
H または L	↑	変化なし
↑	H または L	変化なし

[illegible][illegible]

4-Bit 2 Input Multiplex Register



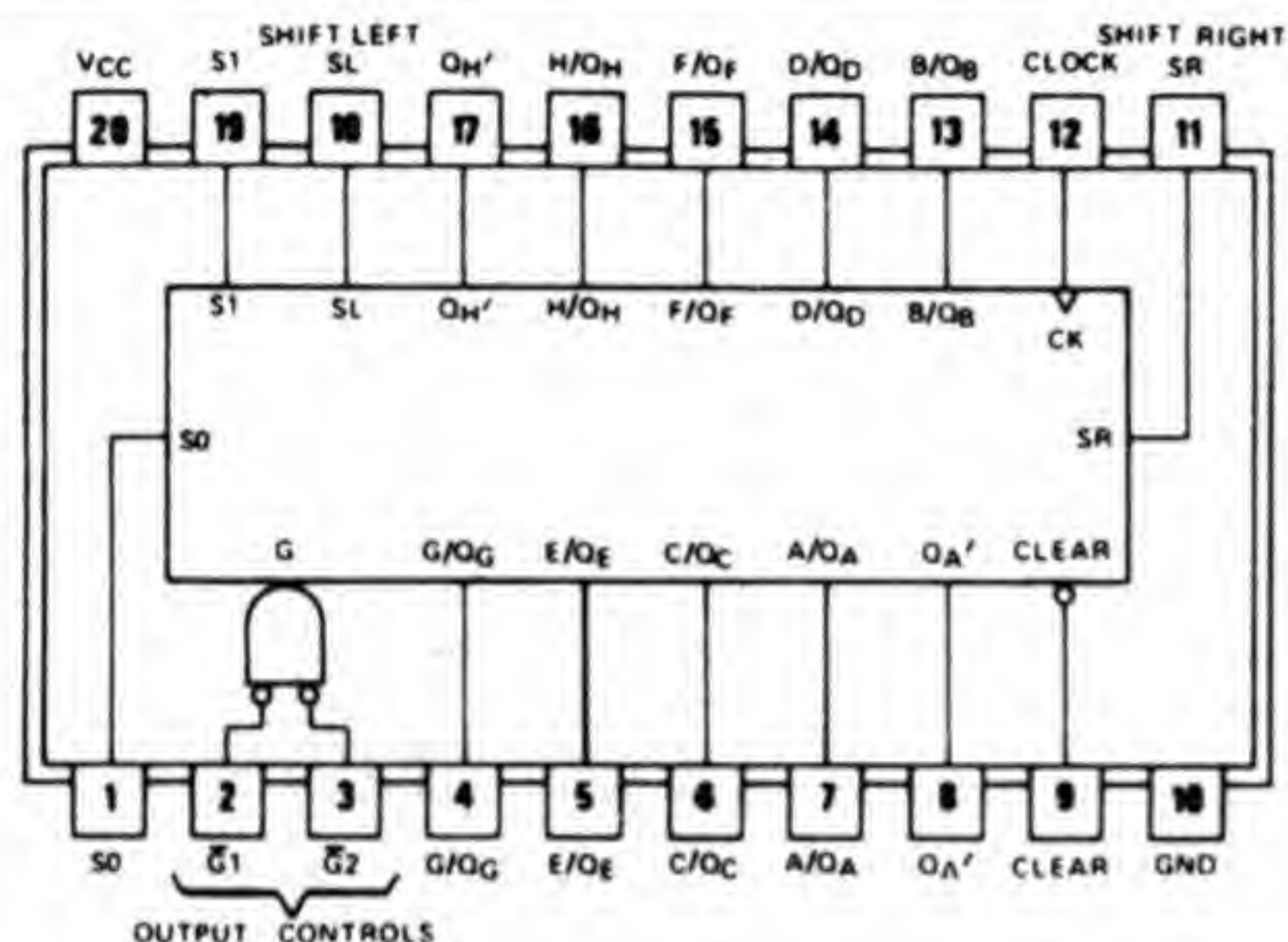
入 力		出 力			
Word select	CK	Q _A	Q _B	Q _C	Q _D
L		D _{A1}	D _{B1}	D _{C1}	D _{D1}
H		D _{A2}	D _{B2}	D _{C2}	D _{D2}



參考品種
74399
74398

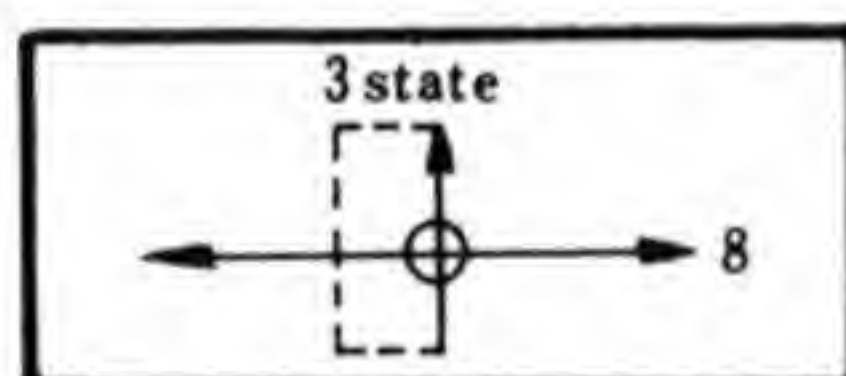
[illegible]

74299

8-Bit Shift Register



入 力					出力	動 作	
Clear	Mode select		CK	Output control			Q
	S1	S0		C1	G2		
H	L	H		—	—	—	右シフト
H	H	L				—	左シフト
H	H	H				Z	ロ ード
H	L	L				—	ホールド
	X	X	X			—	ク リ ア
—				H	X	Z	—
				X	H		



74323のクリアを非同期に変えたタイプ

注) 出力 Q_A Q_H の t_{pd} については負荷条件
 $LS: 2k\Omega + 15pF$
 $S: 1k\Omega + 15pF$

パラレルデータインプットがデータ出力端子Qと同じになっている。
 したがってロード動作の時は自動的にハイインピーダンス状態 (Z) になる。

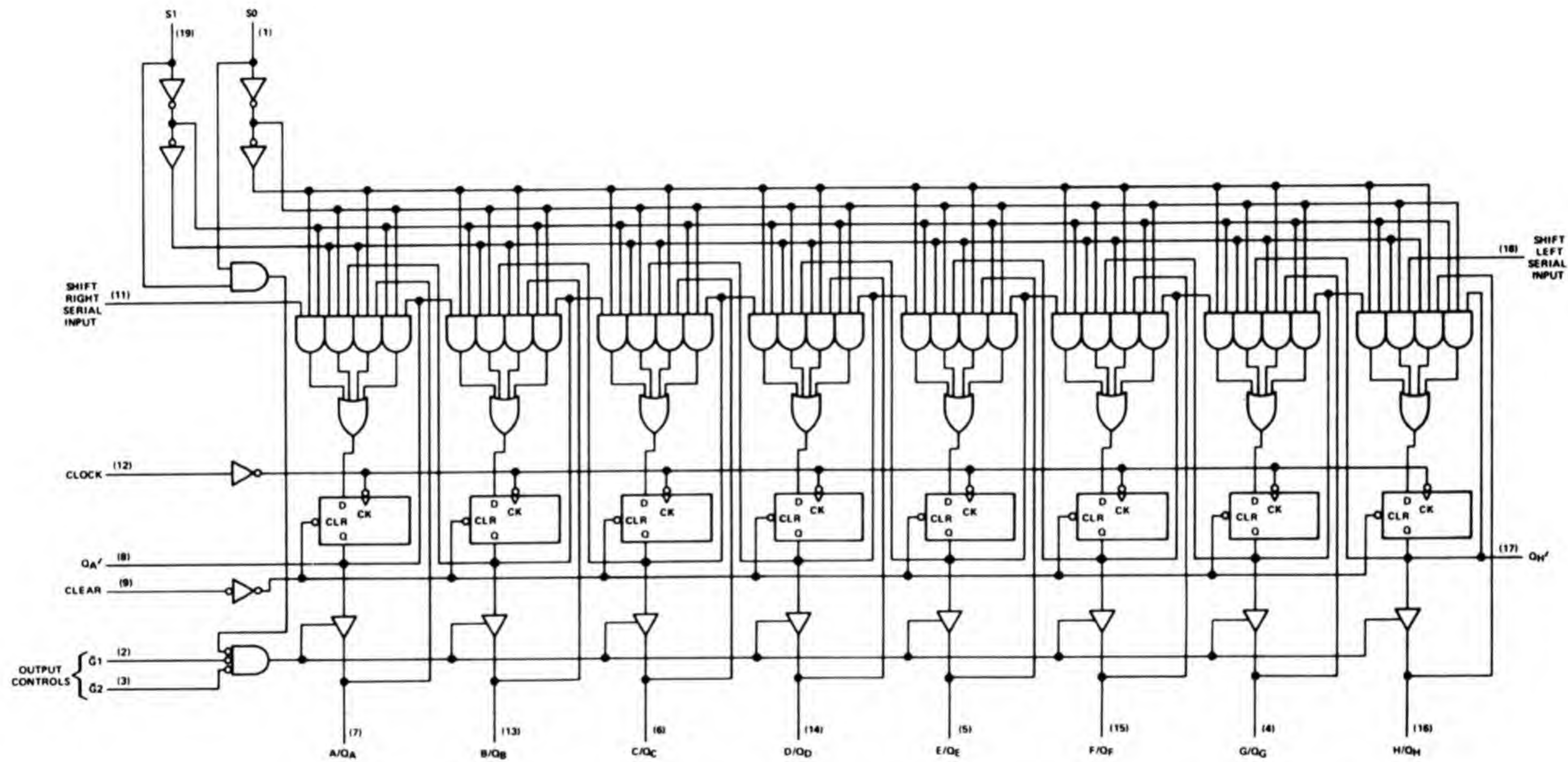
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f_{max}	min	CLK					35	30		70		90	110	20		18			MHz
t_w	min	CK, C, D					20	16.5		7		5.0	4.5	25		33			ns
t_{su}	min	CK, C, D					20 ↑	15 ↑		5		4.0	4.5	25		31			ns
t_{hold}	min	CK, C, D					0 ↑	0 ↑		0		0	1.0	5		0			ns
t_{rec}	min	CLEAR					20 ↑			5		0	1.5	10		9			ns
t_{en}	min	MODE					10 ↑	20 ↑				3.5		40					ns
t_{hold}	min	CLK					10 ↑	0 ↑		0		0		5					ns
t_{pd}	max	CLK		$Q' a/h$			25	18		10	10	14.5	14	48		44			ns
t_{pd}	max	CLEAR		$Q' a/h$			35	22		10.5	12	12.5	18	55		58			ns
t_{pd}	max	CLEAR		$Q_a \sim Q_h$			35	22		15	12	11.5	17.5	55		58			ns
t_{pd}	max	CLK		$Q_a \sim Q_h$			25	19		12	10	13.5	15	48					ns
t_{pd}	max	-G1, G2		$Q_a \sim Q_h$			35	22		11	10	9.5	13.5	40		46			ns
t_{pd}	max	-G1, G2		$Q_a \sim Q_h$			(25)	15		7	7	16.0	13.5	40		46			ns
I_{cc}	max						53	40		95	95	0.08	0.08	0.08		0.08			mA
I_{IH}	max	S1, S0 H					40	20		20									μA
I_{IL}	max	S1, S0 L					0.8	0.2		1.2									mA
I_{IH}	max	OTHERS H					30	20		20									μA
I_{IL}	max	OTHERS L					0.4	0.2		0.6									mA
I_{IH}	max	CK, CLR H					30	20		20									μA
I_{IL}	max	CK, CLR L					0.4	0.1		0.6									mA

参考品種

74323

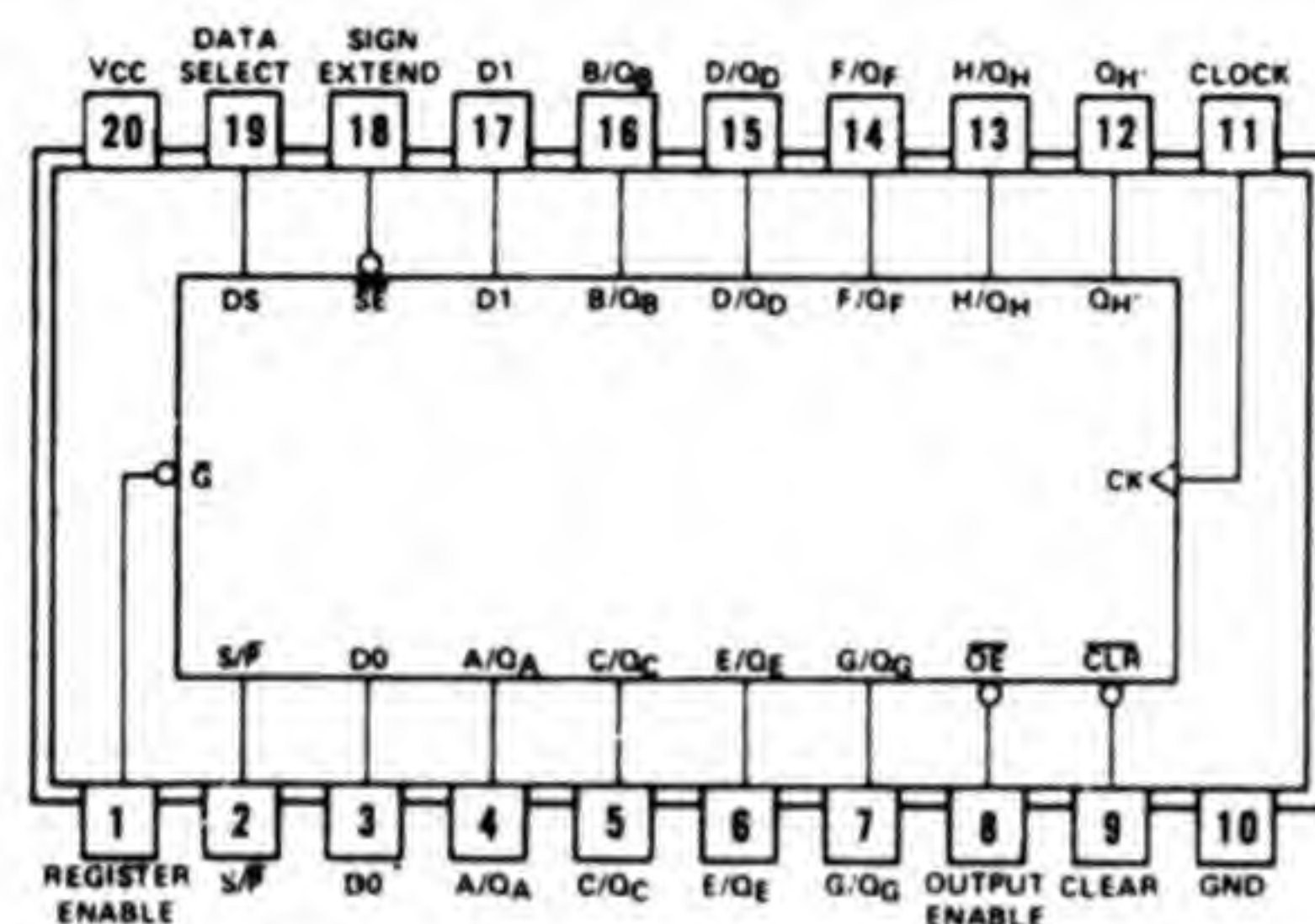
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D			D		DF	D	DF					
日電									D					
NS		DF			DF		DF	DF	DF					
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		D	DF		D									
東芝		D					DF	DF	DF					
SGS									DF					
CYPRES														
IDT								DF						

74299

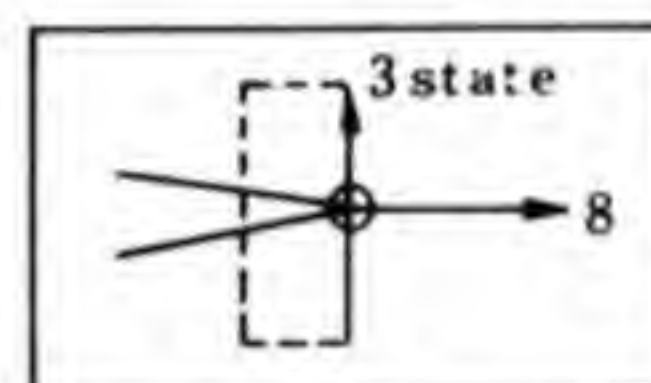


74322

8-Bit Shift Register



○シリアル入力が2つある



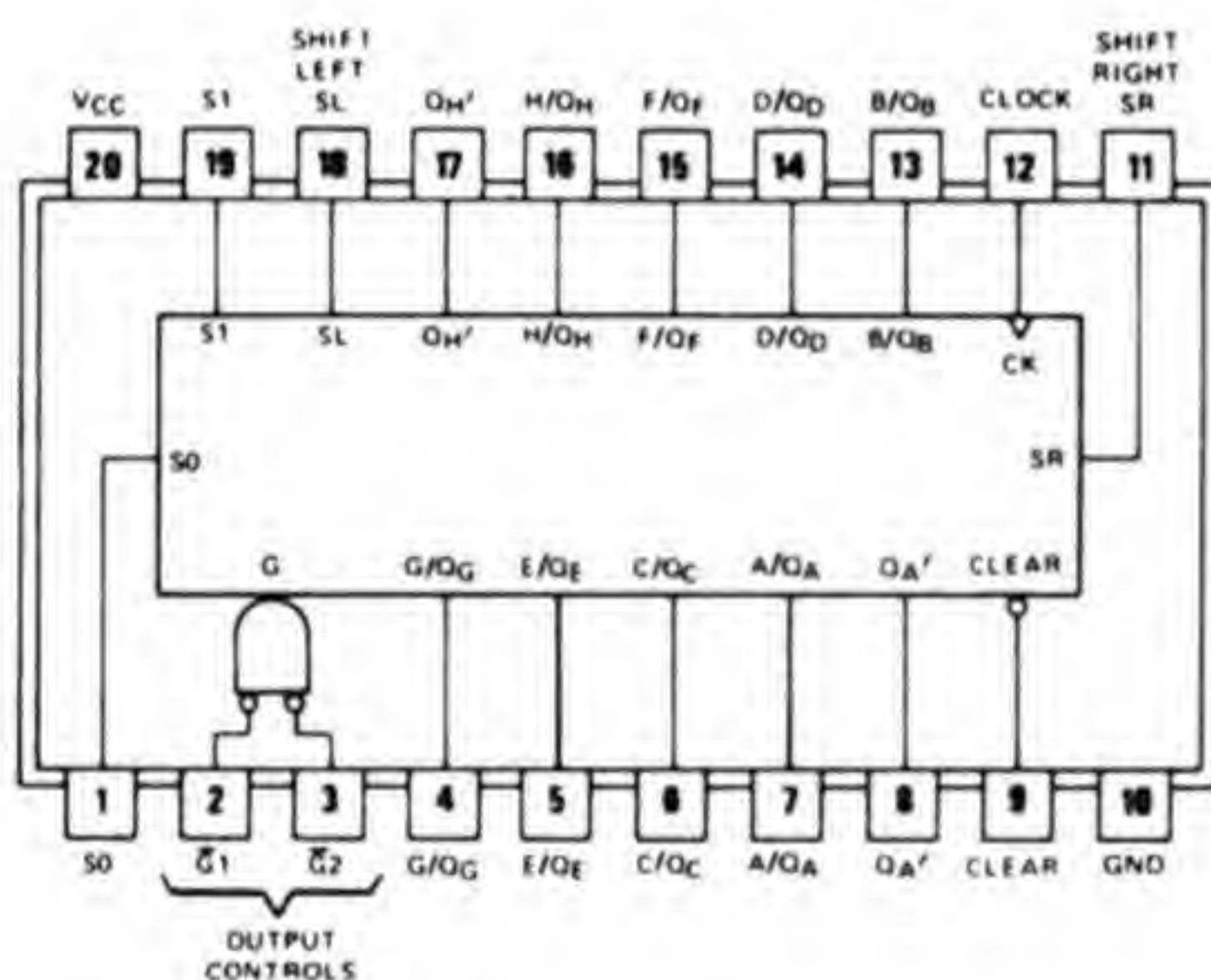
入 力							出力	動 作	
CLR	\bar{G}	S/ \bar{P}	\bar{SE}	DS	CK	\bar{OE}	Q		
L	X	X	X	X	X	—	—	クリア	
H	L	H	H	L H	↑			—	D0入力シフト D1入力シフト
H	L	H	L	X				—	QAホールド、 他シフト
H	L	L	X	X				Z	ロード
H	H	X	X	X				—	ホールド
—						H	Z	—	


注) 出力 Q_H' の t_{pd} については負荷条件 $2k\Omega + 15pF$

[illegible][illegible]

参考品種
74299

8-Bit Shift Register (3-State)

[illegible]

入 力					出力		
Clear	Mode select		CK	Output control		Q	動 作
	S1	S0		G1	G2		
H	L	H		—	—	—	右シフト
H	H	L				—	左シフト
H	H	H				Z	ロード
H	L	L				—	ホールド
L	X	X				—	クリア
—				H	X	Z	—
				X	H		

[illegible]

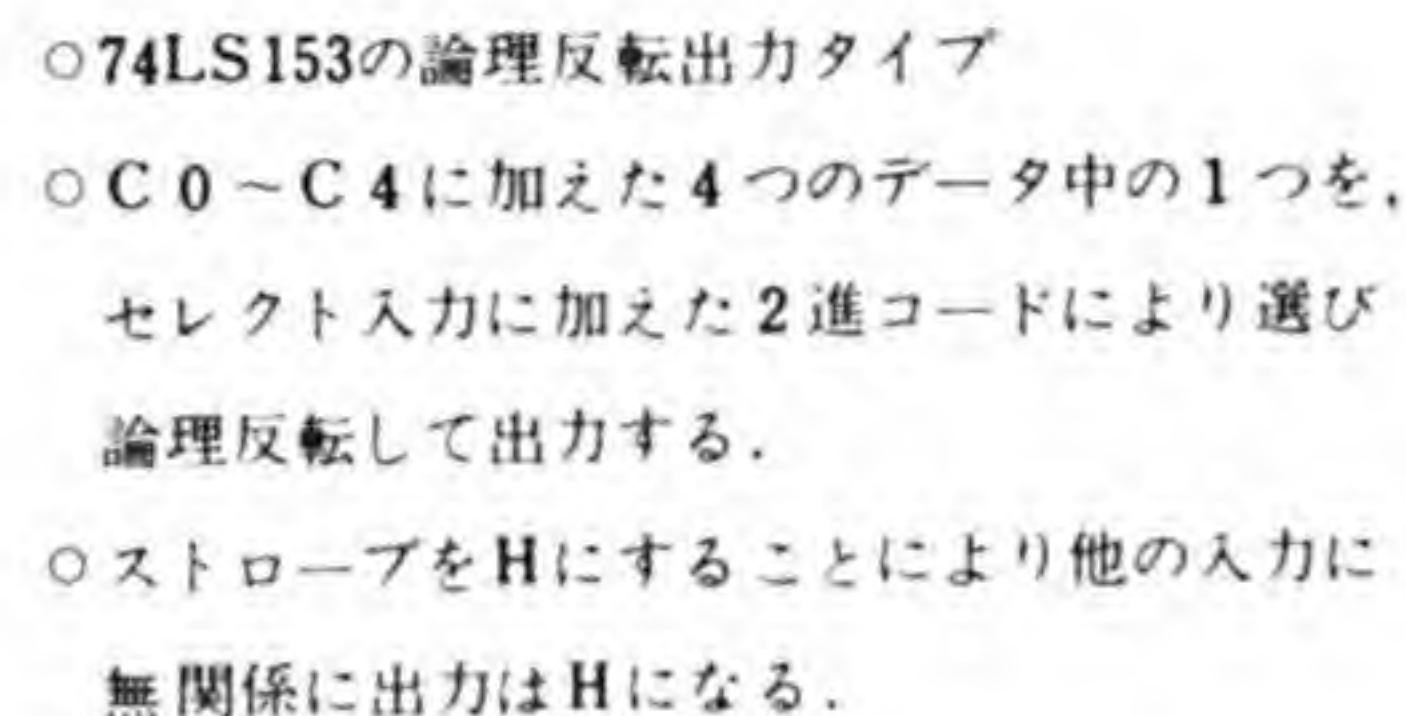
○EIには上位のEOを接続。

○74148は3ステートではないので右図のようにNAND、またはANDで受ける。

○ENABLEをHにすると、6ビットともZ状態（右図ではL）

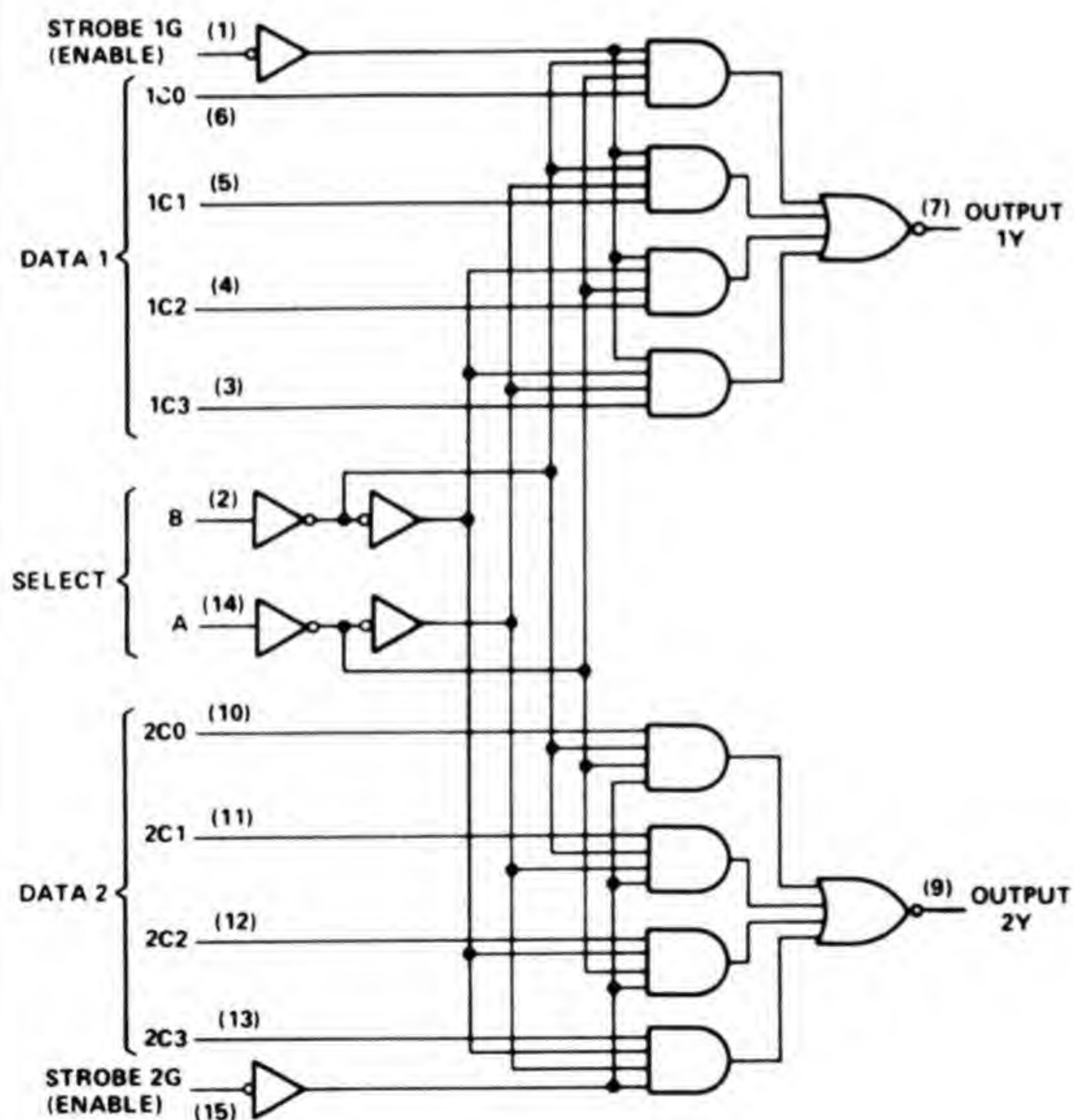
○ENABLE をHにすると、6ビットともZ状態（右図ではL）

Dual 4 to 1 Data Selectors



FUNCTION TABLE

INPUTS		OUTPUT
Select	Strobe	Y
B A	G	
X X	H	H
L L	L	$\overline{C0}$
L H	L	$\overline{C1}$
H L	L	$\overline{C2}$
H H	L	$\overline{C3}$

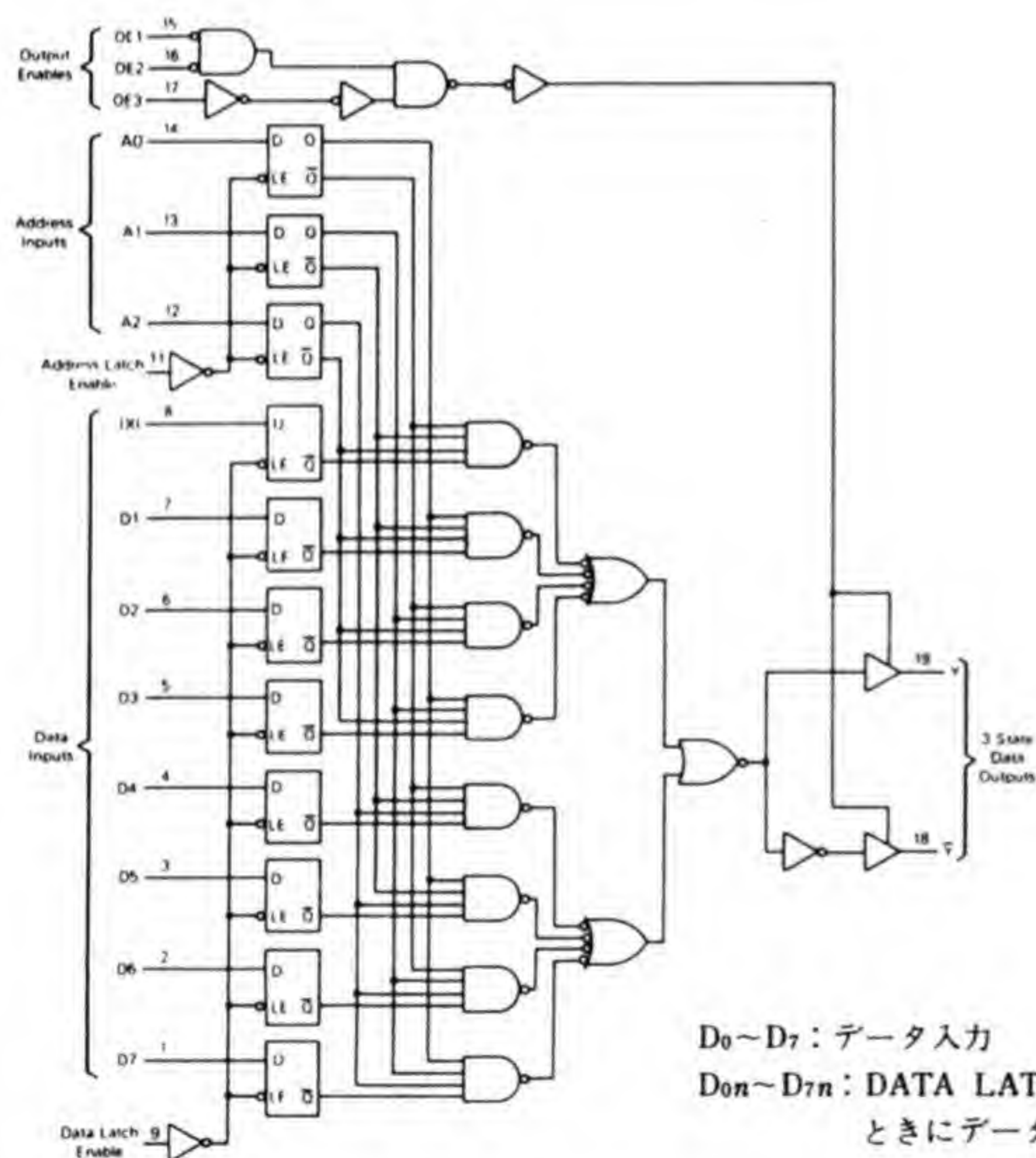


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		Y			26	18		8	6.5	10.5	9.0	31					ns
tpd	max	SELECT		Y			38	24		14	13	12.5	9.5	40					ns
tpd	max	STROBE		Y			32	20		15	12	11.0	8.5	25					ns
Icc	max	ALL	L				10	10		20	28	0.04	0.04	0.04					mA
I _{IH}	max	A, B	H				20	20		20	40								μA
I _{IL}	max	A, B	L				0.4	0.1		0.6	1								mA
I _{IH}	max	OTHERS	H				20	20		20	20								μA
I _{IL}	max	OTHERS	L				0.4	0.1		0.6	0.5								mA
I _{OH}	max			Y	H		0.4	2.6		1	15	24	24	4					mA
I _{OL}	max			Y	L		8	24		20	48	24	24	4					mA

[illegible]

参考品種
74353
74153
74253

8 Input Data Selector (with Address Latch) and 3 State Outputs



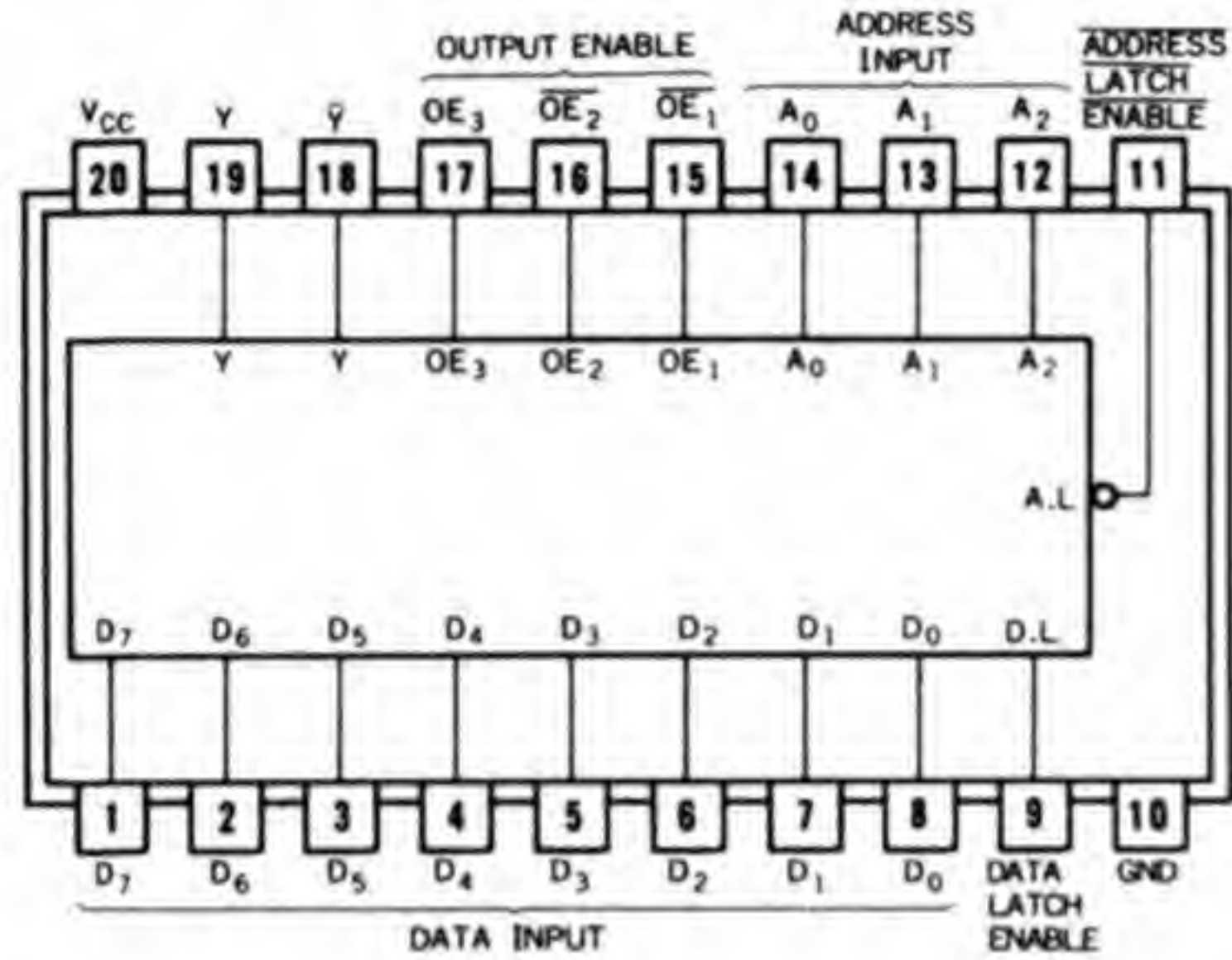
Address Latch Contents			Inputs				Outputs	
			Data Latch Enable	Output Enables			Y	\bar{Y}
A2	A1	A0		OE1	OE2	OE3		
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	X	H	X	Z
X	X	X	X	X	X	X	L	Z
L	L	L	L	L	L	H		00 00
L	L	H	L	L	L	H		01 01
L	H	L	L	L	L	H		02 02
L	H	H	L	L	L	H		03 03
H	L	L	L	L	L	H		04 04
H	L	H	L	L	L	H		05 05
H	H	L	L	L	L	H		06 06
H	H	H	L	L	L	H		07 07
L	L	L	H	L	L	H		00 _n 00 _n
L	L	H	H	L	L	H		01 _n 01 _n
L	H	L	H	L	L	H		02 _n 02 _n
L	H	H	H	L	L	H		03 _n 03 _n
H	L	L	H	L	L	H		04 _n 04 _n
H	L	H	H	L	L	H		05 _n 05 _n
H	H	L	H	L	L	H		06 _n 06 _n
H	H	H	H	L	L	H		07 _n 07 _n

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	MAX	D		Y, -Y										53		59			ns
tpd	MAX	D, L		Y, -Y			50							65		68			ns
tpd	MAX	A		Y, -Y			54							68		74			ns
tpd	MAX	A, L		Y, -Y			60							68		79			ns
tpd	MAX	OE	A	Y, -Y			25							40		49			ns
tpd	MAX	OE	N	Y, -Y			27							31		43			ns
Icc	MAX						46							0.08		0.08			mA
IOH	MAX			ALL	H		2.6							6		6			mA
IOL	MAX			ALL	L		24							6		6			mA

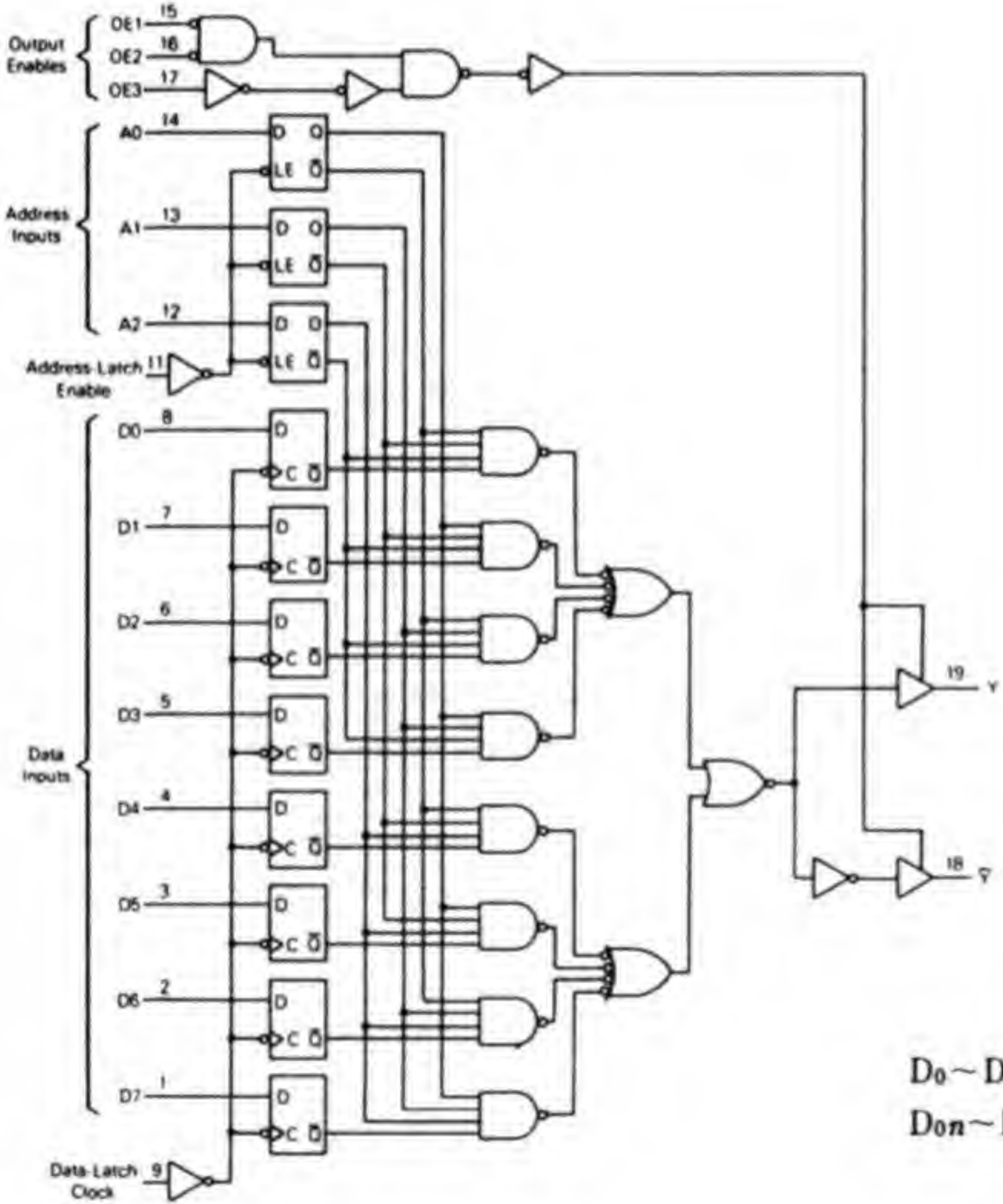
[illegible]

74356

8 Input Data Selector (with Address Latch) And 3 Stste Outputs



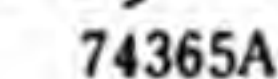
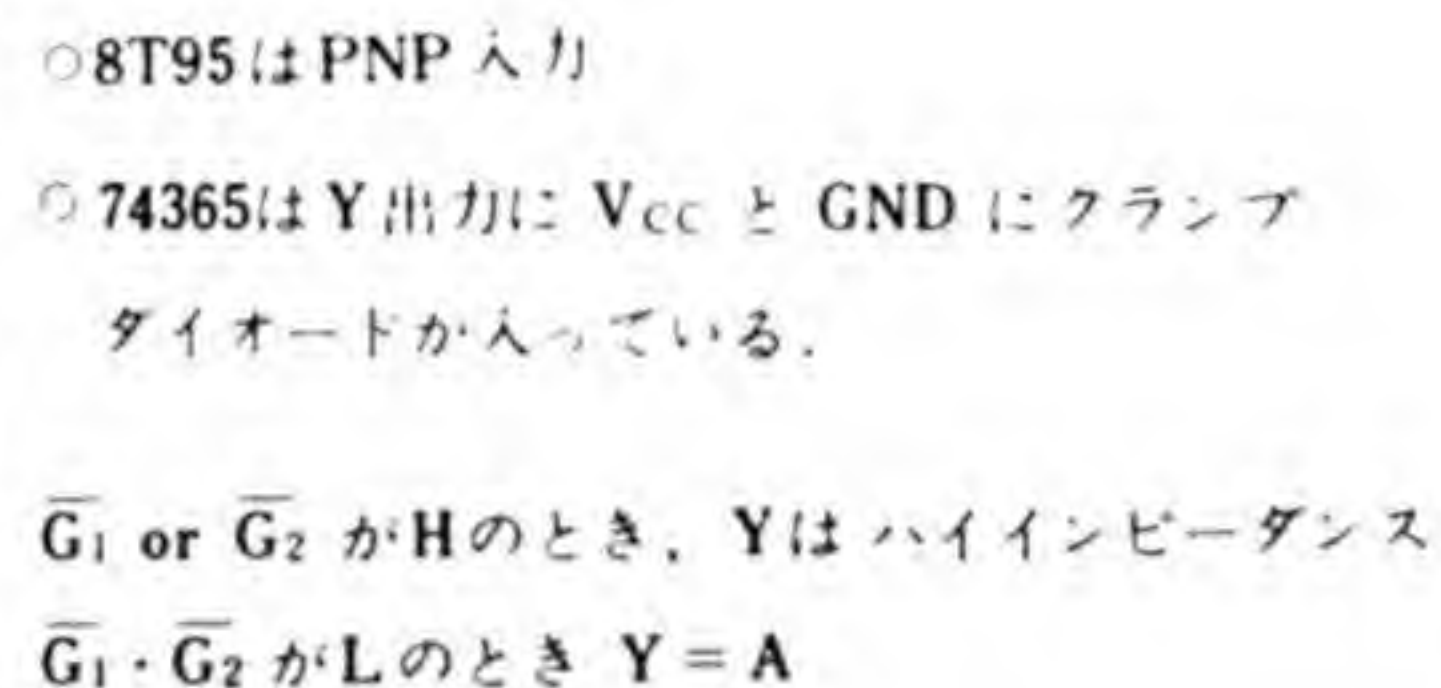
Inputs						Outputs		
Address Latch Contents *			Data Latch Clock	Output Enables			Y	\bar{Y}
A2	A1	A0		OE1	OE2	OE3		
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L		L	L	H	D0n	D0n
L	L	L	↓	↓	↓	↓	D1n	D1n
L	L	L	↓	↓	↓	↓	D2n	D2n
L	L	L	↓	↓	↓	↓	D3n	D3n
L	L	L	↓	↓	↓	↓	D4n	D4n
L	L	L	↓	↓	↓	↓	D5n	D5n
L	L	L	↓	↓	↓	↓	D6n	D6n
L	L	L	↓	↓	↓	↓	D7n	D7n
L	L	L	H, L or	L	L	H	D0p	D0p
L	L	L	↓	↓	↓	↓	D1p	D1p
L	L	L	↓	↓	↓	↓	D2p	D2p
L	L	L	↓	↓	↓	↓	D3p	D3p
L	L	L	↓	↓	↓	↓	D4p	D4p
L	L	L	↓	↓	↓	↓	D5p	D5p
L	L	L	↓	↓	↓	↓	D6p	D6p
L	L	L	↓	↓	↓	↓	D7p	D7p



D0~D7: データ入力
Don~D7n: DATA LATCH CLOCK の立ち上がり
エッジ前のデータ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	D, L					50							60		64			ns
tpd	max	A					54							68		74			ns
tpd	max	A, L					60							68		79			ns
tpd	max	OE	N				25							40		47			ns
tpd	max	OE	A				27							31		48			ns
Icc	max						46							0.08		0.08			mA
IOH	max			ALL	H		2.6							6		6			mA
IOL	max			ALL	L		24							6		6			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立									DF								
		MOT																	
		日電																	
		NS																	
		PHIL									DF		DF						
		RCA									DF		DF						
		SIGNE																	
		TI									DF								
		東芝																	
		SGS									DF								
		CYPRES																	
		IDT																	

Hex 3-State Bus Buffers



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		16	7		7.0		7.5	10.0	30		31	7.5		ns
tpd	max			H→L	↓		22	7		7.0		7.5	10.0	30		31	6.8		ns
tpd	max			Z→H	▽		35	14		10.0		9.5	14.0	55		44	11.0		ns
tpd	max			Z→L	△		40	14		10.0		10.5	13.0	55		44	11.0		ns
tpd	max			H→Z	▼		(30)	5		7.0		10.5	13.0	55		44	10.0		ns
tpd	max			L→Z	▲		(35)	8		7.0		10.5	11.5	55		44	9.5		ns
Icc	max						24	13		6.2		0.08	0.08	0.08		0.08	0.05		mA
I1H	max	ALL	H				20	20		20									mA
I1L	max	ALL	L				0.4	0.1		20									mA
I0H	max			Y	H		2.6	15		15		24	24	6		6	15		mA
I0L	max			Y	L		24	24		64		24	24	6		6	48		mA
I2L	max			Y	L		20	20		50		5	5	5		5	50		mA
I2H	max			Y	H		20	20		502		5	5	5		5	50		mA

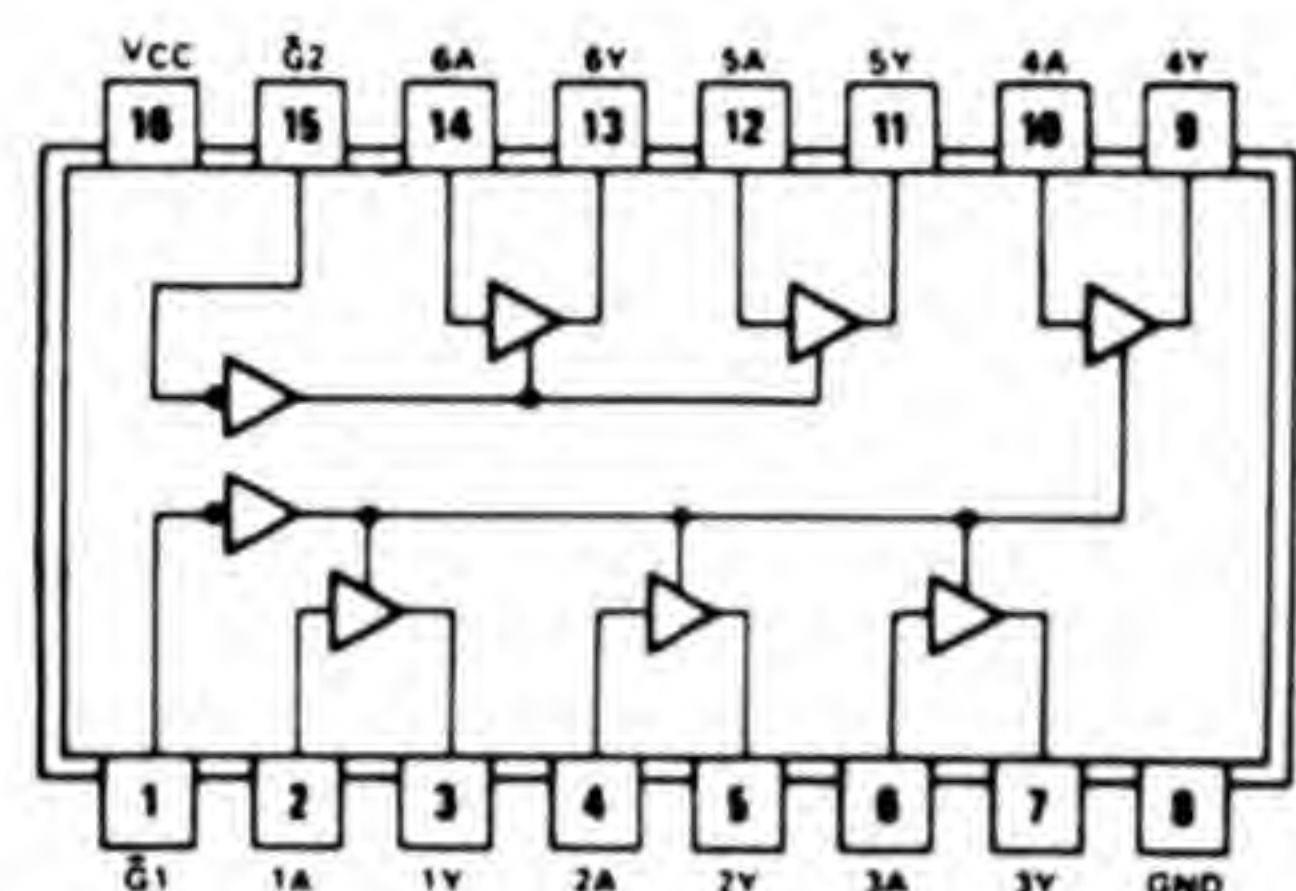
[illegible]

参考品種

74604746057460674607

74367 (8T97)

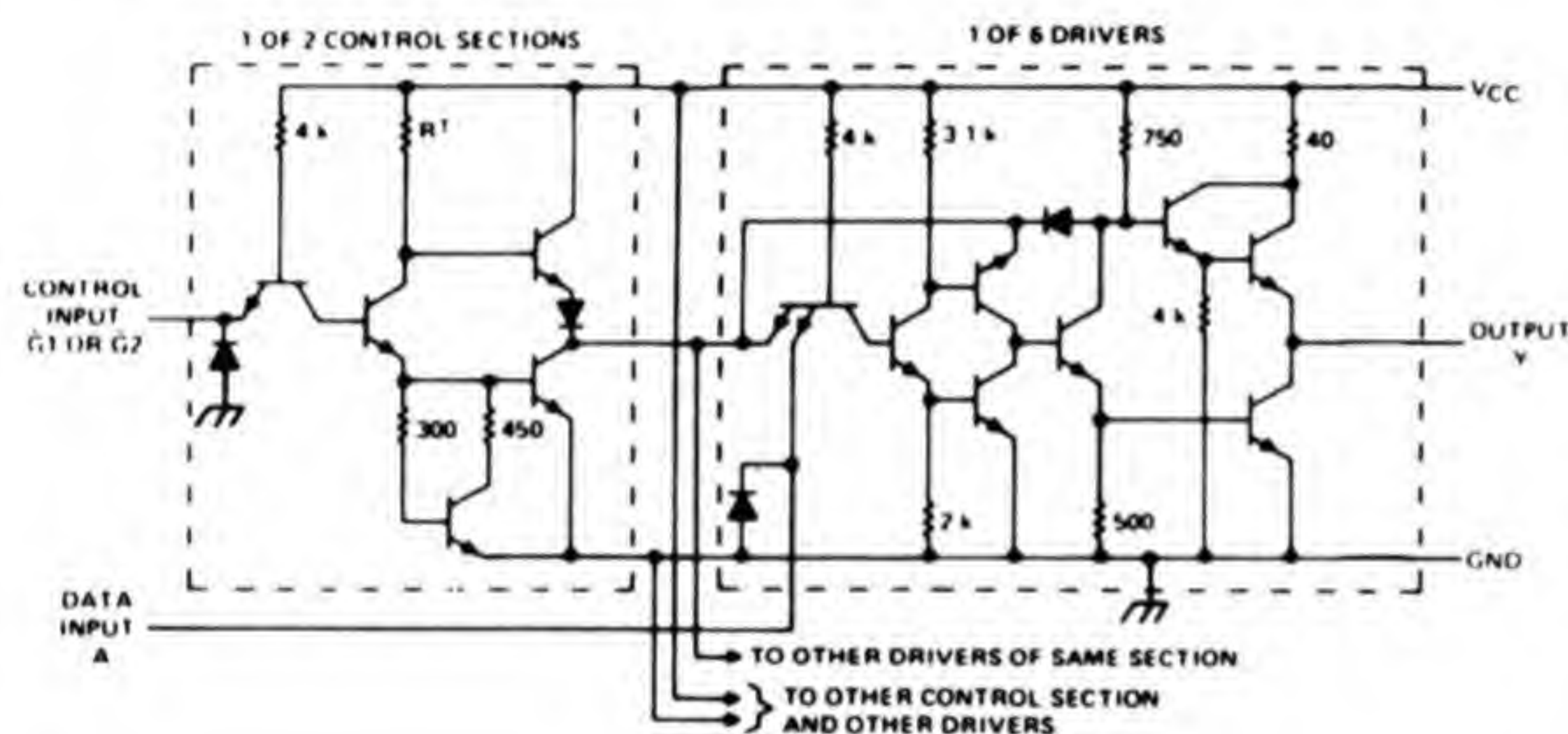
Hex 3-State Bus Buffers



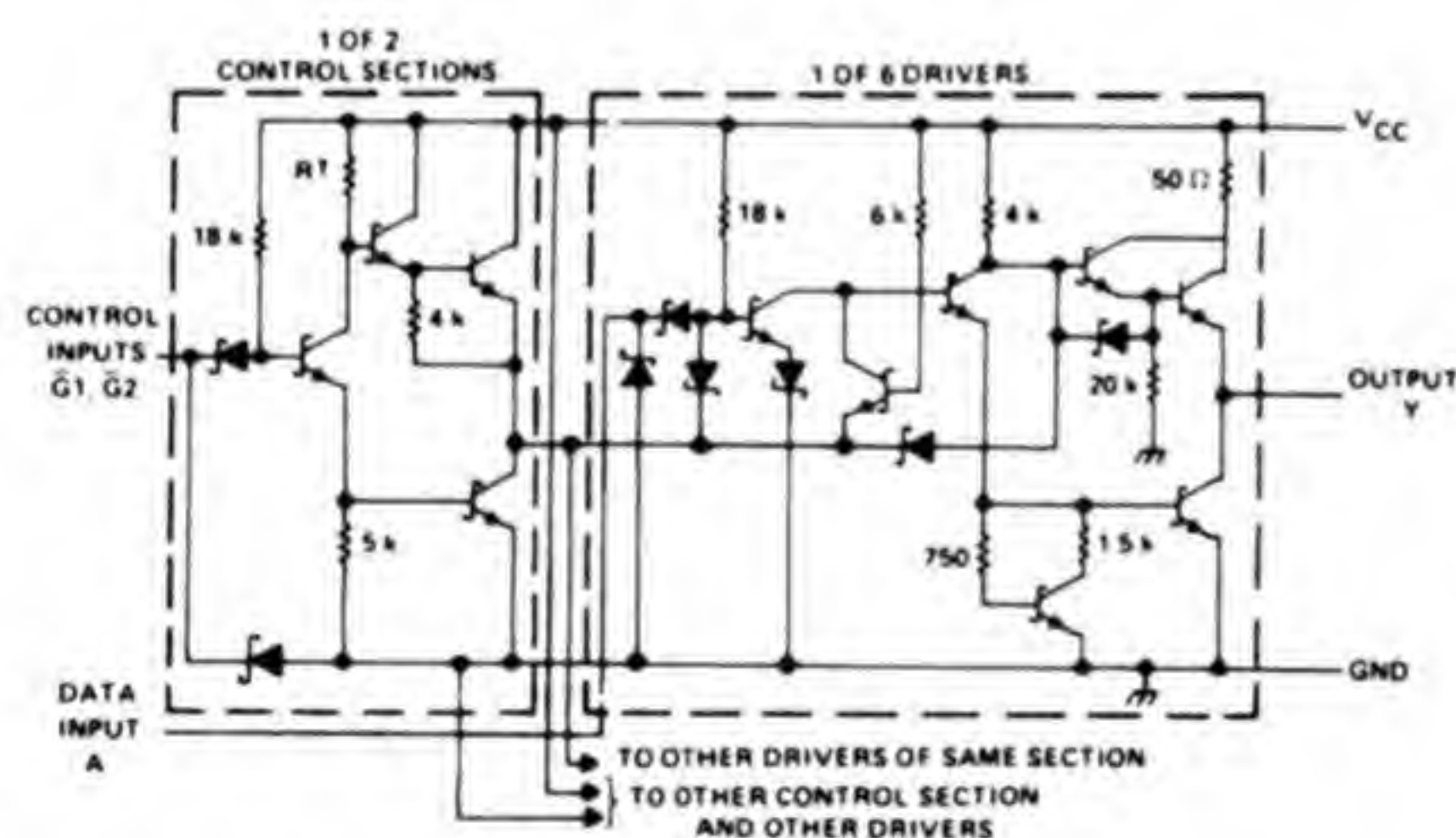
○8T97はPNP入力

○74367はY出力に V_{CC} と GND にクランプ

ダイオードが入っている。

 \bar{G}_1, \bar{G}_2 が H のときは、 Y は ハイインピーダンス
$$\overline{G}_1, \overline{G}_2 \text{ が } L \text{ のときは } Y = A$$


74367A



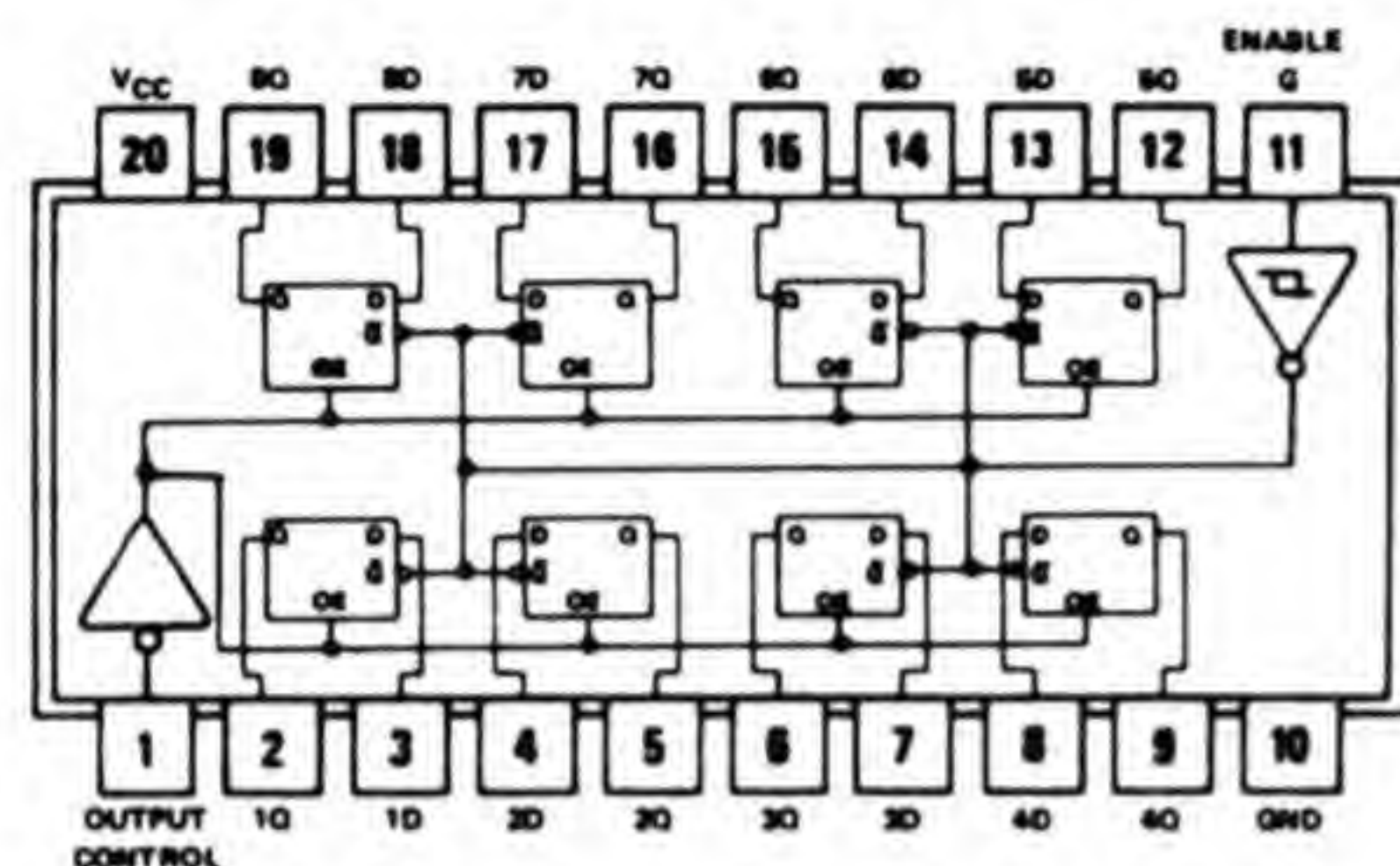
74LS367

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		16	7		7.5		7.5	10.0	30		31	7.5		ns
tpd	max			H→L	↓		22	7		7.5		7.5	10.0	30		31	6.8		ns
tpd	max			Z→H	▽		35	14		8.5		9.5	11.0	47		44	11.5		ns
tpd	max			Z→L	△		40	14		8.5		10.5	13.0	47		44	10.0		ns
tpd	max			H→Z	▼		(30)	5		7.0		10.5	13.0	44		44	10.0		ns
tpd	max			L→Z	▲		(35)	8		7.0		10.5	11.5	44		44	9.5		ns
lcc	max						24	13		62		0.08	0.08	0.08		0.08	0.05		mA
I1H	max	ALL	H				20	20		20									μA
I1L	max	ALL	L				0.4	0.1		20									mA
I0H	max			Y	H		2.6	15		15		24	24	6		6	15		mA
I0L	max			Y	L		24	24		64		24	24	6		6	48		mA
I2L	max			Y	L		20	20		50		5	5	5		5	50		μA
I2H	max			Y	H		20	20		50		5	5	5		5	50		μA

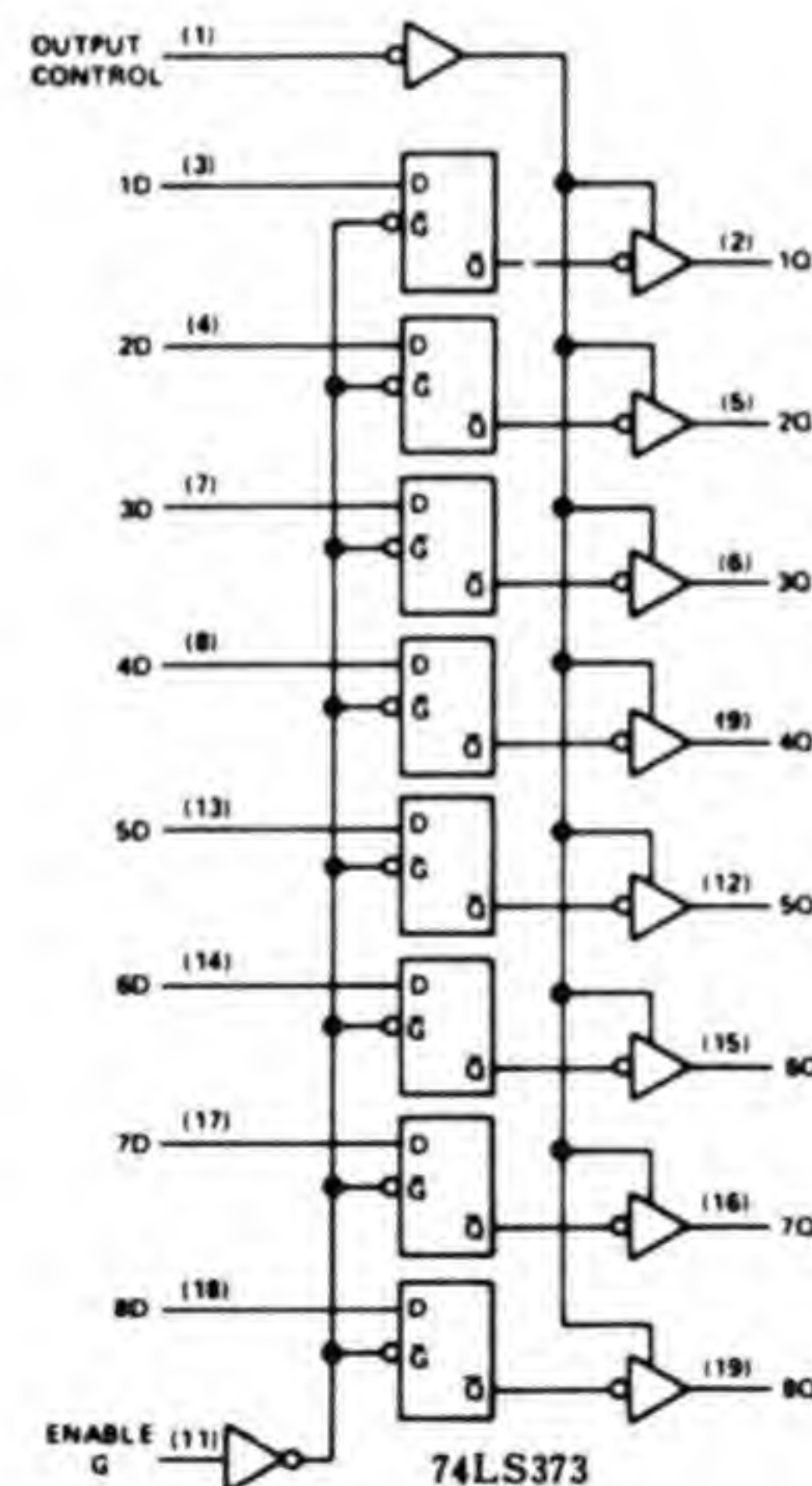
[illegible]

74373

Octal 3-State D-Latches



- 8bit ラッチ.
- ラッチの動作については7475等と同一.
- 出力が3ステートになっているのでバスラインなどに使用可能.
- Output Control を H にすると出力がハイインピーダンス状態になる (G に優先)
- G = H にするとデータつなげ
G = L にするとデータホールド



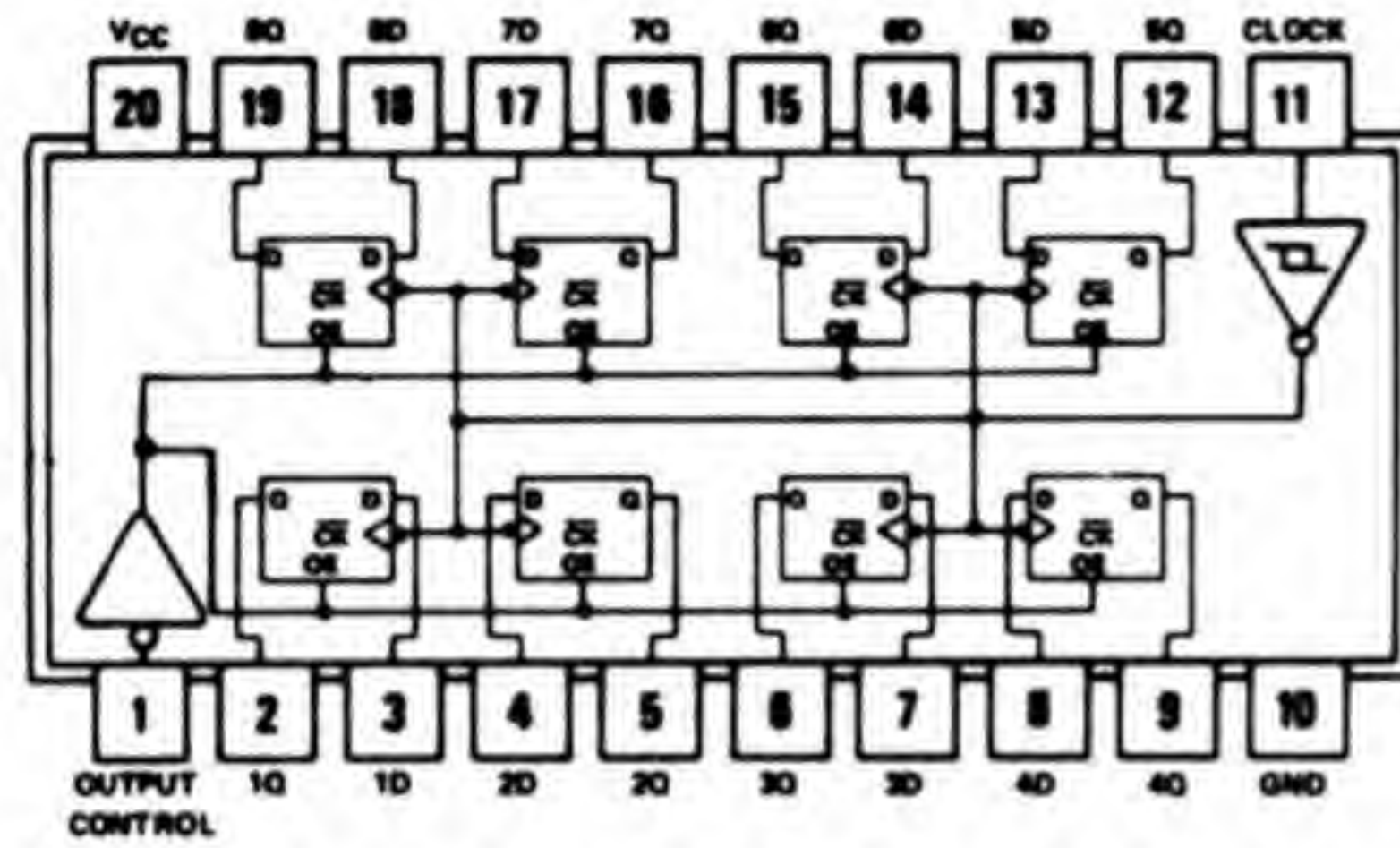
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE				7	15	10		6	4.5	4.5	8.0	20		20	7.0	7.5	ns
tsu	min	DATA				6	0 ↓	10 ↓		2	2 ↓	4.5	8.0	5		6	2.0	2	ns
thold	min	DATA				1	10 ↓	7 ↓		3	3 ↓	1.0	1.0	13		13	2.0	5.5	ns
tpd	max	ENABLE		Q		12.5	30	23		13	11.5	11.0	11.5	44		44	10	9.3	ns
tpd	max	DATA		Q		11	18	16		8	6	11.0	11.5	38		37	10	9.5	ns
tpd	max	OUT. C. N		Q			36	12		7.5	7	15.5	10.5	38		37	8.5	12	ns
tpd	max	OUT. C. A		Q			36	20		12	9.5	12.0	12.5	38		37	12.5	7.4	ns
Icc	max					0.004	40	27		55	110	0.08	0.08	0.08		0.08	27	60	mA
I IH	max	ALL	H				20	20		20	20								μA
I IL	max	ALL	L				0.4	0.1		0.6	0.5								mA
I OH	max			Q	H	12	2.6	2.6		3	15	24	24	6		6	3	15	mA
I OL	max			Q	L	12	24	24		20	48	24	24	6		6	24	64	mA
I ZL	max			Q	L		20	20			50	5	5	5		5	3	50	μA
I ZH	max			Q	H		20	20			50	5	5	5		5	24	50	μA

参考品種
74363
74533
74573

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電									DF		DF			
NS	F	DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DFS	DF	DF		DF		DF	
東芝	F	D			D		DFS	DF	DF		DF	DF		
SGS											DF	DF		
CYPRES					DF									
IDT								DF						

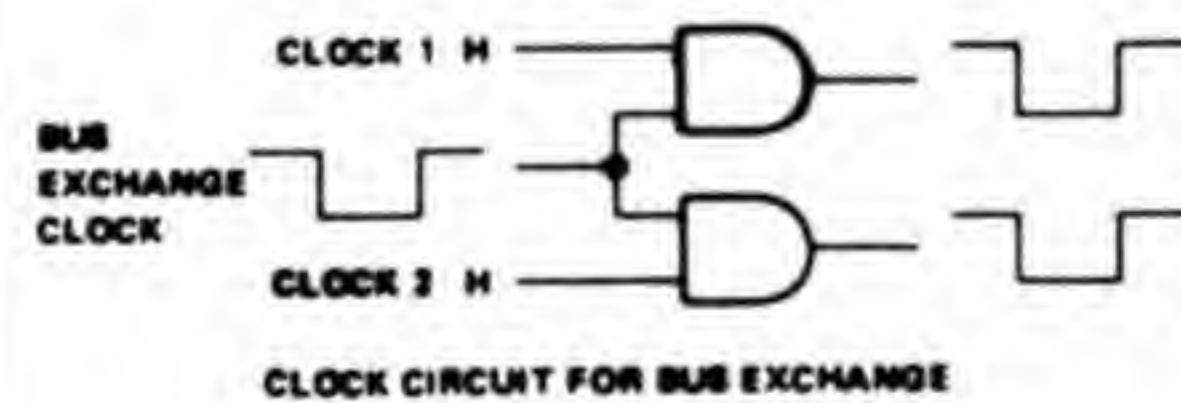
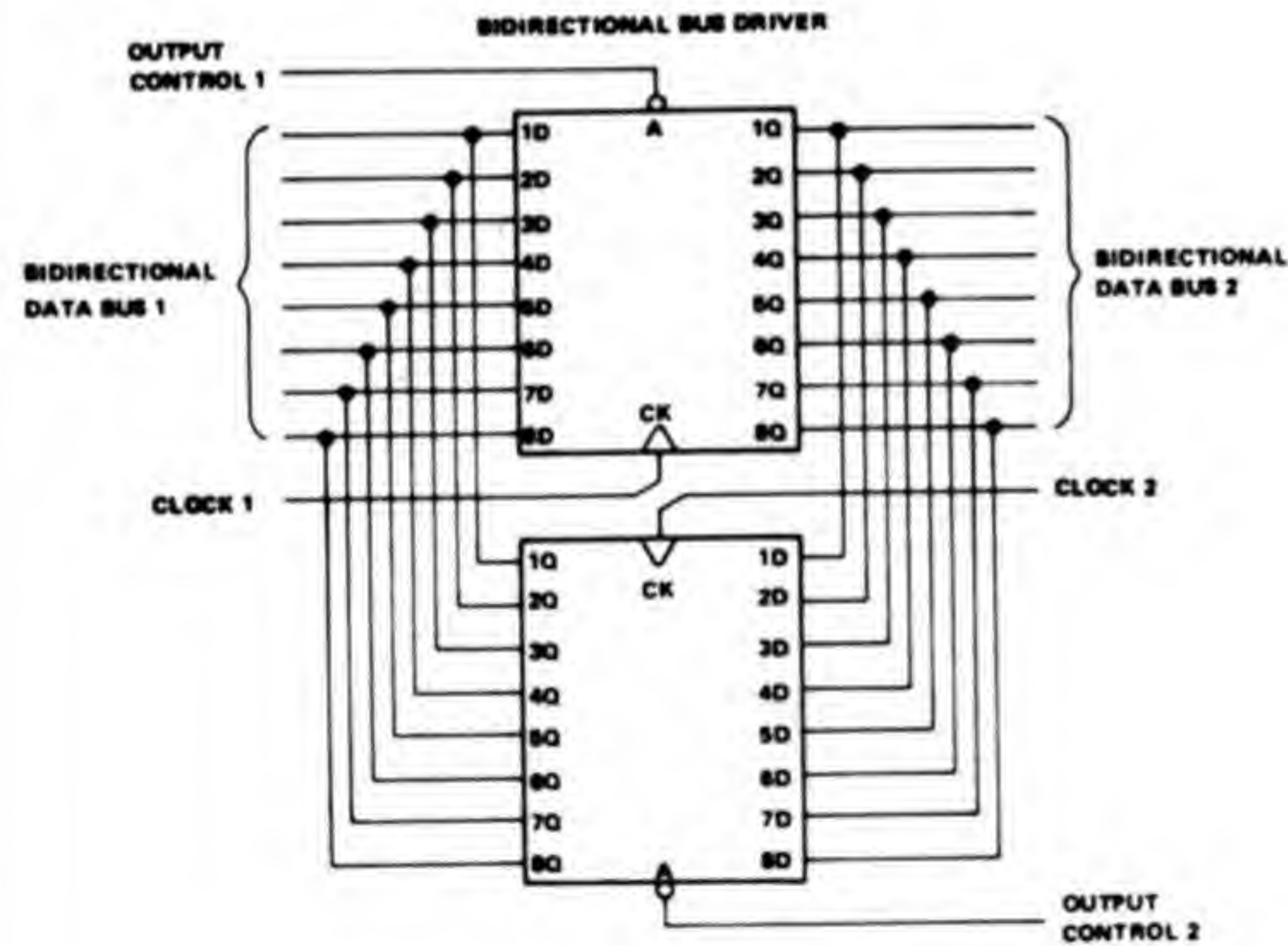
74374

Octal 3-State D-FFs



○リーディングエッジトリガ(POS)

○Clock入力がシュミットになっているので、立ち上がりの遅いパルスでも誤動作しない



入 力		動 作
Output control	CK	
X		データセット
H	X	出力ハイインピーダンス

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				120	35	35		70	125	100	90	24		24	70	70	MHz
tw	min	CLK				7	15	14		7	4	4.5	8.0	20		20	7.0	7	ns
tsu	min	DATA				9	20↑	10↑		2	2↑	4.5	8.0	25		25	2.0	6.5	ns
thold	min	DATA				0	0↑	0↑		2	2↑	1.5	1.5	5		5	2.0	0	ns
tpd	max	CLK		Q		13.5	28	16		10	9	11.0	11.5	45		45	10	10.6	ns
tpd	max	OUT. C. N		Q		13	28	18		8	6	15.5	10.5	38		37	8.5	12.7	ns
tpd	max	OUT. C. A		Q		14.5	28	18		12.5	10	12.0	12.5	38		37	12.5	6.8	ns
Icc	max					0.004	40	31		86	128	0.08	0.08	0.08		0.08	27	60	mA
I _{IH}	max	OC, CLK	H				20	20		20	20								μA
I _{IL}	max	OC, CLK	L				0.4	0.2		0.6	0.5								mA
I _{IH}	max	DATA	H				20	20		20	20								μA
I _{IL}	max	DATA	L				0.9	0.2		0.6	2								mA
I _{OH}	max			Q	H	12	2.6	2.6		3	15	24	24	6		6	3	15	mA
I _{OL}	max			Q	L	12	24	24		20	48	24	24	6		6	24	64	mA
I _{ZL}	max			Q	H		20	20		20	50	5	5	5		5	50	50	μA
I _{ZH}	max			Q	L		20	20		3	50	5	5	5		5	50	50	μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF	DF	DF		DF	DF		
MOT		DF			DF		DF	DF	DF		DF			
日電									DF		DF			
NS	F	DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI		DF	DF		DF	DF	DF	DF	DF		DF	DF	DF	
東芝	F	D							DF		DF	DF	DF	
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

参考品種

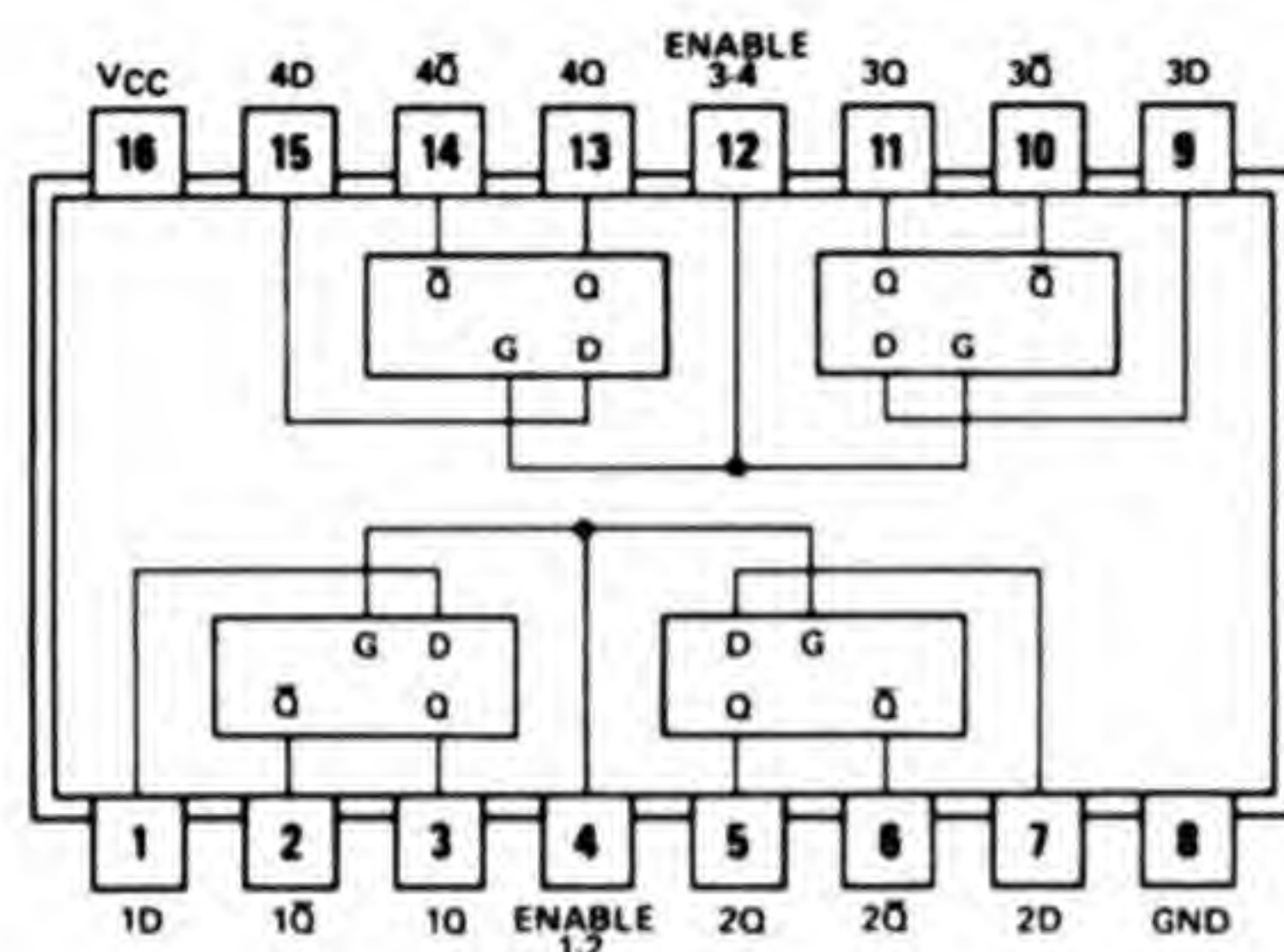
74364

74534

74574

74375

4-Bit D-Latches



○7475のピンレイアウトを変えたタイプ.

他のデータは7475と同一。

(動作については7475参照)

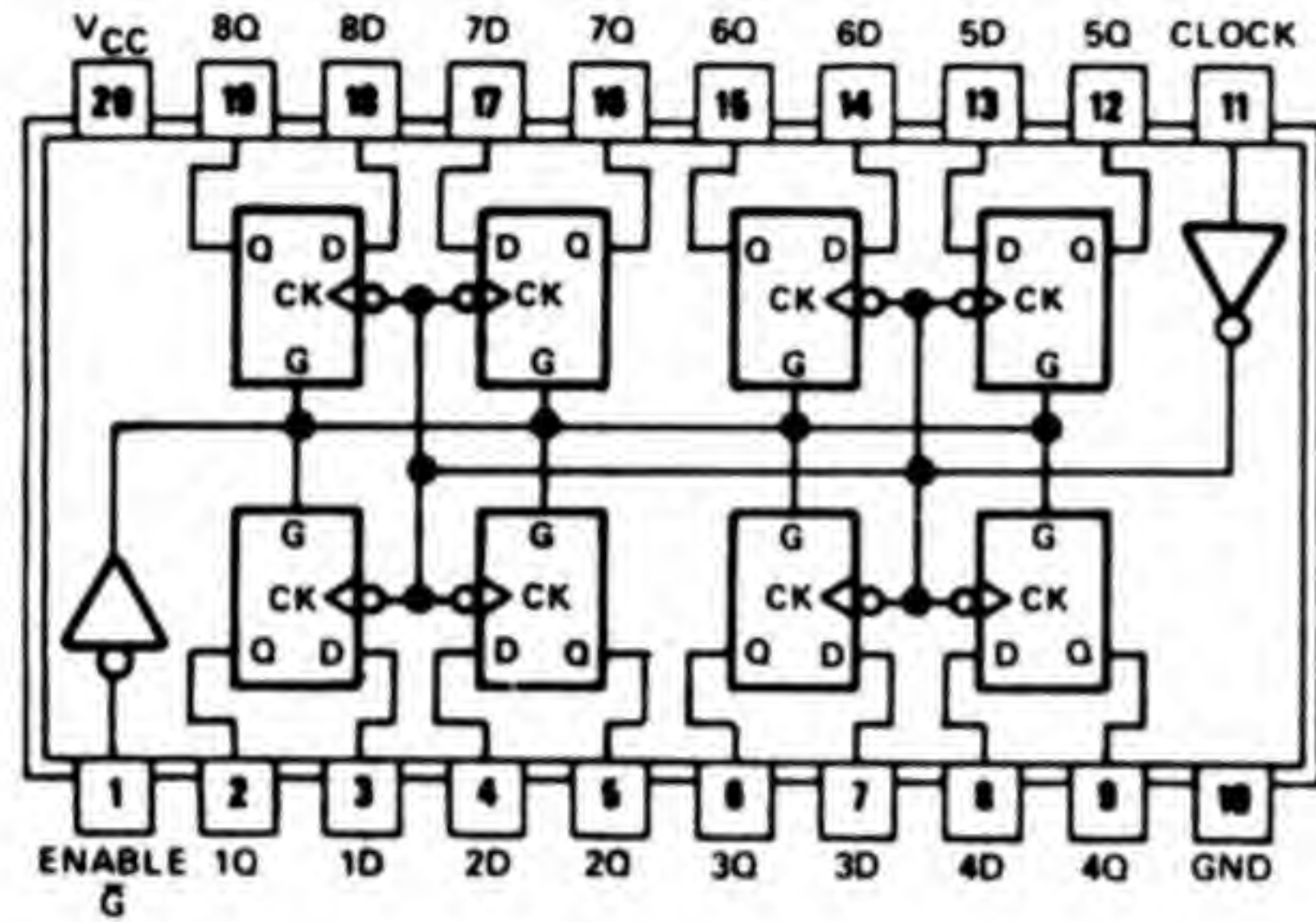
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE					20							18					ns
tsu	min	DATA					20							12					ns
tpd	max	DATA		Q	↑		27							35					ns
tpd	max	DATA		Q	↓		17							35					ns
tpd	max	DATA		-Q	↑		20							35					ns
tpd	max	DATA		-Q	↓		15							35					ns
tpd	max	ENABLE		Q	↑		27							42					ns
tpd	max	ENABLE		Q	↓		25							42					ns
tpd	max	ENABLE		-Q	↑		30							42					ns
tpd	max	ENABLE		-Q	↓		15							42					ns
lcc	max	ALL	L	ALL	H		12							0.04					mA

[illegible]


参考品種
7475
7477

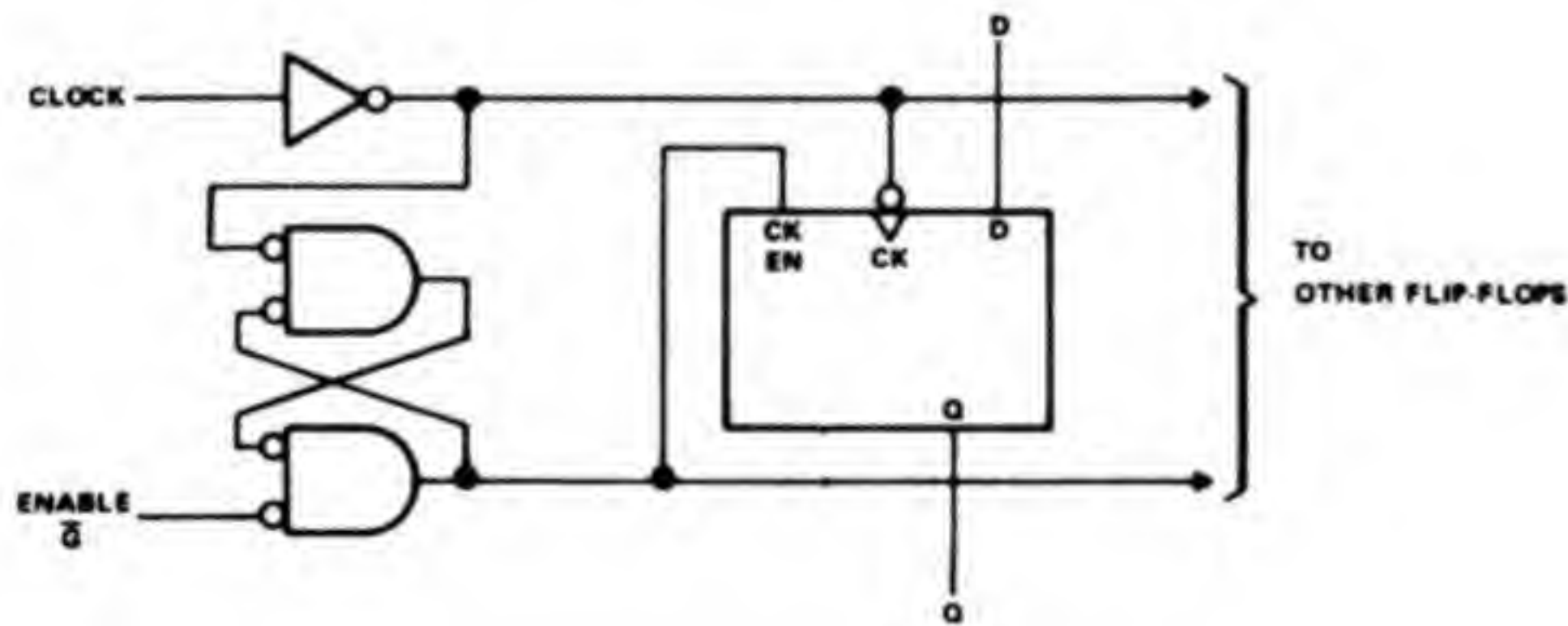
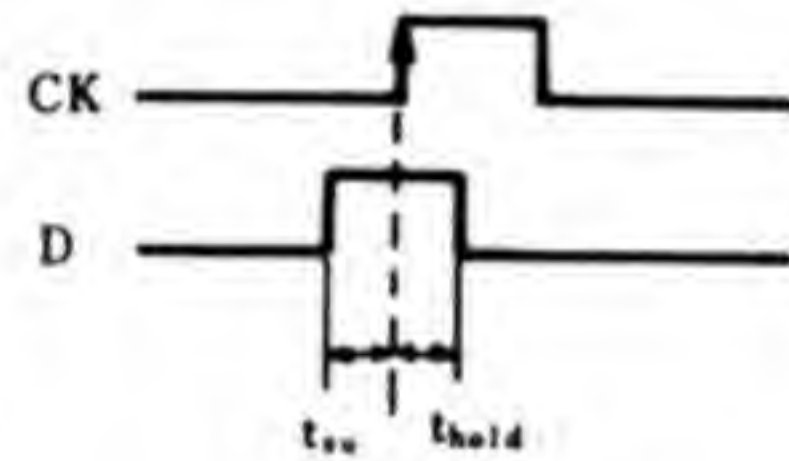
74377

8-Bit D-FFs



○74273 のクリア端子をクロックイネーブルに変えたタイプ

入 力		動 作
\bar{G}	CK	
H	X	ホールド
L		データセット

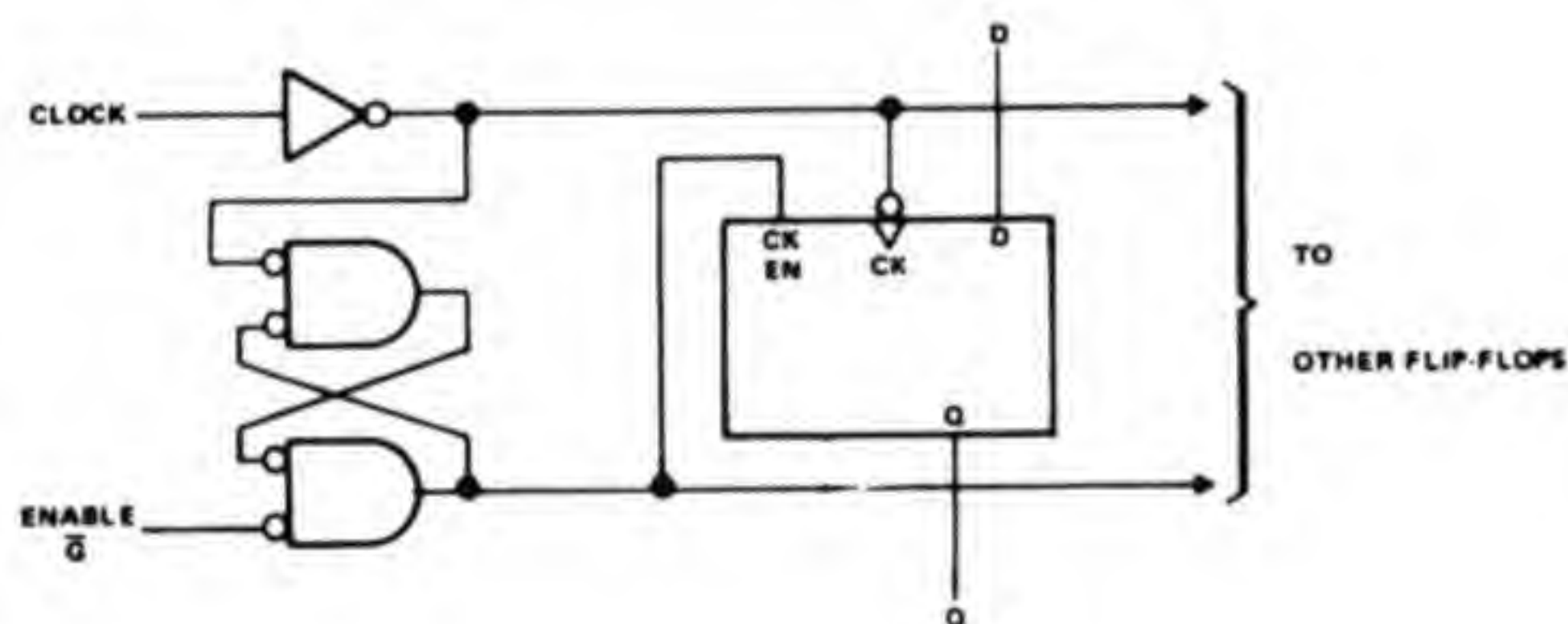
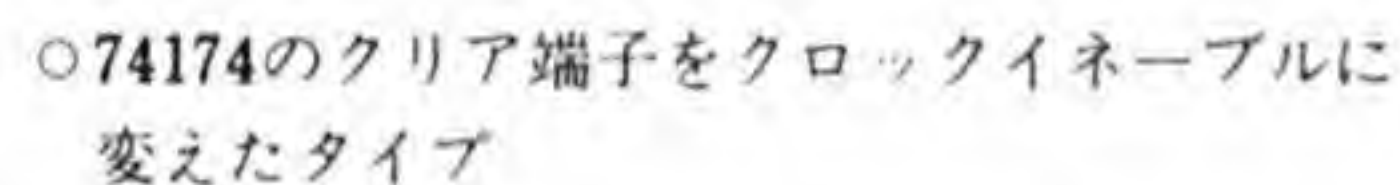



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
f _{max}	min	CLK					30					125	125	24		22			MHz
t _w	min	CLK					20					4.5	4.5	20		25			ns
t _{su}	min	DATA					20 ↑					4.5	5.5	15		15			ns
t _{hold}	min	D. EN.					5 ↑					1.0	1.0	3		2			ns
t _{hold}	min	ENABLE					25 ↑					1.0	1.0	4		3			ns
t _{pd}	max	CLK		Q			27					11	11	40		40			ns
I _{cc}	max						28					0.08	0.08	0.08		0.08			mA
I _{IH}	max	ALL	H				20												μA
I _{IL}	max	ALL	L				0.4												mA
I _{OH}	max			ALL	H		0.4					24	24	4		4			mA
I _{OL}	max			ALL	L		8					24	24	4		4			mA

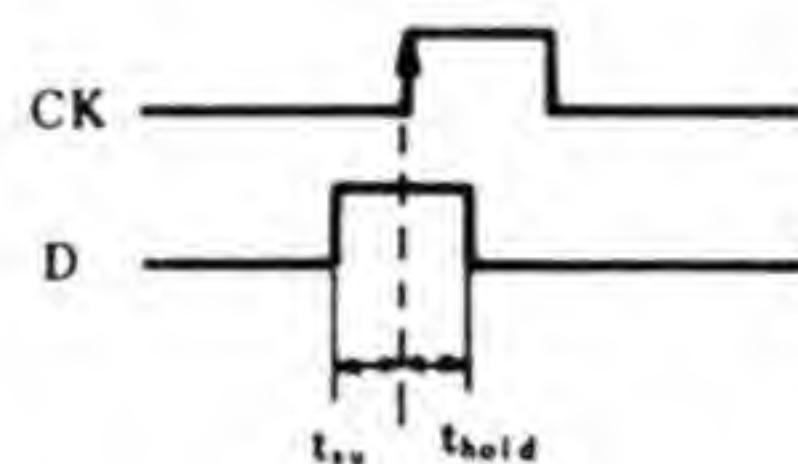
参考品種
74273
74174
74175

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF					
MOT		D			DF		D	DF						
日電									DF					
NS		DF			DF		DF	DF						
PHIL									DF		DF			
RCA									DF		DF			
SIGNE			DF		DF									
TI		DF			D		DF	DF	DF					
東芝		D					DF	DF	DF					
SGS									DF					
CYPRES					DF									
IDT								DF						

6-Bit D-FFs



入 力		動 作
\bar{G}	CK	
H	X	ホールド
L		データセット



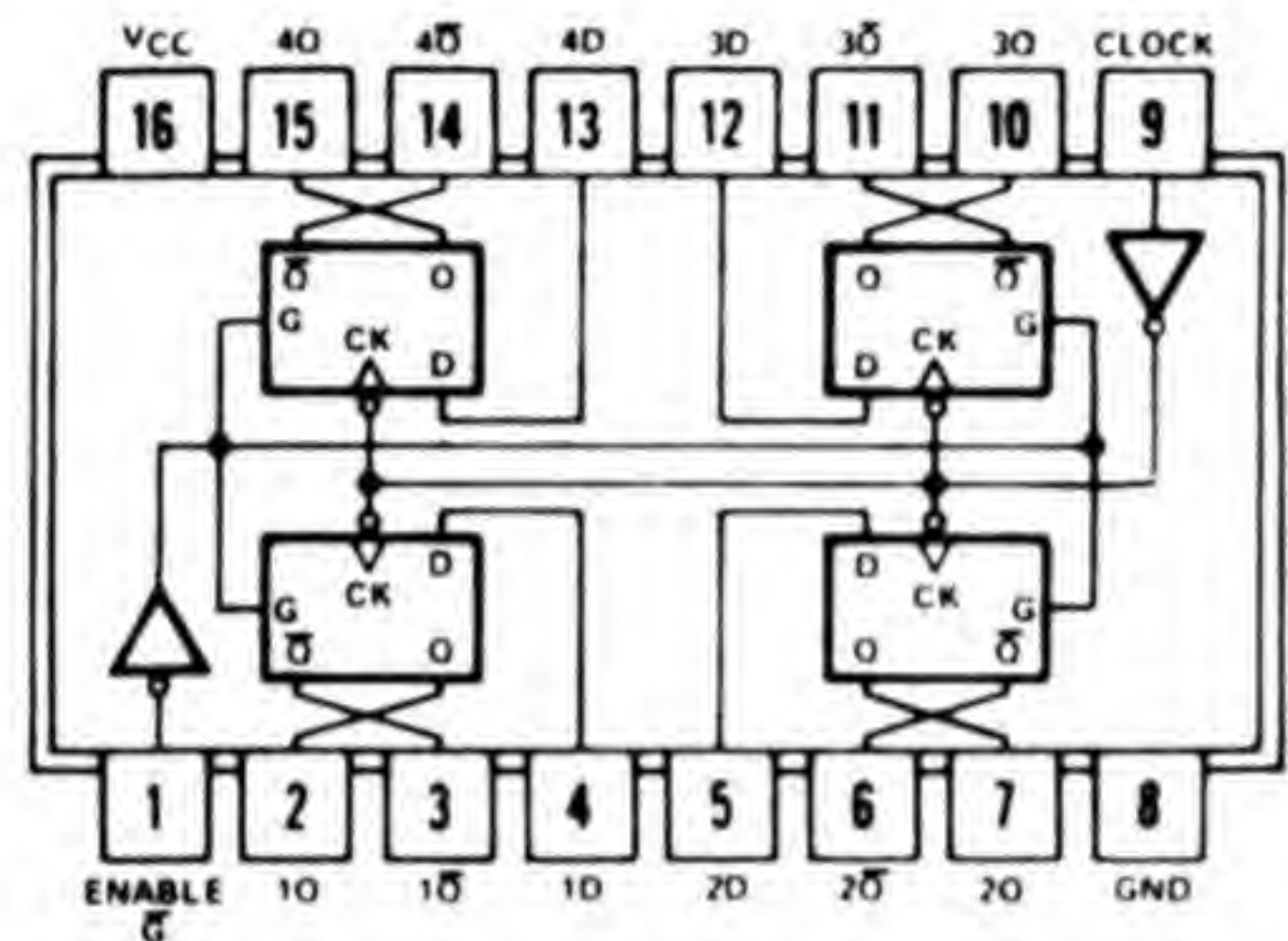
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			100		145	120	20					MHz
tw	min	CLK					20			5		4.0	3.5	18					ns
tsu	min	DATA					20 ↑			4 ↑		2.5	1.0	18					ns
thold	min	D. EN.					5 ↑			1 ↑		2.0	4.0	6					ns
trec	min	ENABLE					25 ↑												ns
tpd	max	CLK		Q			27			10		9.0	12	47					ns
lcc	max						22			45				0.04					mA
I _{IH}	max	ALL	H				20			20									μA
I _{IL}	max	ALL	L				0.4			0.6									mA
I _{OH}	max			ALL	H		0.4			1		24	24	4					mA
I _{OL}	max			ALL	L		8			20		24	24	4					mA

[illegible]

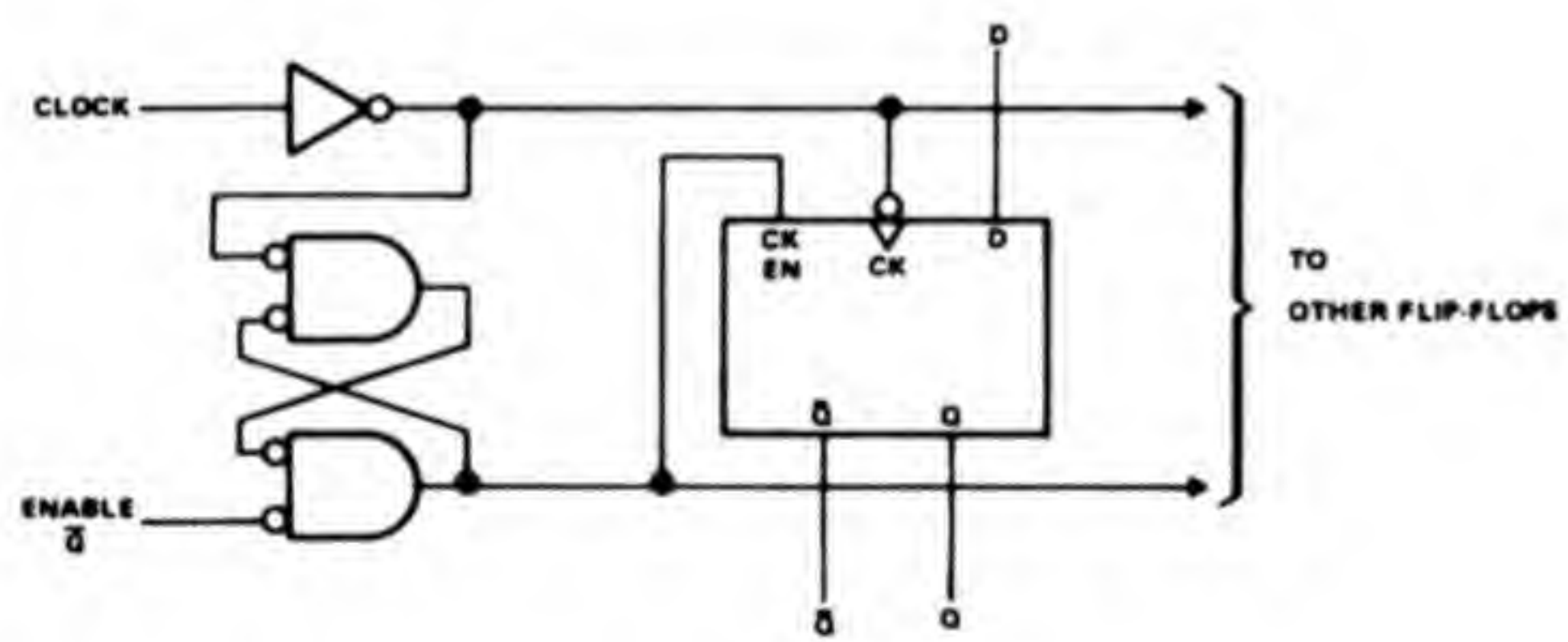
参考品種
74273
74174
74175

74379

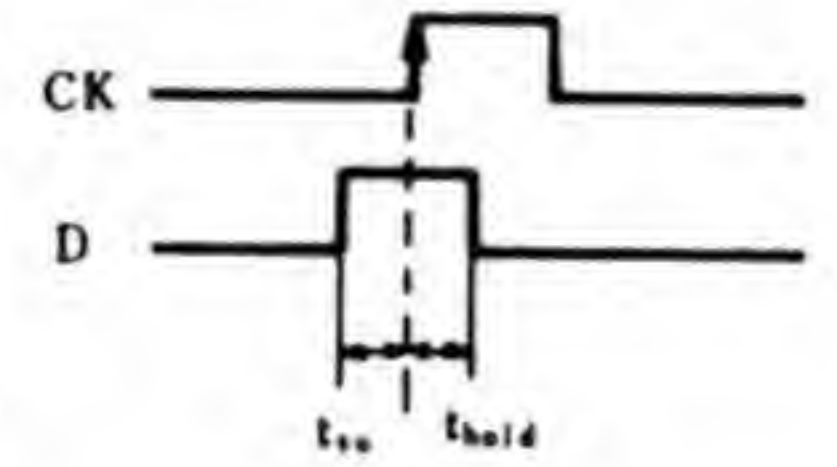
4-Bit D-FFs



○74175のクリア端子をクロックイネーブルに変えたタイプ



入 力		動 作
\bar{G}	CK	
H	X	ホールド
L		データセット

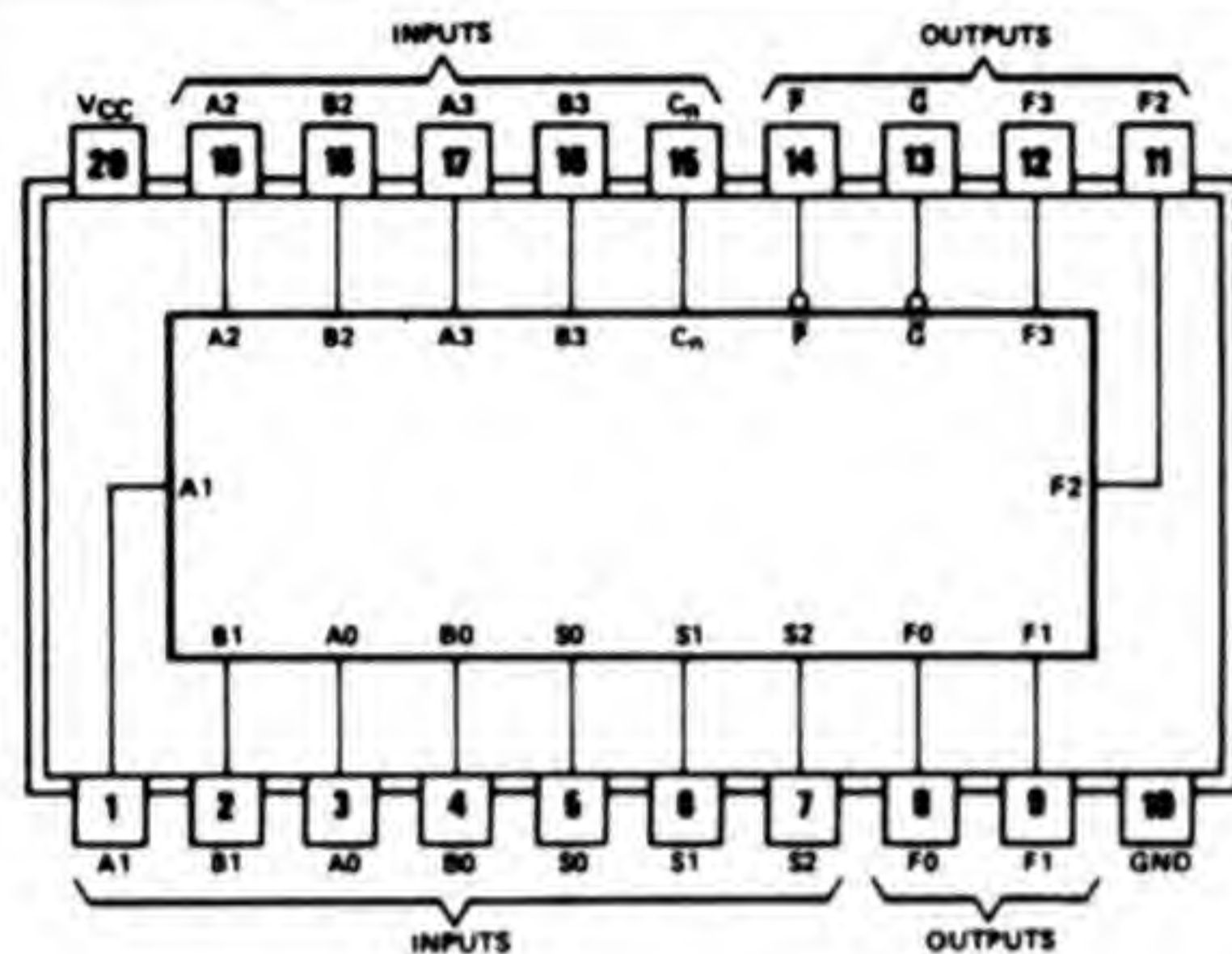


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					30			100				20					MHz
tw	min	CLK					20			5				18					ns
tsu	min	DATA					20 ↑			3 ↑				12					ns
thold	min	D, EN					5 ↑			1 ↑				0					ns
trec	min	ENABLE					25 ↑												ns
tpd	max	CLK		Q			27			9.5				44					ns
lcc	max						15			40				0.08					mA
IIH	max	ALL	H				20			20									μA
IIL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1				4					mA
IOL	max			ALL	L		8			20				4					mA

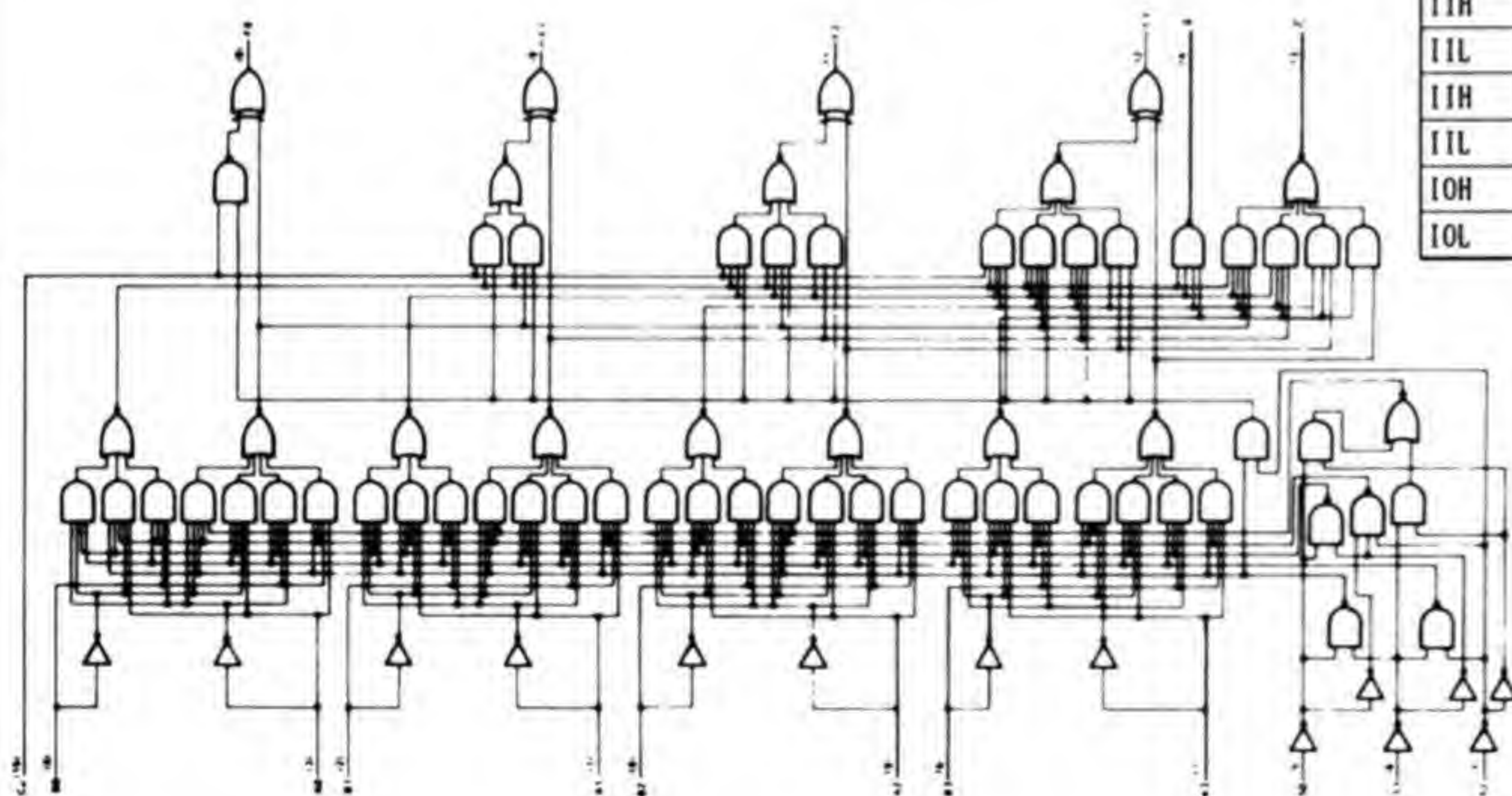
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		D			DF									
日電														
NS		DF			DF									
PHIL														
RCA														
SIGNE					DF									
TI		DF			D		DF		DF					
東芝														
SGS														
CYPRES														
IDT														

参考品種
74273
74174
74175

Arithmetic Logic Unit

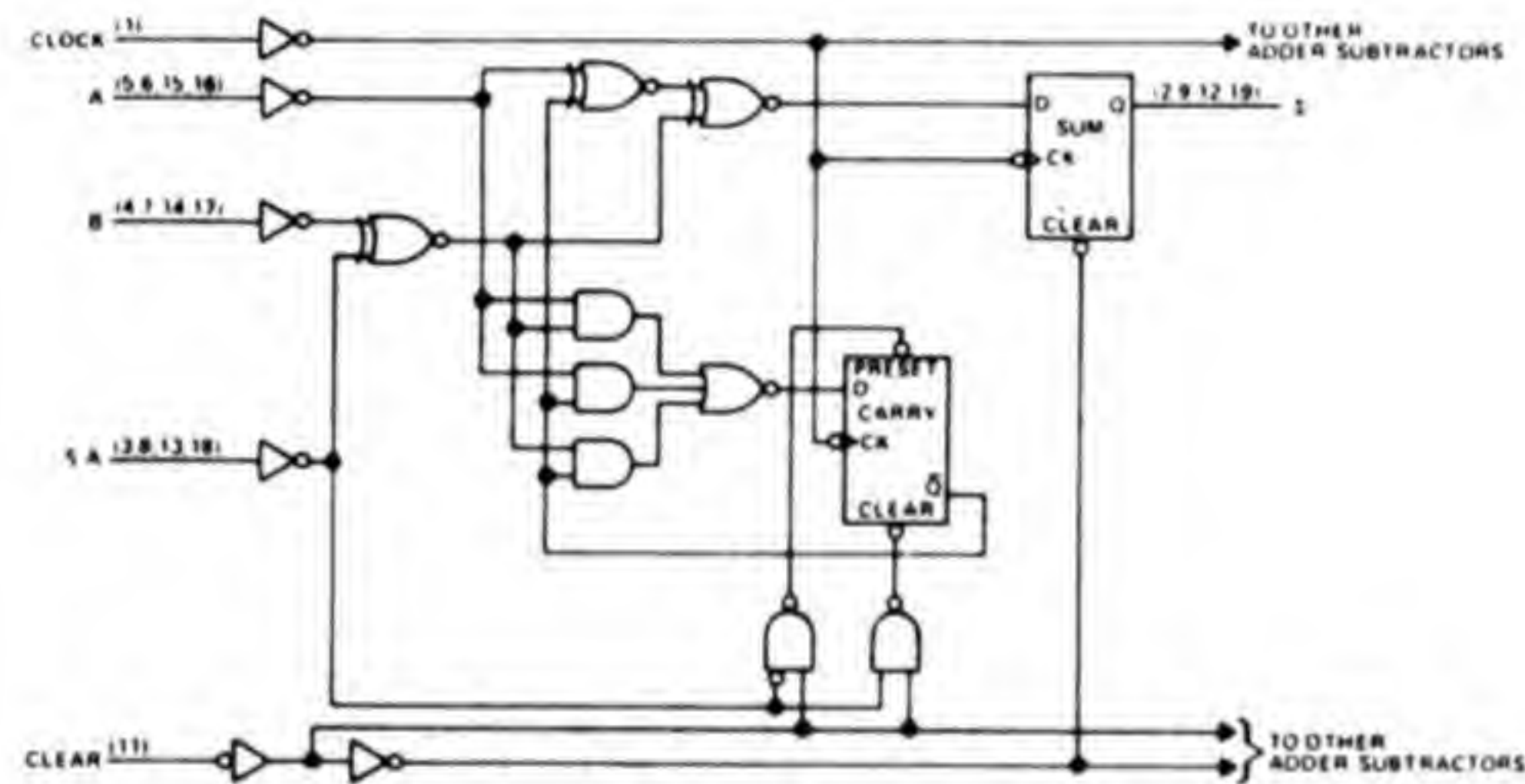


SELECTION			ARITHMETIC/LOGIC OPERATION
S2	S1	S0	
L	L	L	CLEAR
L	L	H	B MINUS A
L	H	L	A MINUS B
L	H	H	A PLUS B
H	L	L	$A \oplus B$
H	L	H	$A + B$
H	H	L	AB
H	H	H	PRESET

[illegible]

參考品種
74181
74382

[illegible]



FUNCTION TABLE

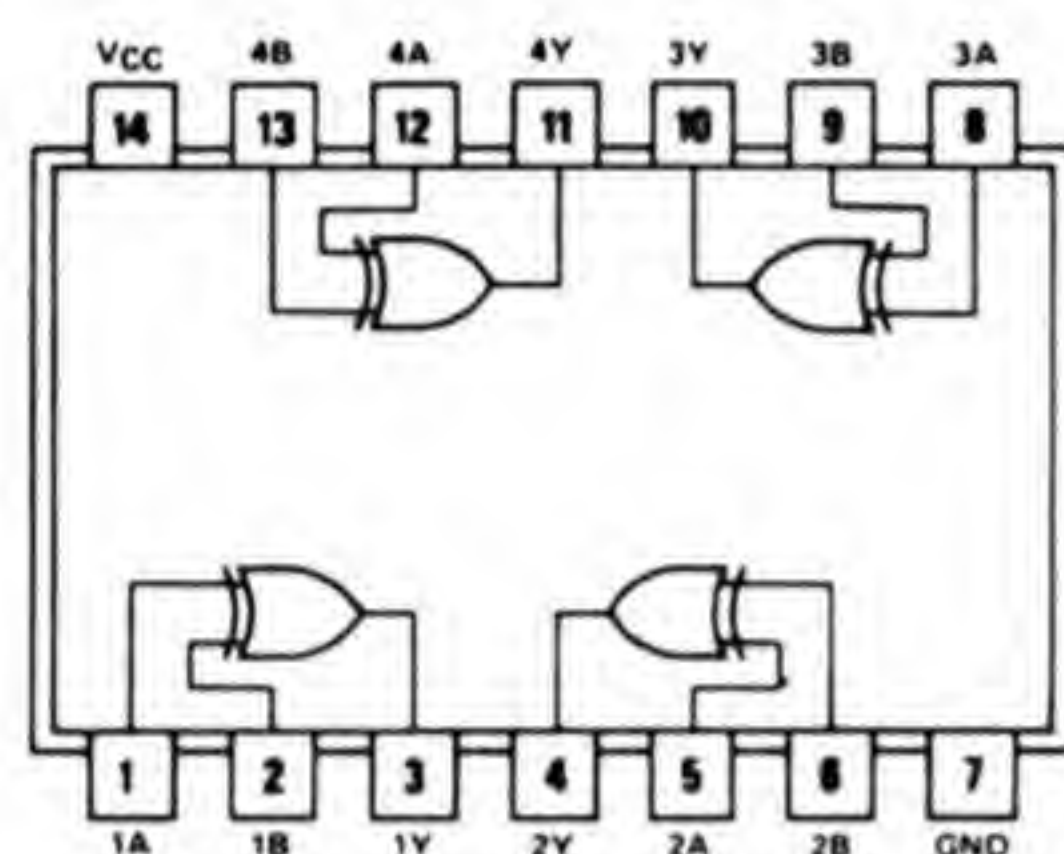
SELECTED	INPUTS				INTERNAL CARRY D INPUT		Z OUTPUT
FUNCTION	CLEAR	S/A	A B	CLOCK	BEFORE	AFTER	AFTER
Clear	L	L	X X	X	L	L	L
	L	H	X X	X	H	H	L
Add	H	L	L L	1	L	L	L
	H	L	L L	1	H	L	H
	H	L	L H	1	L	L	H
	H	L	L H	1	H	H	L
	H	L	H L	1	L	L	H
	H	L	H L	1	H	H	L
	H	L	H H	1	L	H	L
	H	L	H H	1	H	H	H
Subtract	H	H	L L	1	L	L	H
	H	H	L L	1	H	H	L
	H	H	L H	1	L	L	L
	H	H	L H	1	H	L	H
	H	H	H L	1	L	H	L
	H	H	H L	1	H	H	H
	H	H	H H	1	L	L	H
	H	H	H H	1	H	H	L

H = high level, L = low level, X = irrelevant,
† = transition from low to high level at the clock input

[illegible][illegible]

74386

Quad 2 Input Ex-OR



$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

ピン接続が異なるほかは74LS86と同じ。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H			30							30					ns
tpd	max			H→L			12							30					ns
Icc	max						10							0.01					mA
IiH	max	A, B	H				40												μA
IiL	max	A, B	L				0.6												mA
IOH	max			Y	H		0.4							4					mA
IOL	max			Y	L		8							4					mA

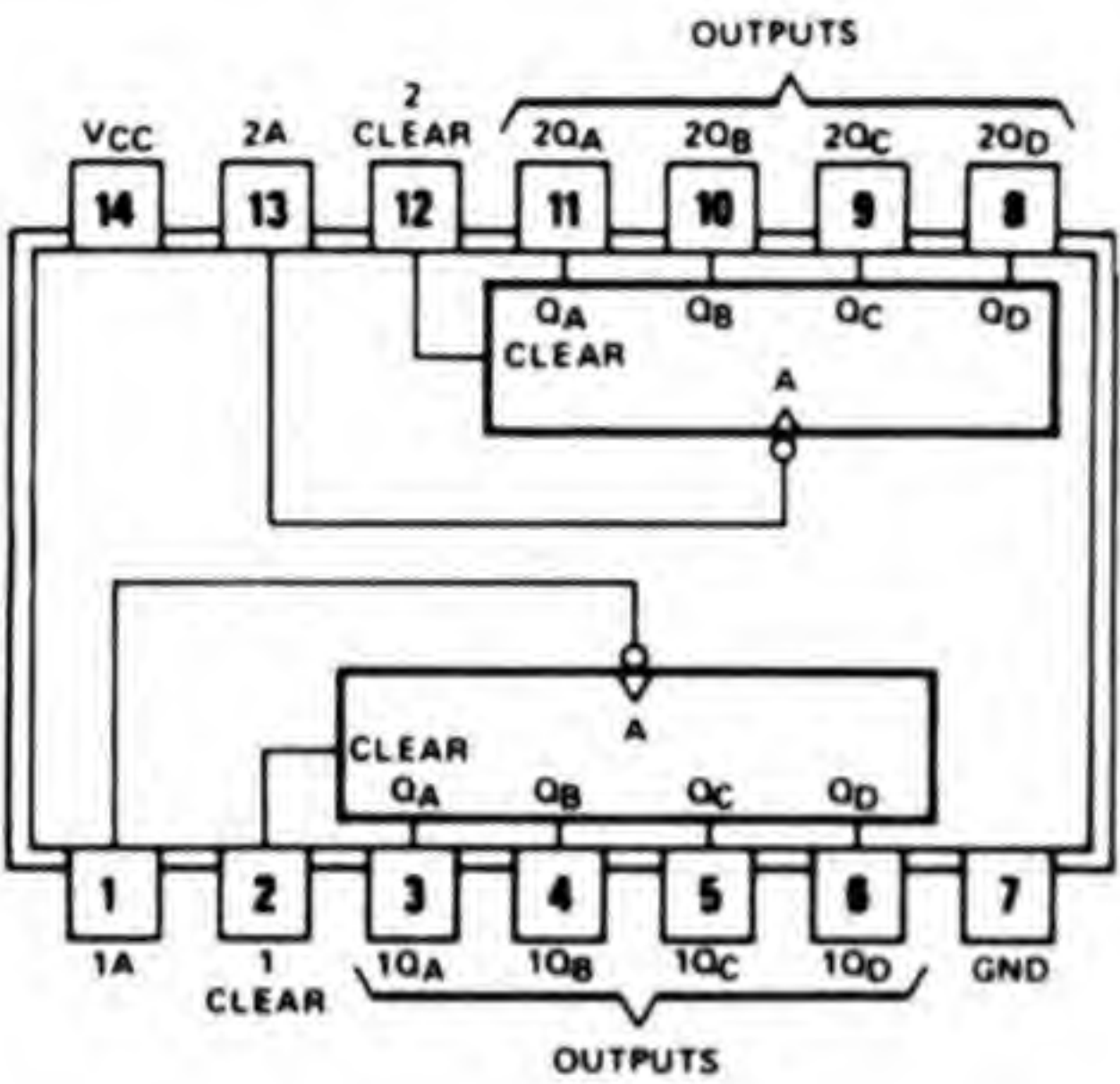
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF					
MOT		D												
日電														
NS		DF												
PHIL														
RCA														
SIGNE														
TI									DF					
東芝		D							DF					
SGS									DF					
CYPRES														
IDT														

参考品種

7486

74393

Dual 4-Bit Binary Counters

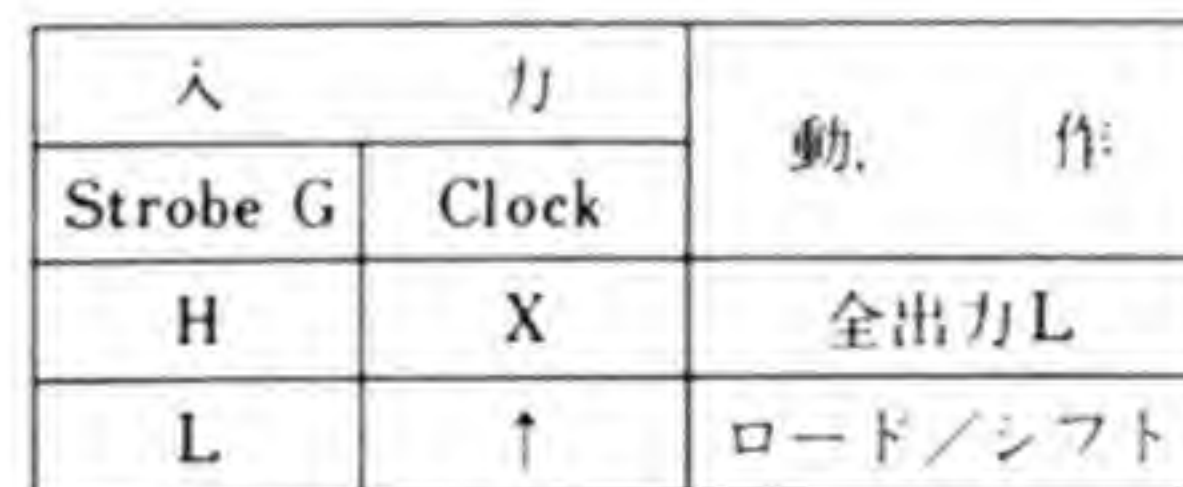
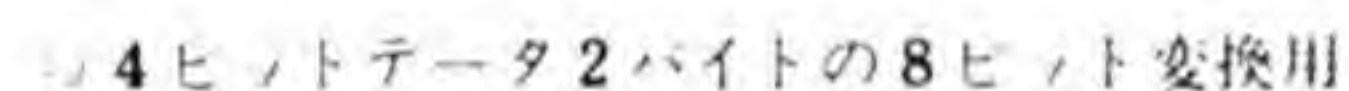


○7493を2回路入れたタイプ、ただしQAは内部で
INPUT Bに接続されている。

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25					100		21		22			MHz
tw	min	CK, CLR					20					5.0		20		24			ns
trec	min	CLEAR					25 ↓					0.0		5		5			ns
tpd	max	CLK		Qa			20					10.0		30		40			ns
tpd	max	CLK		Qd			60					13.0		72		75			ns
tpd	max	CLEAR		Qa~Qd			39					12.0		41		40			ns
Icc	max	ALL	L	ALL	L		26					0.08		0.08		0.08			mA
IIH	max	CLK	H				40												μA
IIL	max	CLK	L				1.6												mA
IIH	max	CLEAR	H				20												μA
IIL	max	CLEAR	L				0.4												mA
IOH	max			ALL	H		0.4					24		4		4			mA
IOL	max			ALL	L		8					24		4		4			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立		DF					DF		DF								
		MOT		DF							DF								
		日電									DF								
		NS		DF							DF								
		PHIL									DF		DF						
		RCA									DF		DF						
		SIGNE					DF												
		TI		DF							DF								
		東芝		D					DFS		DF								
		SGS									DF		DF						
		CYPRES																	
		IDT																	

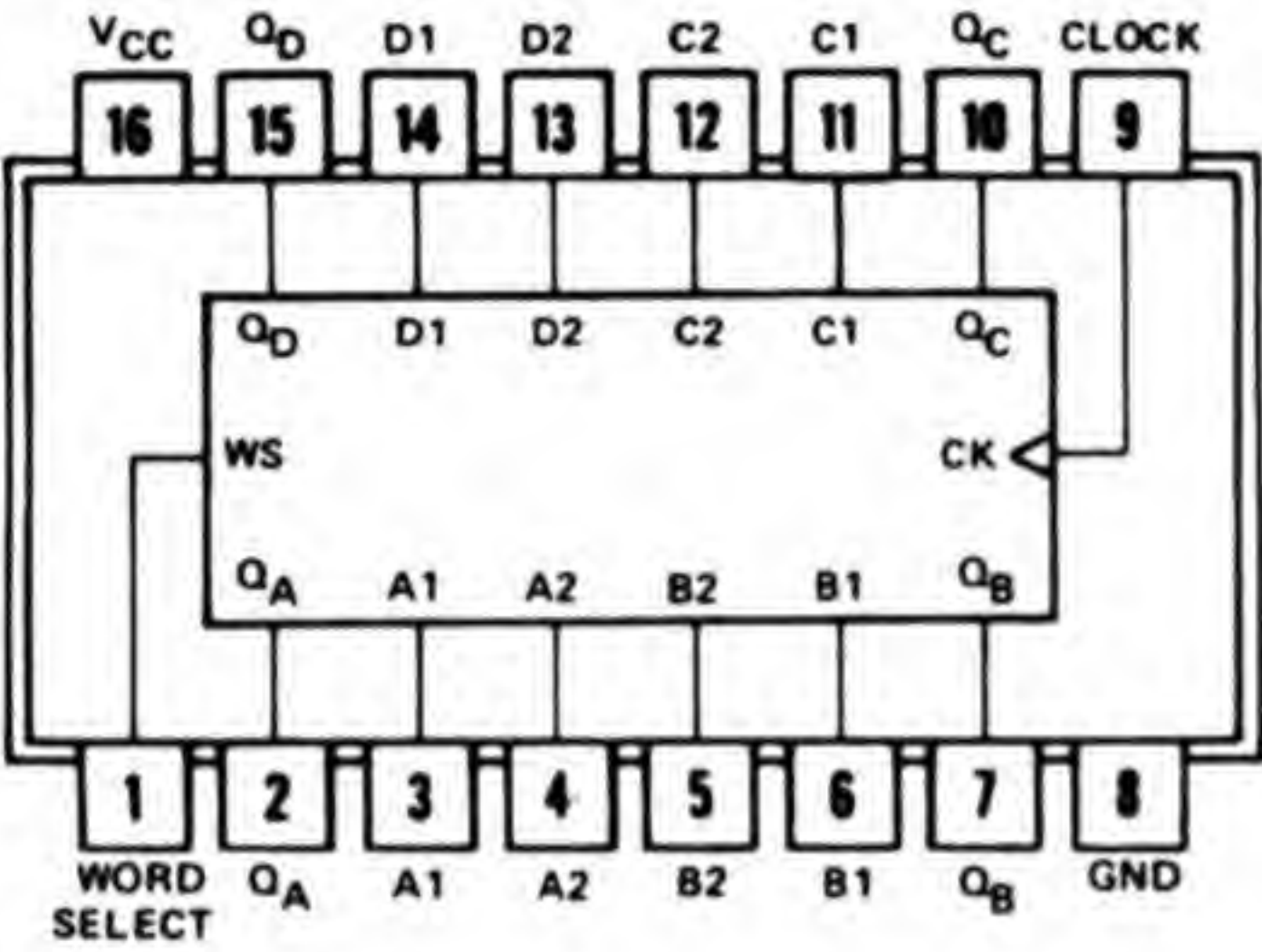
参考品種
7493
74293
7469

Octal (4 × 2) Storage Registers

[illegible]

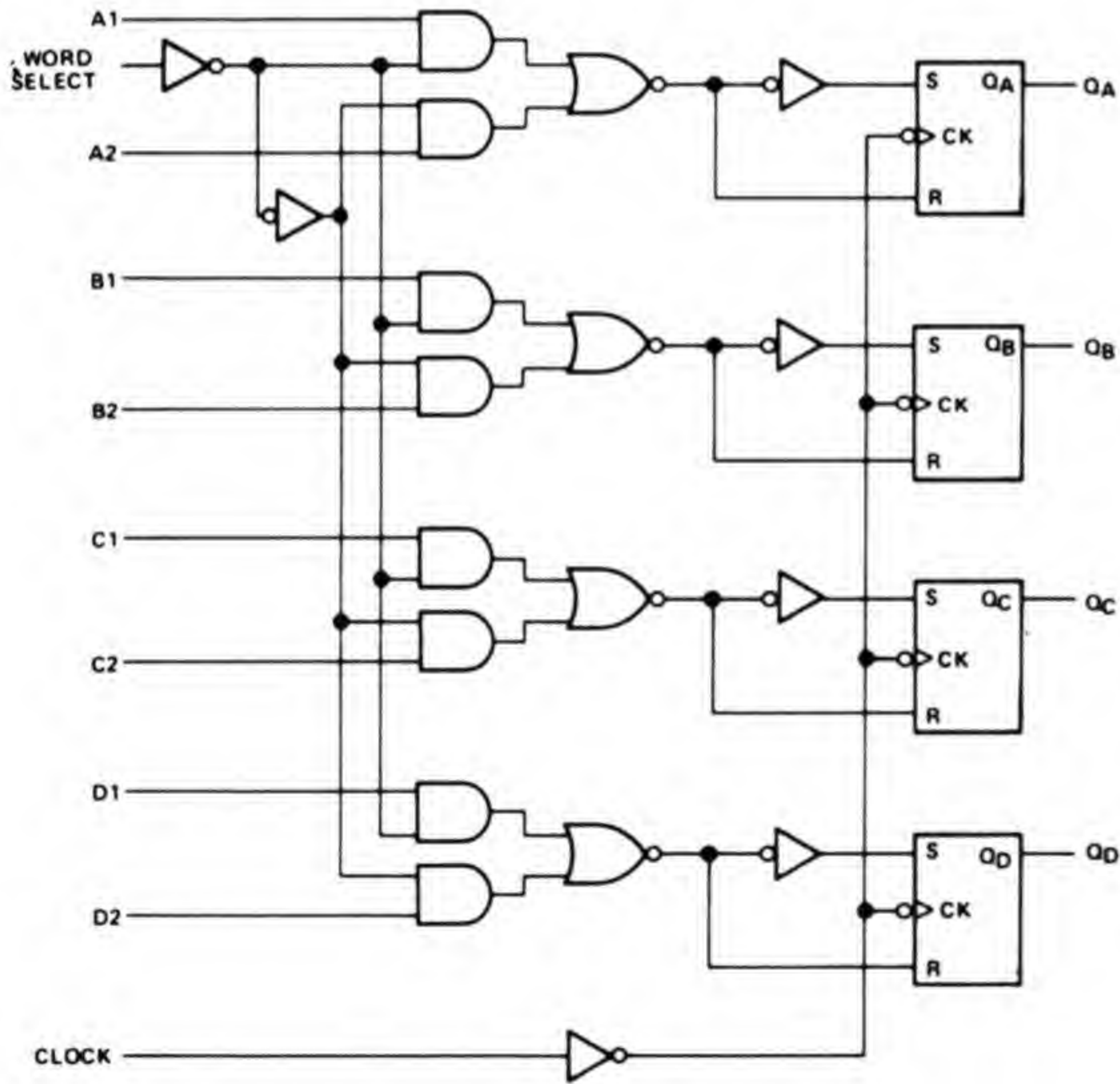
74399

4-Bit 2 Input Multiplex Register



入 力		出 力			
Word Select	CK	QA	QB	QC	QD
L		DA1	DB1	DC1	DD1
H		DA2	DB2	DC2	DD2

○74399は74289のクロック論理を逆にしたタイプ



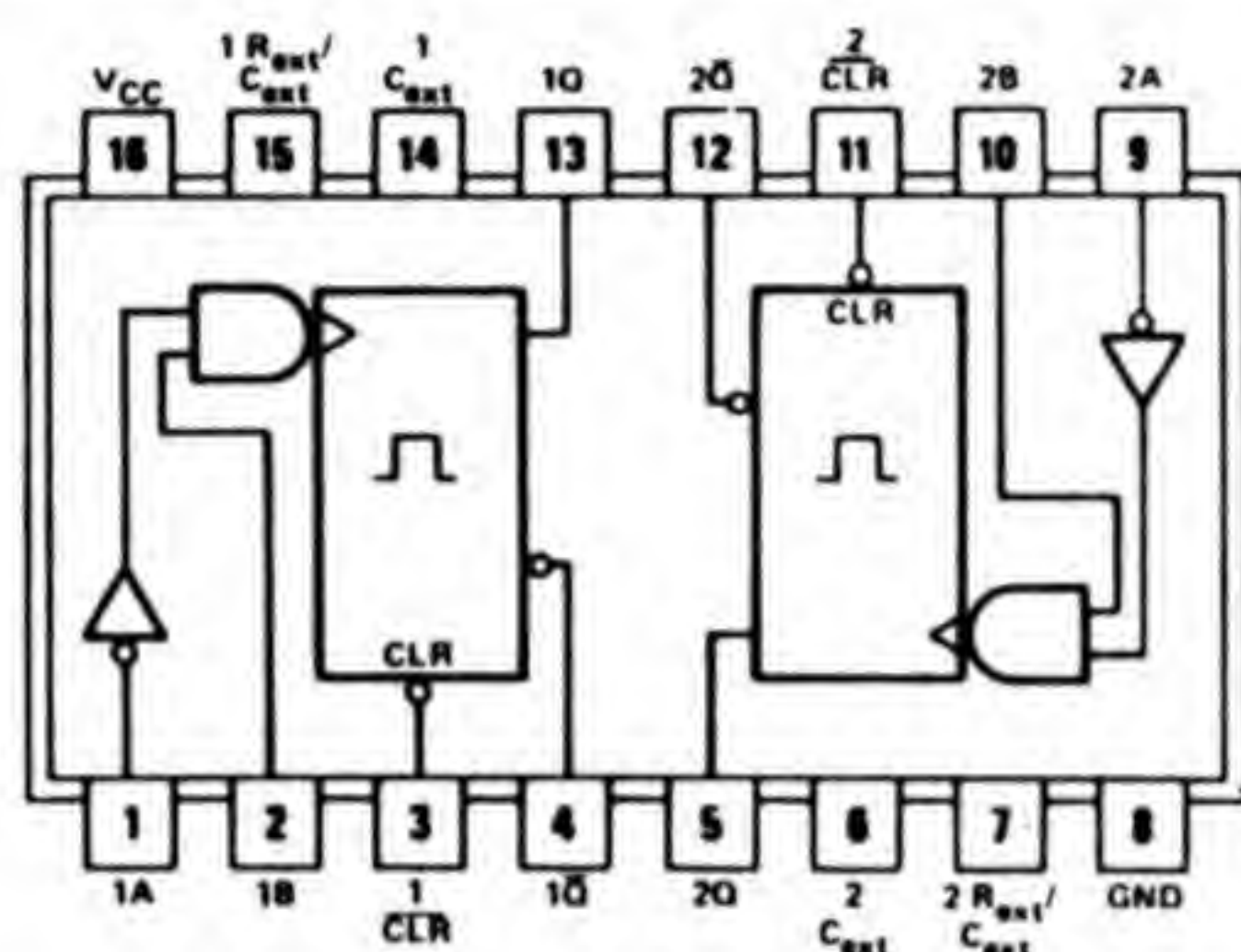
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25			100									MHz
tw	min	CLK					20			6									ns
tsu	min	DATA					20 ↑			4 ↑									ns
ten	min	W. SEL.					25 ↑												ns
thold	min	ALL					0 ↑			1 ↑									ns
tpd	max	CLK		Q			32			12									ns
Icc	max						13			34									mA
IiH	max	ALL	H				20			20									μA
IiL	max	ALL	L				0.4			0.6									mA
IOH	max			ALL	H		0.4			1									mA
IOL	max			ALL	L		8			20									mA

参考品種
74399
74298

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT		DF			DF									
日電														
NS					DF		DF	DF						
PHIL														
RCA														
SIGNE					DF									
TI		DF												
東芝		D												
SGS														
CYPRES					DF									
IDT									DF					

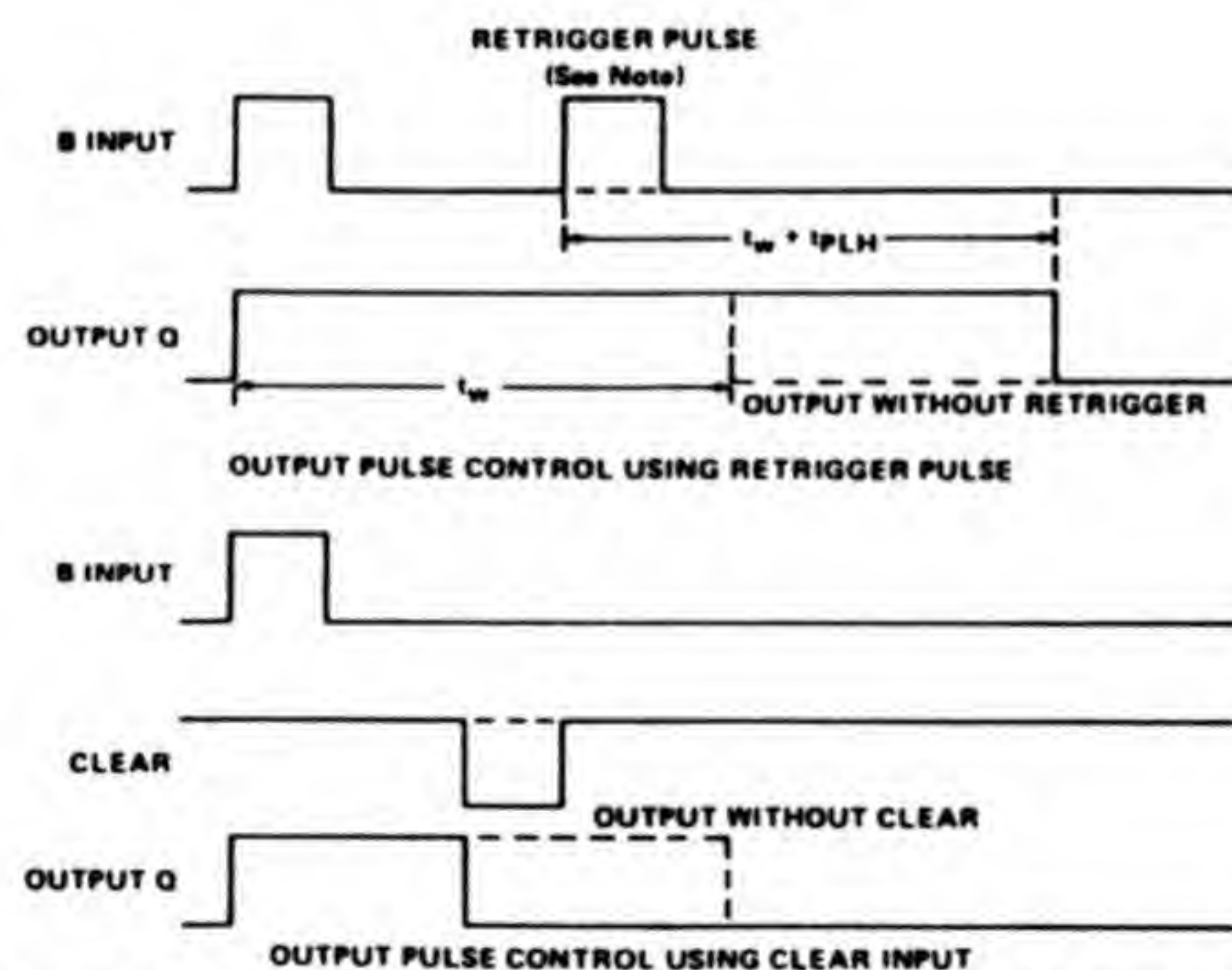
74423

Dual Retriggerable Single Shot



○A, Bの入力条件が成立しているとき CLR を解除 (H) にしてもトリガされない





$$\tau_w = 0.45 R_T \cdot C_T \quad \left(\begin{array}{l} 5 \text{ k}\Omega < R_T < 260 \text{ k}\Omega \\ 1000 \text{ pF} \leq C_T \end{array} \right)$$



NOTE: If retrigger pulse starts before $0.22 C_{EXT}$ (in picofarads) nanoseconds after previous trigger pulse, output pulse extension may be shorter than $t_w + t_{PLH}$.

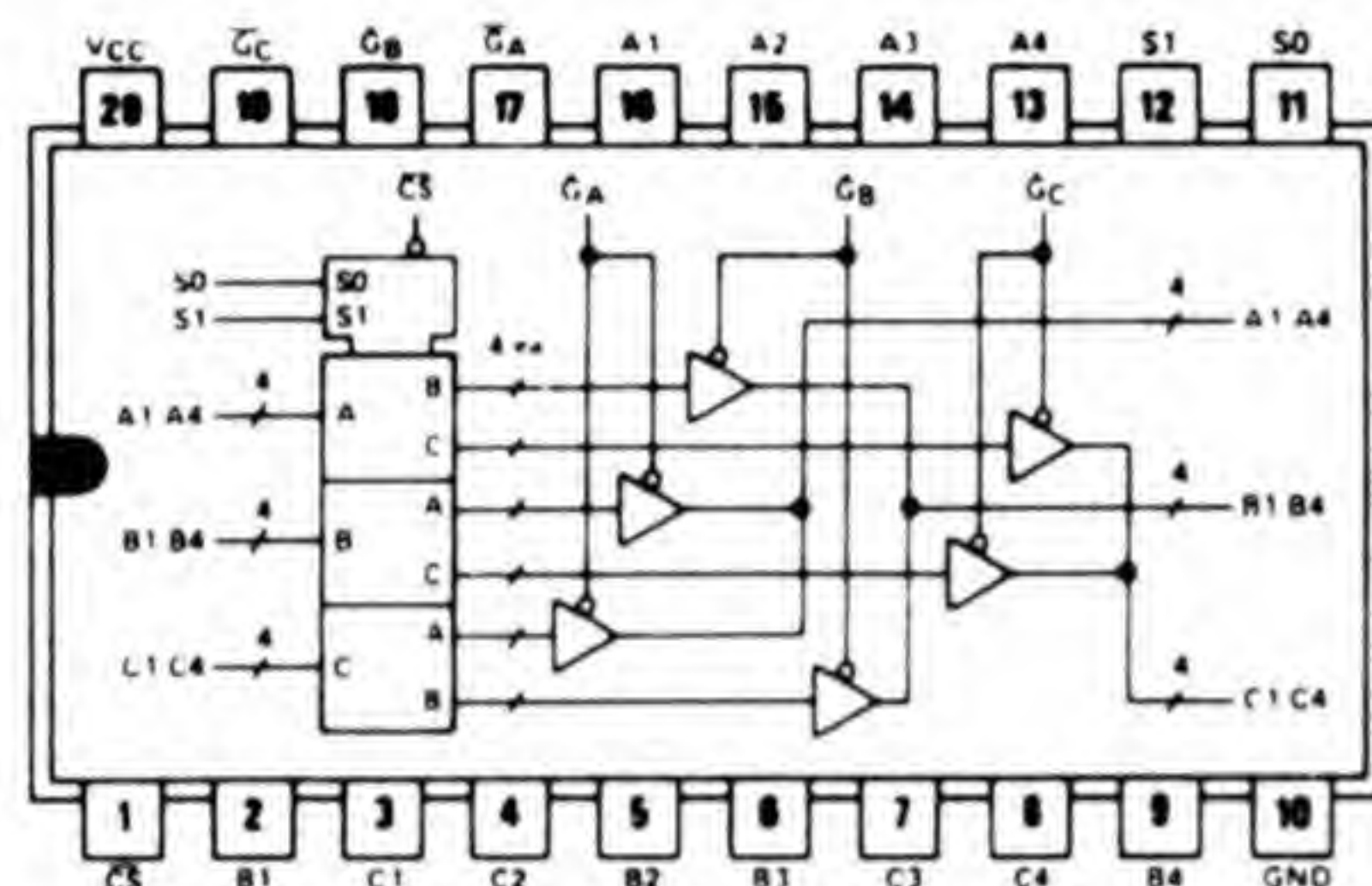
参考品種
74123
74422
74221

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		Q	↑		33							51		51			ns
tpd	max	B		Q	↑		44							51		51			ns
tpd	max	A		-Q	↓		45							51		51			ns
tpd	max	B		-Q	↓		56							51		51			ns
tpd	max	CLEAR		Q			27							43		46			ns
tpd	max	CLEAR		-Q			45							43		46			ns
tw	max	CT=0		RT=5K			200												ns
tw	typ	CT=0		RT=5K										75		75			ns
lcc	max						20							0.08		0.08			mA
I _{IH}	max	ALL	H				20												μA
I _{IL}	max	ALL	L				0.4												mA
I _{OH}	max			Q, -Q	H		0.4							4		4			mA
I _{OL}	max			Q, -Q	L		8							4		4			mA

INPUTS			OUTPUTS	
CLEAR	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑		
H	↓	H		

[illegible]

Quad Tri-directional Bus Transceivers



- ヒステリシス入力（データベース）
- 3系統バスの切替え器
- $\overline{CS} = L$ のとき
- S1, S0でソースを選択する（0: A, 1: B, 2: C）
- $\overline{GA}, \overline{GB}, \overline{GC}$ でデイスティネーションを個別にアクティブとする

FUNCTION TABLE

INPUTS					TRANSFERS BETWEEN BUSES			
$\bar{C}S$	S1	S0	$\bar{G}A$	$\bar{G}B$	$\bar{G}C$	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	$A \cdot B, A \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$
L	L	H	L	X	L	$B \cdot C, B \cdot A$	$\bar{B} \cdot C, \bar{B} \cdot A$	$\bar{B} \cdot C, \bar{B} \cdot A$
L	H	L	L	L	X	$C \cdot A, C \cdot B$	$\bar{C} \cdot A, \bar{C} \cdot B$	$\bar{C} \cdot A, \bar{C} \cdot B$
L	L	L	X	L	H	$A \cdot B$	$\bar{A} \cdot B$	$\bar{A} \cdot B$
L	L	H	H	X	L	$B \cdot C$	$\bar{B} \cdot C$	$B \cdot C$
L	H	L	L	H	X	$C \cdot A$	$\bar{C} \cdot A$	$\bar{C} \cdot A$
L	L	L	X	H	L	$A \cdot C$	$\bar{A} \cdot C$	$\bar{A} \cdot C$
L	L	H	L	X	H	$B \cdot A$	$\bar{B} \cdot A$	$\bar{B} \cdot A$
L	H	L	H	L	X	$C \cdot B$	$\bar{C} \cdot B$	$C \cdot B$

- LS442, LS443, LS444は3 S出力
LS440, LS441, LS448はOC出力

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B, C		(NORM)			20							50					ns
tpd	max	A, B, C		(INV)			14							50					ns
tpd	max	S0, S1		A, B, C										50					ns
tpd	max	S0, S1		Z→X			42							38					ns
tpd	max	S0, S1		X→Z			(25)							38					ns
Tyst	min	A, B, C					0. 2							15					V
lcc	max			OFF			95							0. 04					mA
IIH	max	ALL	H				20												μA
IIL	max	ALL	L				0. 4												mA
IOH	max			3S	H		3												mA
IOL	max			3S	L		24												mA
IZH	max			3S	H		20							5. 0					μA
IZL	max			3S	L		400							5. 0					μA
IOH	max			OC	H		100							6					mA
IOL	max			OC	L		24							6					mA

[illegible]

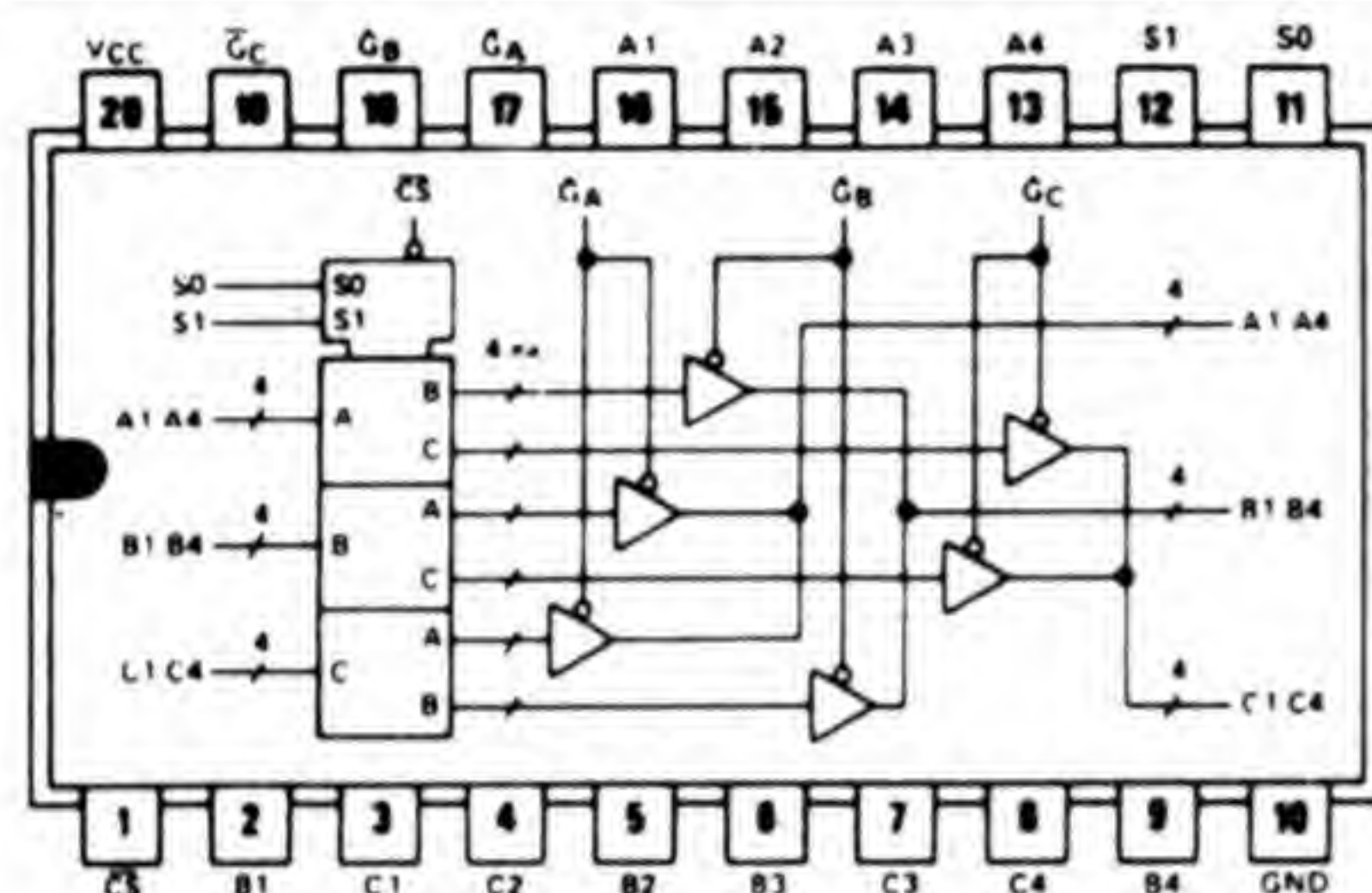
- $\overline{\text{GA}}, \overline{\text{GB}}, \overline{\text{GC}}$ でディスティネーションを個別にアクティブとする

INPUTS						TRANSFERS BETWEEN BUSES		
\bar{CS}	S1	S0	\bar{GA}	\bar{GB}	\bar{GC}	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	$A \cdot B, A \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$
L	L	H	L	X	L	$B \cdot C, B \cdot A$	$\bar{B} \cdot C, \bar{B} \cdot A$	$B \cdot C, \bar{B} \cdot A$
L	H	L	L	L	X	$C \cdot A, C \cdot B$	$\bar{C} \cdot A, \bar{C} \cdot B$	$\bar{C} \cdot A, C \cdot B$
L	L	L	X	L	H	$A \cdot B$	$\bar{A} \cdot B$	$\bar{A} \cdot B$
L	L	H	H	X	L	$B \cdot C$	$\bar{B} \cdot C$	$B \cdot C$
L	H	L	L	H	X	$C \cdot A$	$\bar{C} \cdot A$	$\bar{C} \cdot A$
L	L	L	X	H	L	$A \cdot C$	$\bar{A} \cdot C$	$\bar{A} \cdot C$
L	L	H	L	X	H	$B \cdot A$	$\bar{B} \cdot A$	$\bar{B} \cdot A$
L	H	L	H	L	X	$C \cdot B$	$\bar{C} \cdot B$	$C \cdot B$

- | 項目 | 大小 | 入力 | IN | 出力 | OUT | LV | LS | ALS | ALSK | F | AS | AC | ACT | HC | HCU | HCT | BC | BCT | 単位 |
|------|-----|---------|----|---------|-----|----|------|-----|------|---|----|----|-----|------|-----|-----|----|-----|----|
| tpd | max | A, B, C | | (NORM) | | | 20 | | | | | | | 50 | | | | | ns |
| tpd | max | A, B, C | | (INV) | | | 14 | | | | | | | 50 | | | | | ns |
| tpd | max | S0, S1 | | A, B, C | | | | | | | | | | 50 | | | | | ns |
| tpd | max | S0, S1 | | Z→X | | | 42 | | | | | | | 38 | | | | | ns |
| tpd | max | S0, S1 | | X→Z | | | (25) | | | | | | | 38 | | | | | ns |
| Tyst | min | A, B, C | | | | | | | | | | | | 15 | | | | | V |
| Icc | max | | | OFF | | | 95 | | | | | | | 0.04 | | | | | mA |
| I1H | max | ALL | H | | | | 20 | | | | | | | | | | | | μA |
| I1L | max | ALL | L | | | | 0.4 | | | | | | | | | | | | mA |
| I0H | max | | | 3S | H | | 3 | | | | | | | | | | | | mA |
| I0L | max | | | 3S | L | | 24 | | | | | | | | | | | | mA |
| I2H | max | | | 3S | H | | 20 | | | | | | | 5.0 | | | | | μA |
| I2L | max | | | 3S | L | | 400 | | | | | | | 5.0 | | | | | μA |
| I0H | max | | | OC | H | | 100 | | | | | | | 6 | | | | | mA |
| I0L | max | | | OC | L | | 24 | | | | | | | 6 | | | | | mA |

[illegible]

Quad Tri-directional Bus Transceivers



- ヒステリシス入力（データバス）
- 3系統バスの切替え器
- $\overline{CS}=L$ のとき
 - SI, S0 でソースを選択する（0：A, 1：B, 2：C）
 - $\overline{GA}, \overline{GB}, \overline{GC}$ でディスティネーションを個別にアクティブとする

FUNCTION TABLE

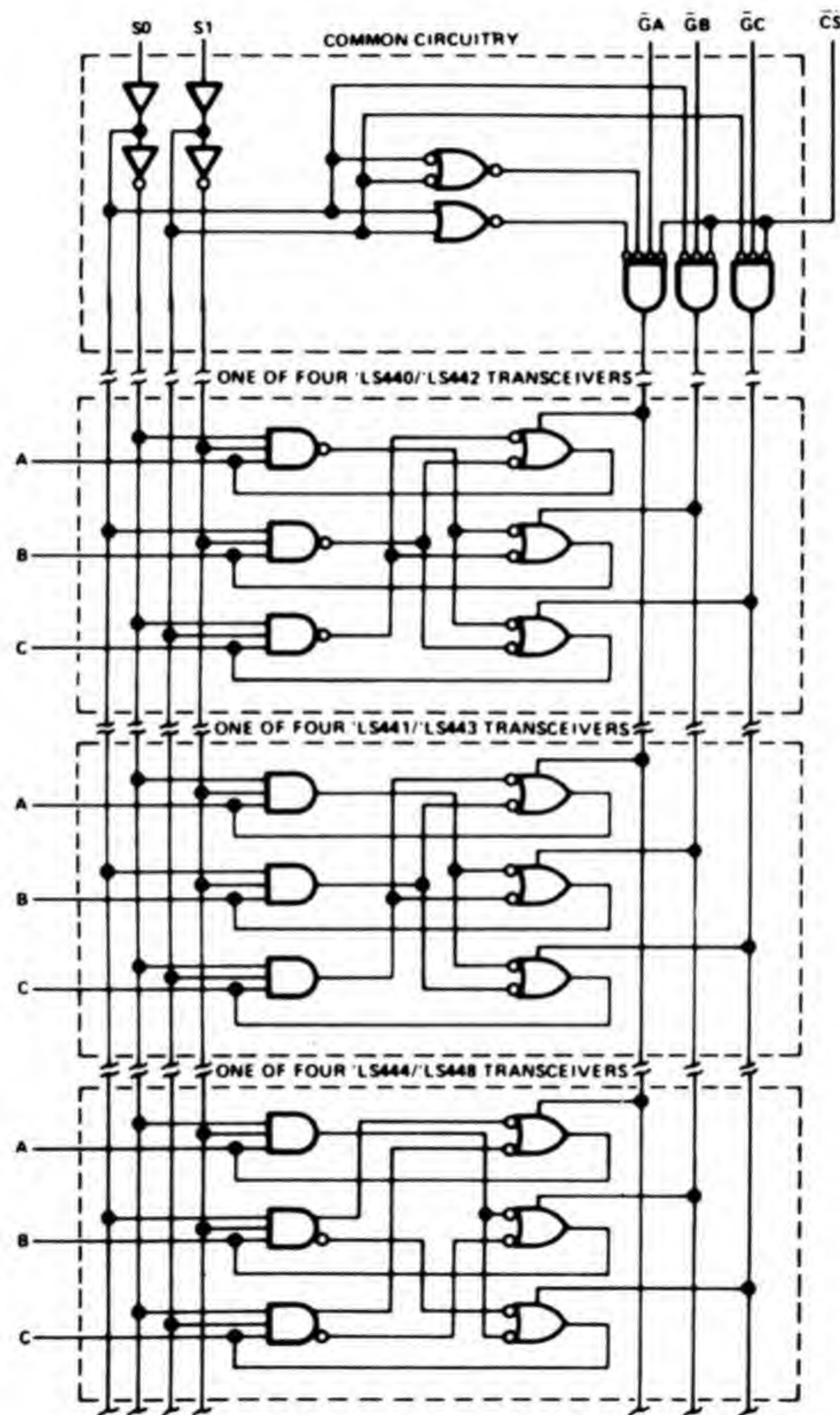
INPUTS						TRANSFERS BETWEEN BUSES		
$\bar{C}S$	S1	S0	$\bar{G}A$	$\bar{G}B$	$\bar{G}C$	'LS440 'LS442	'LS441 'LS443	'LS444 'LS448
H	X	X	X	X	X	None	None	None
X	H	H	X	X	X	None	None	None
X	X	X	H	H	H	None	None	None
X	L	L	X	H	H	None	None	None
X	L	H	H	X	H	None	None	None
X	H	L	H	H	X	None	None	None
L	L	L	X	L	L	$A \cdot B, A \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$	$\bar{A} \cdot B, \bar{A} \cdot C$
L	L	H	L	X	L	$B \cdot C, B \cdot A$	$\bar{B} \cdot C, \bar{B} \cdot A$	$B \cdot C, \bar{B} \cdot A$
L	H	L	L	L	X	$C \cdot A, C \cdot B$	$\bar{C} \cdot A, \bar{C} \cdot B$	$\bar{C} \cdot A, C \cdot B$
L	L	L	X	L	H	$A \cdot B$	$\bar{A} \cdot B$	$\bar{A} \cdot B$
L	L	H	H	X	L	$B \cdot C$	$\bar{B} \cdot C$	$B \cdot C$
L	H	L	L	H	X	$C \cdot A$	$\bar{C} \cdot A$	$\bar{C} \cdot A$
L	L	L	X	H	L	$A \cdot C$	$\bar{A} \cdot C$	$\bar{A} \cdot C$
L	L	H	L	X	H	$B \cdot A$	$\bar{B} \cdot A$	$\bar{B} \cdot A$
L	H	L	H	L	X	$C \cdot B$	$\bar{C} \cdot B$	$C \cdot B$

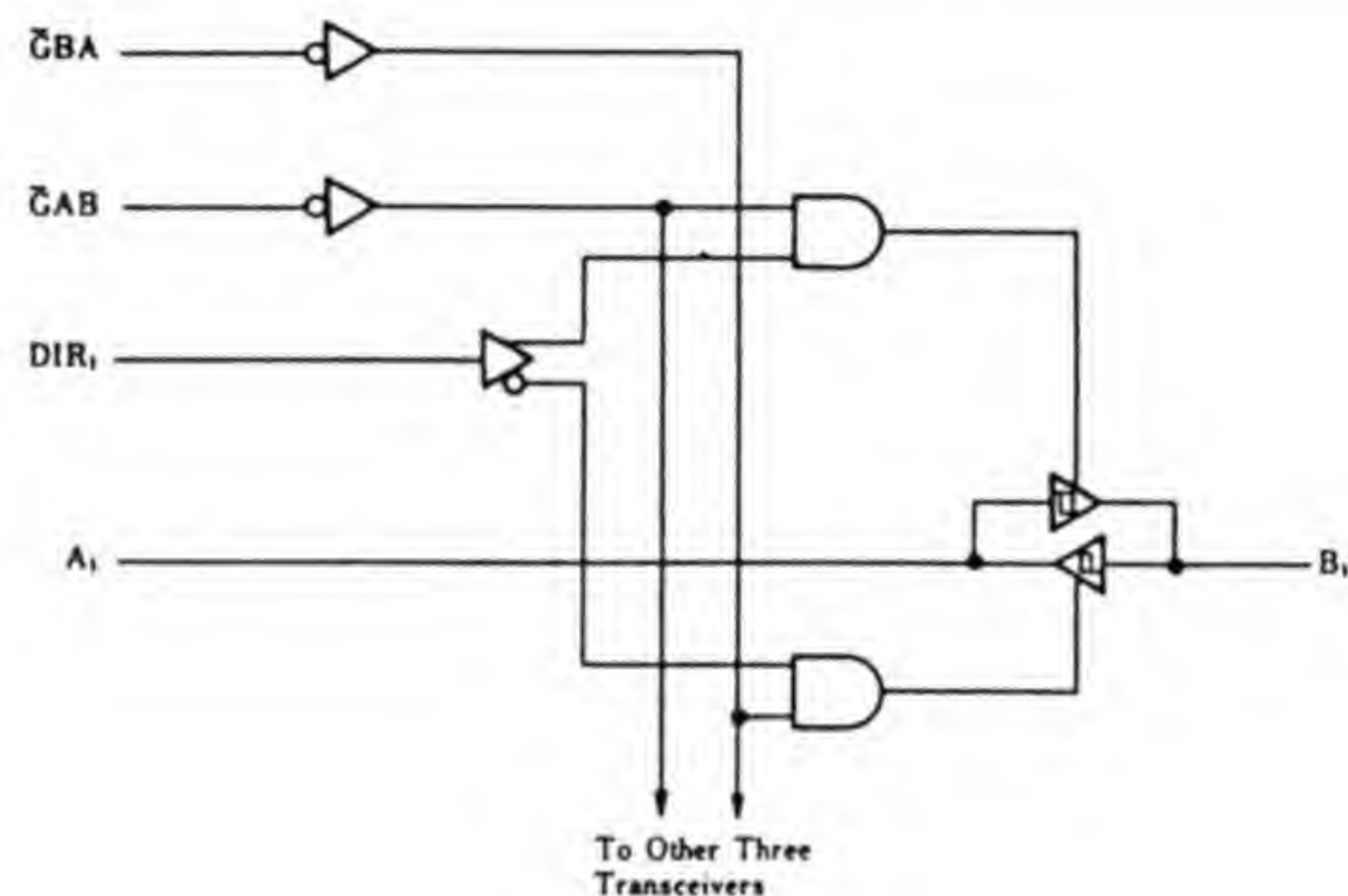
- LS442, LS443, LS444は3 S出力
LS440, LS441, LS448は0 C出力

[illegible]

74442, 74443, 74444

Quad Tri-directional Bus Transceivers





- ### 機能表

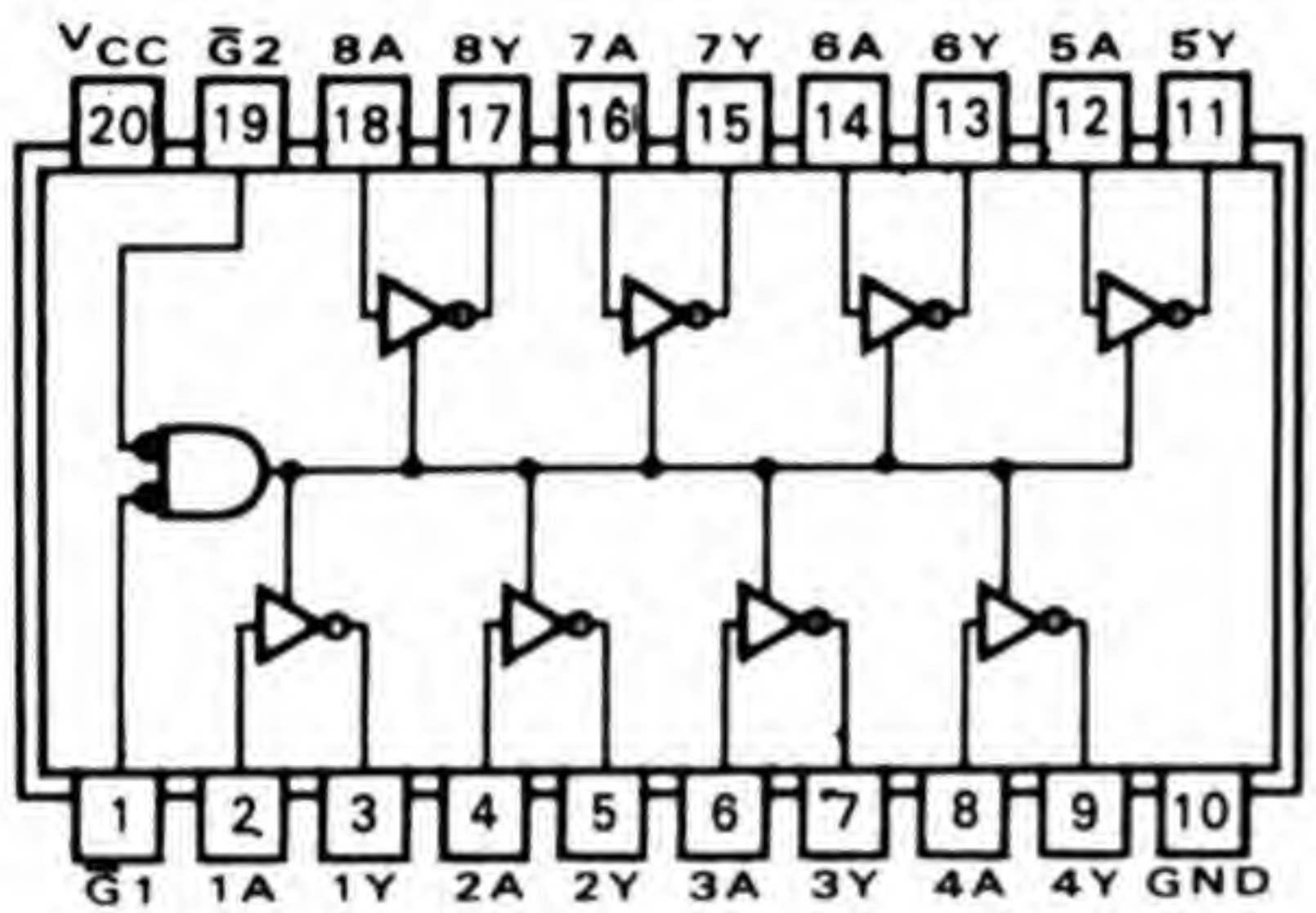
イネーブル		方向	動作
GBA	GAB	DIR	
H	H	X	アイソレーション
X	L	H	A データから B バス
L	X	L	B データから A バス
X	H	H	アイソレーション
H	X	L	アイソレーション

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Gn/DIR		An	L→H		15									25			ns
tpd	max	Gn/DIR			H→L		17									25			ns
tpd	max	A			Z→L		35									30			ns
tpd	max	A			Z→H		30									30			ns
tpd	max	G			L→Z		25									30			ns
tpd	max	G			H→Z		15									30			ns
lcc	max						80									.004			mA
lcc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max						24									6			mA

[illegible]

74466 (81LS96)

Octal 3-State Bus Buffers



81LS96

74LS365, 74LS366の8bit版

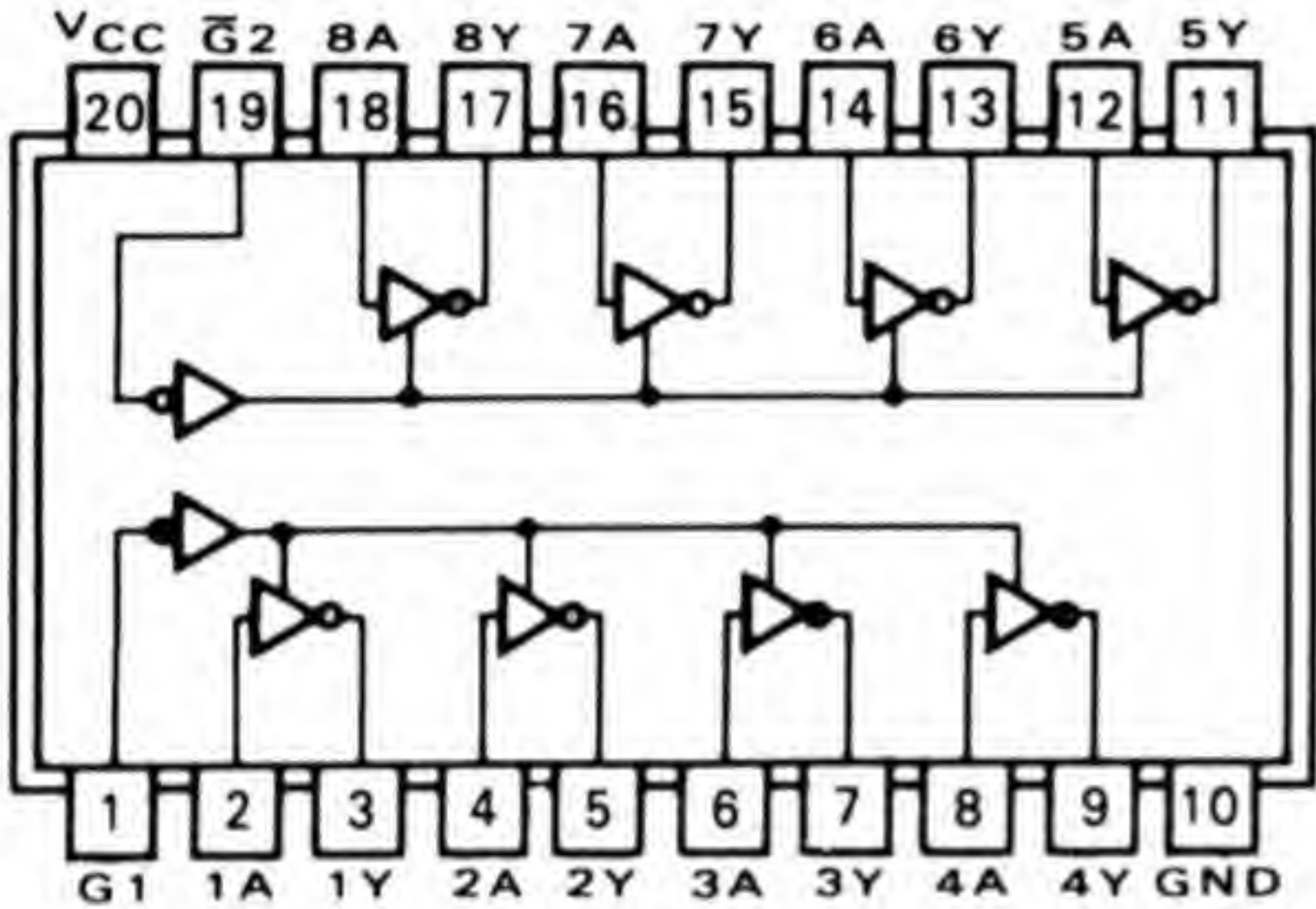
(注) TIのLS465, LS466はPNP入力

○74796と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		12	12											ns
tpd	max			H→L	↓		15	9											ns
tpd	max			Z→H	△		40	16											ns
tpd	max			Z→L	▽		45	23											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	17											ns
Icc	max	A, E	L				13	27											mA
IiH	max	ALL	H				20	20											μA
IiL	max	ALL	L				0.2	0.1											mA
IOH	max			ALL	H		2.6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立																	
		MOT																	
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI		DF	DF														
		東芝																	
		SGS																	
		CYPRES																	
		IDT																	

74468 (81LS98)

Octal 3-State Bus

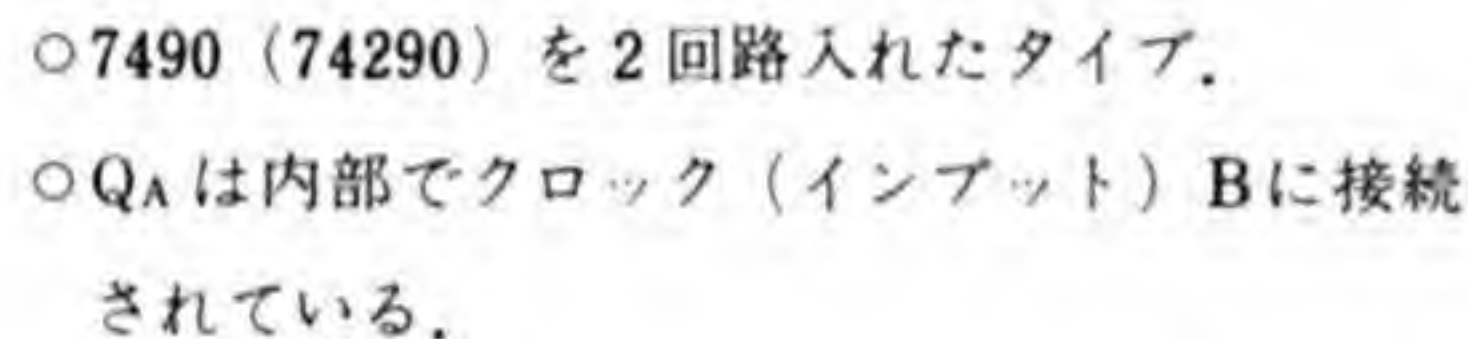


81LS98

○ 74LS367, 74LS268の8bit版

○ 74798と同じ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		12	12											ns
tpd	max			H→L	↓		15	9											ns
tpd	max			Z→H	△		40	16											ns
tpd	max			Z→L	▽		45	23											ns
tpd	max			H→Z	▲		40	10											ns
tpd	max			L→Z	▼		45	17											ns
Icc	max	A, E	L				13	27											mA
IiH	max	ALL	H				20	20											μA
IiL	max	ALL	L				0.2	0.1											mA
IOH	max			ALL	H		2.6	15											mA
IOL	max			ALL	L		24	24											mA
IZL	max			ALL	L		20	20											μA
IZH	max			ALL	H		20	20											UA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立																	
		MOT																	
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI			DF														
		東芝																	
		SGS																	
		CYPRES																	
		IDT																	



COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

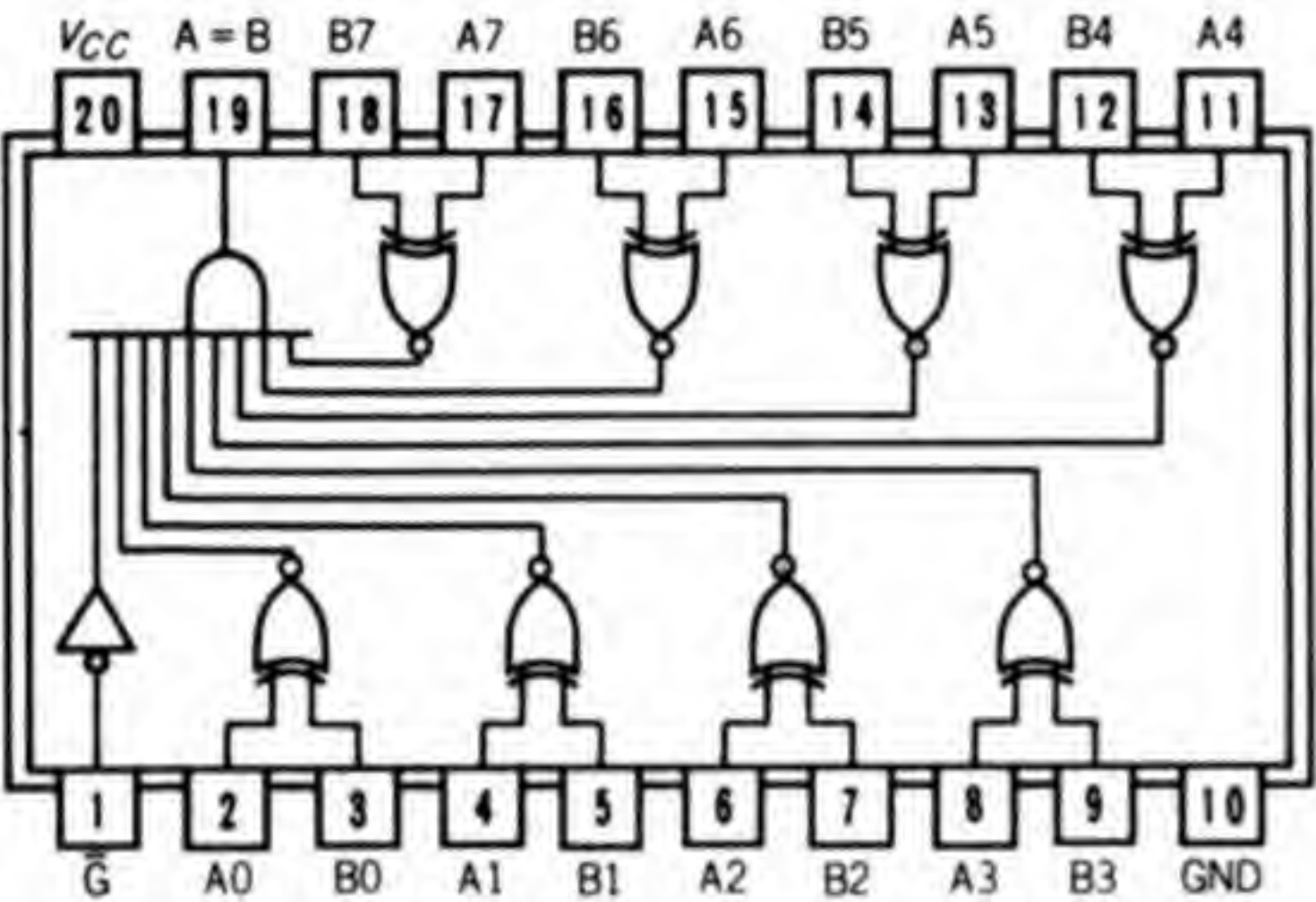
INPUTS		OUTPUTS			
CLEAR	SET-TO-9	Q _A	Q _B	Q _C	Q _D
H	L	L	L	L	L
L	H	H	L	L	H
L	L	COUNT			

参考品種
74390
7490
74290

[illegible]

74518

8-Bit Equal-to Comparator



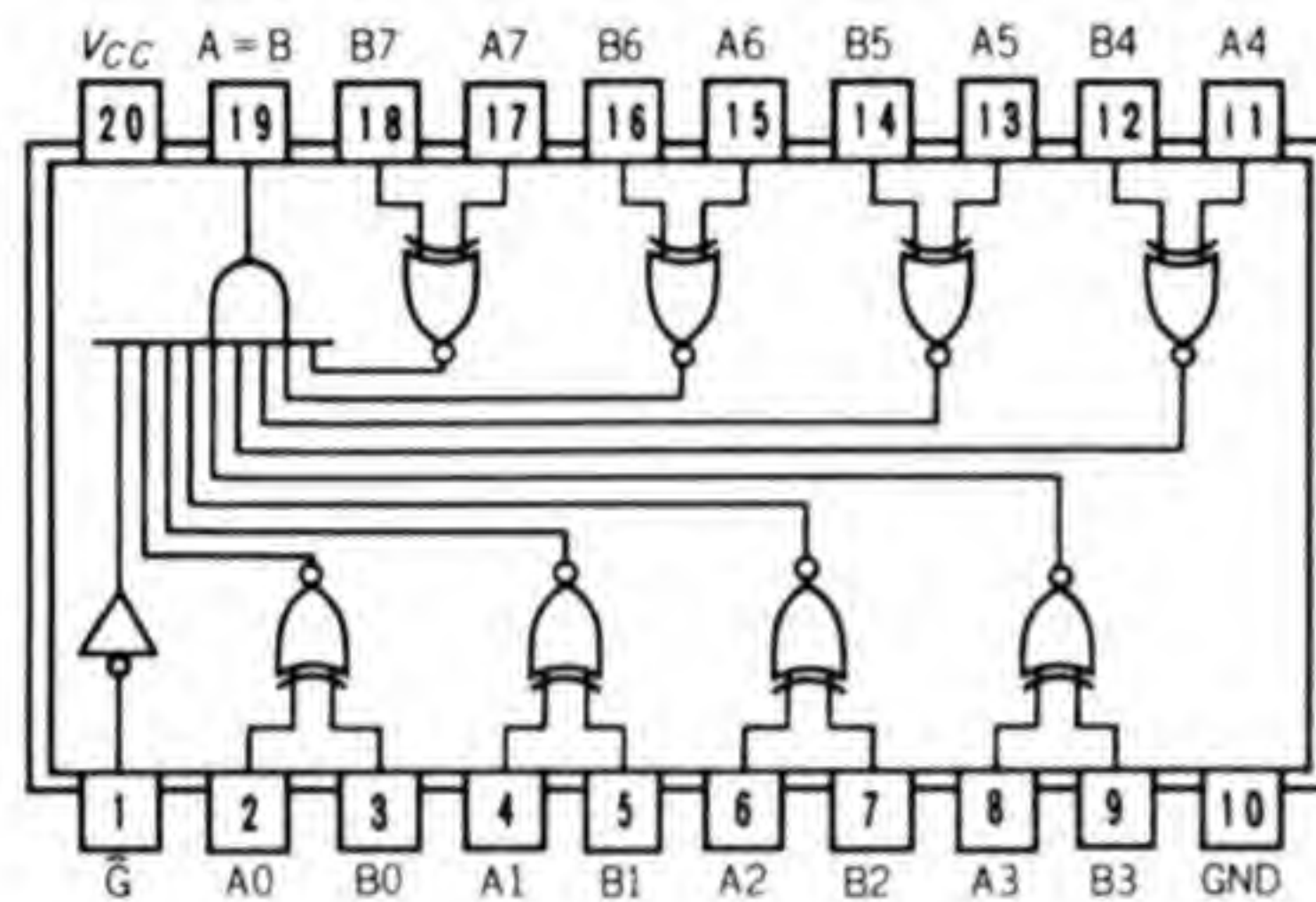
ナンバー	入 力	出 力
74518	20K P. U.	一 致 O. C.
74519	—	一 致 O. C.
74520	20K P. U.	不一致 T. P.
74521	—	不一致 T. P.
74522	20K P. U.	不一致 O. C.
74689	—	不一致 O. C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		A=B				33		15									ns
tpd	max	G		A=B				33		14.5									ns
Icc	max	G	L	OPEN				17		39									mA
IIH	max	B	H					0.2		0.3									mA
IIL	max	B	L					0.6		1									mA
IIH	max	OTHERS	H					20		20									μA
IIL	max	OTHERS	L					0.1		1									mA
IOH	max			A=B	H			0.1		0.1									mA
IOL	max			A=B	L			24		20									mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立																	
		MOT																	
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI					DF												
		東芝																	
		SGS																	
		CYPRES																	
		IDT																	

74519

8-Bit Equal-to Comparator



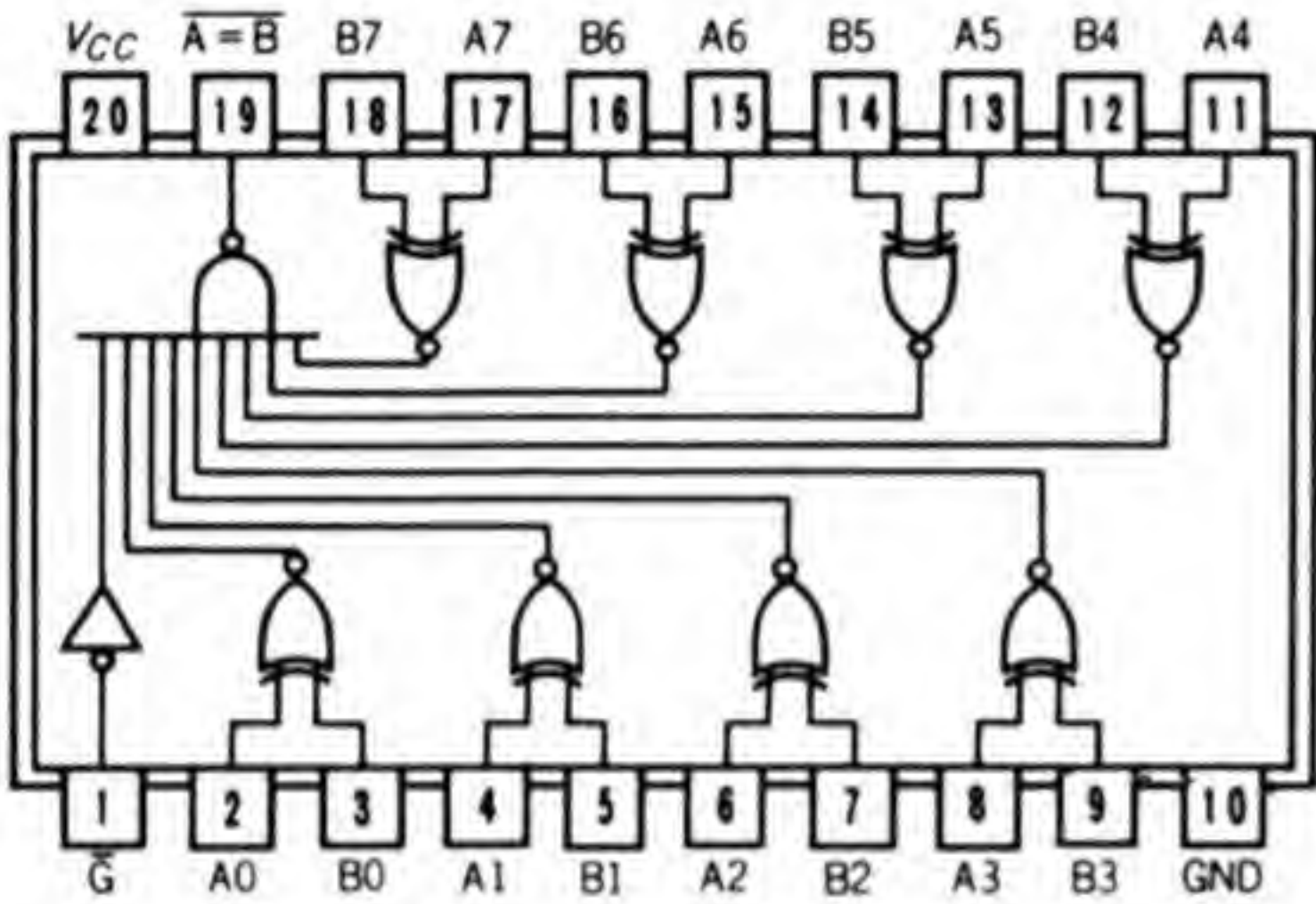
ナンバー	入 力	出 力	
74518	20K P. U.	一 致	O. C.
74519	—	一 致	O. C.
74520	20K P. U.	不一致	T. P.
74521	—	不一致	T. P.
74522	20K P. U.	不一致	O. C.
74689	—	不一致	O. C.

(74688, 25LS521)

[illegible]

74521 (25LS2521)

8-Bit Equal-to Comparator



○74688と同じ

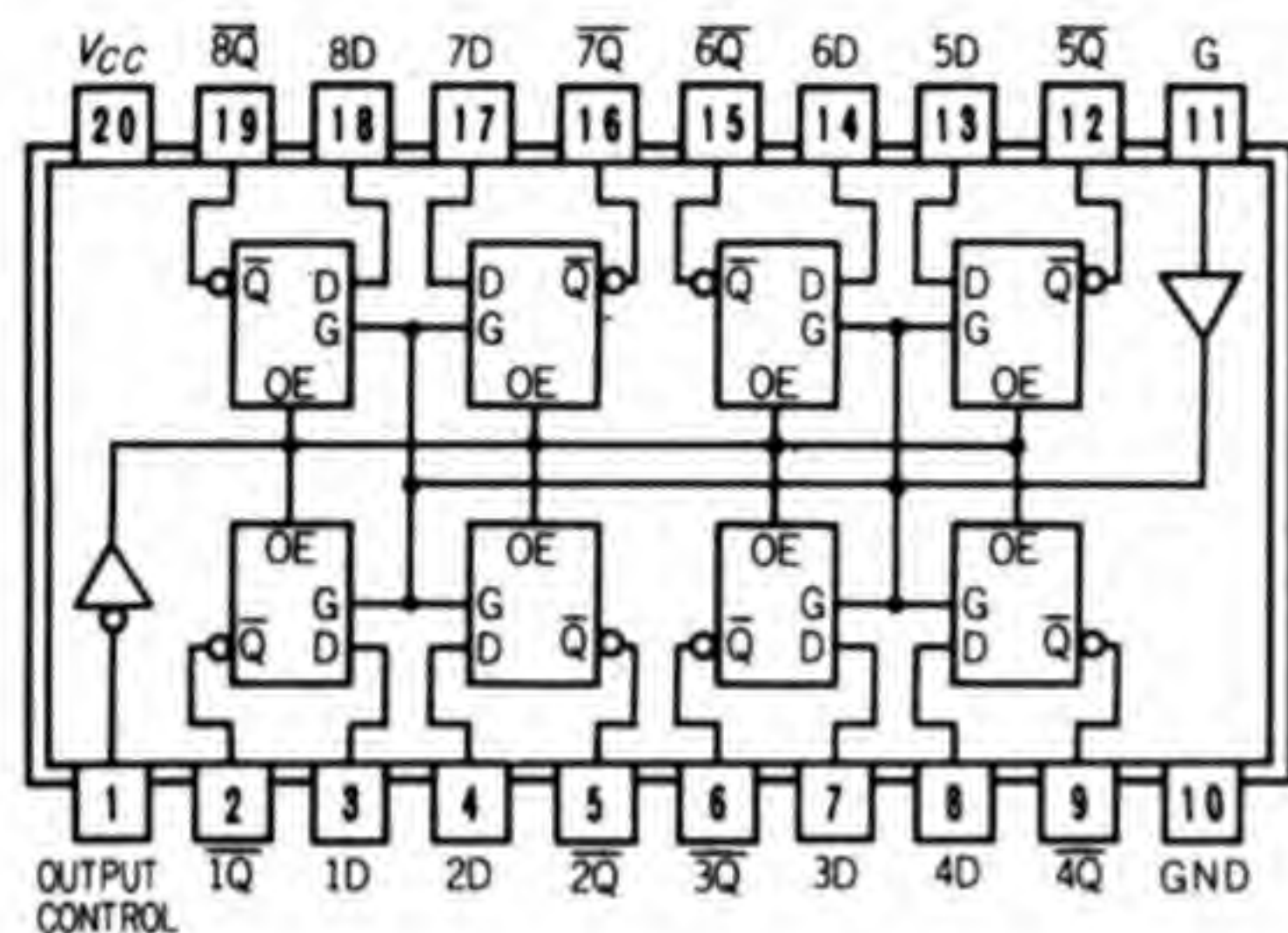
ナンバー	入 力	出 力
74518	20K P. U.	一 致 O. C.
74519	—	一 致 O. C.
74520	20K P. U.	不一致 T. P.
74521	—	不一致 T. P.
74522	20K P. U.	不一致 O. C.
74689	—	不一致 O. C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		-(A=B)			15	20		11		14.5	11	53	53				ns
tpd	max	G		-(A=B)			8	22		8		11.0	8.0	36	36				ns
lcc	max	G	L	OPEN			40	19		23		0.08	0.08	0.08	0.08				mA
I _{IH}	max	A, B	H				20	20		20									μA
I _{IL}	max	A, B	L				0.36	0.1		0.6									mA
I _{IH}	max	G	H				40	20		20									μA
I _{IL}	max	G	L				0.72	0.1		0.6									mA
I _{OH}	max			-(A=B)	H		0.44	2.6		1		24	24		4				mA
I _{OL}	max			-(A=B)	L		12	24		20		24	24		4				mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立																	
		MOT				D	DF												
		日電																	
		NS			DF		DF		DF	DF									
		PHIL																	
		RCA																	
		SIGNE					DF												
		TI			DF		D		DF	DF									
		東芝					D		DF	DF									
		SGS																	
		CYPRES																	
		IDT										DF							

74533

Octal 3-State D-Latches (Inverted)



- 74373の出力が反転(\bar{Q})したタイプ
- 74563とはピン接が異なる
- 使用法はどれも同様

入 力		動 作
Output control	Latch enable	
X	L	ラッチ(ホールド)
L	H	$Q = \bar{D}$
H	X	High-Z

8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15		6	2			20		20	7		ns
tsu	min	DATA						15 ↓		2 ↓	2 ↓			5		13	2.5		ns
thold	min	DATA						7 ↓		3 ↓	3 ↓			13		10	2.5		ns
tpd	max	ENABLE		-Q				23		13	9			44		48	10		ns
tpd	max	DATA		-Q				19		10	7.5			38		43	10		ns
tpd	max	OUT. C. N		-Q				16		7	7			38		44	8.5		ns
tpd	max	OUT. C. A		-Q				18		11	9.5			38		38	12.5		ns
Icc	max							28		61	110			0.08		0.08	0.05		mA
IIH	max	ALL	H				20	20		20									μA
IIL	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			-Q	H		2.6	2.6		1	15			4		4	3		mA
IOL	max			-Q	L		24	24		20	48			4		4	24		mA
IZH	max			-Q	H			20			50			5		5	3		μA
IZL	max			-Q	L			20			50			5		5	24		UA

参考品種

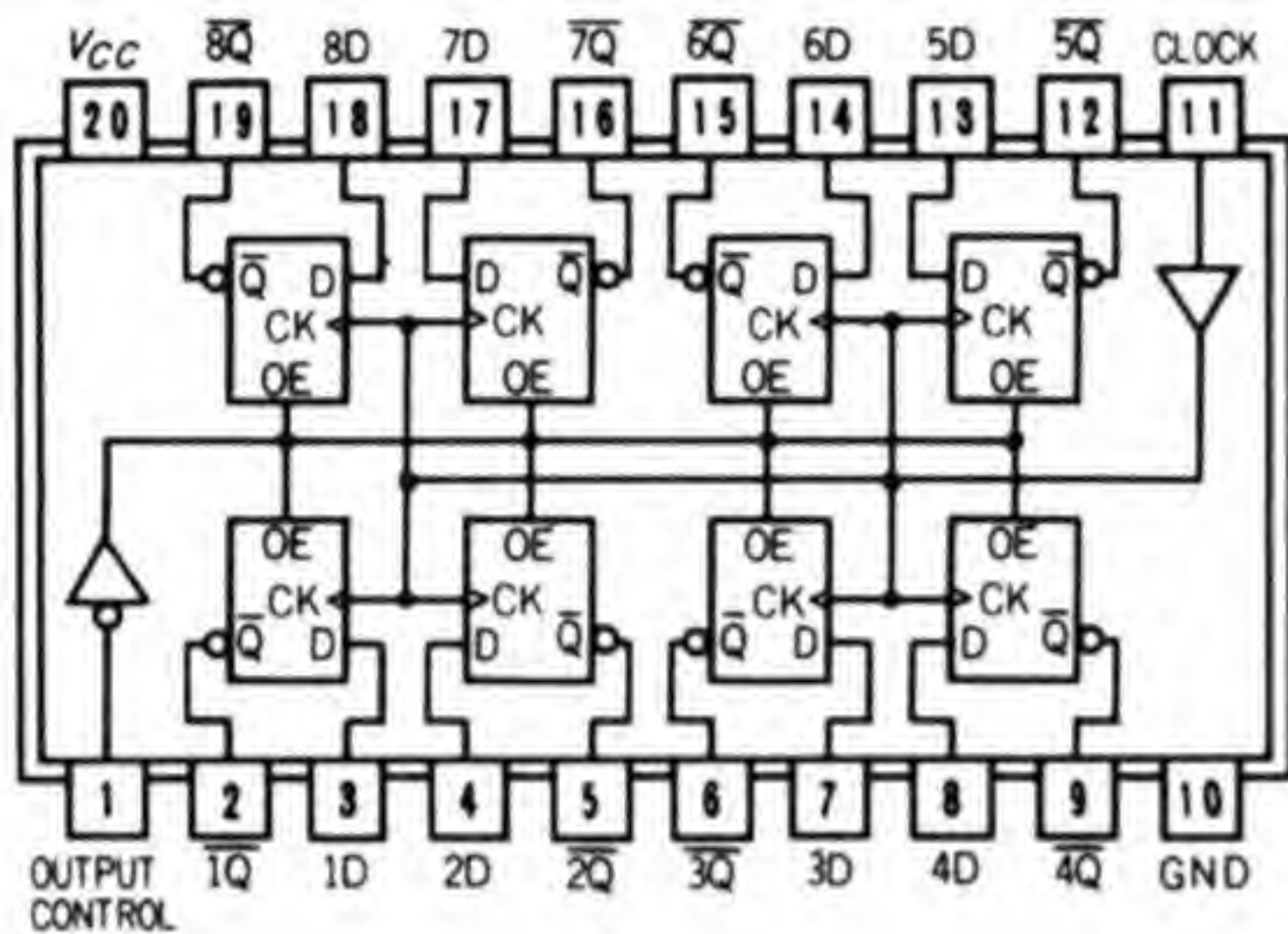
74563

74373

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT							D	D	DF		DF	DF		
日電									DF					
NS		DF	DF		DF	DF								
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI			DF		D	DF	DF	DF						
東芝					D			DF				DF		
SGS									DF		DF			
CYPRES														
IDT								DF						

74534

Octal 3-State D-FFs (Inverted)



- 74374の出力が反転(\bar{Q})したタイプ
- 74564とはピン接が異なる
- 使用法はどれも同様

入 力		動 作
Output control	CK	
X	↑	データロード
H	X	High-Z

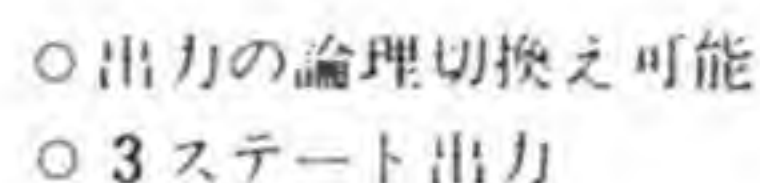
8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						35		70	125			24		18	70	77	MHz
tw	min	CLK						14		7	4			20		29	7.0	7	ns
tsu	min	DATA						10 ↑		2 ↑	2 ↑			25		15	2.5	9.5	ns
thold	min	DATA						0 ↑		2 ↑	2 ↑			5		3	2.5	1	ns
tpd	max	CLK		-Q				16		10	9			45		38	10	11.4	ns
tpd	max	OUT. C. N	-Q					14		8	6			38		38	8.5	13.3	ns
tpd	max	OUT. C. A	-Q					18		12.5	10			38		38	12.5	7.4	ns
lcc	max							31		86	128			0.08		0.08	27	55	mA
I _{IH}	max	OC, CLK H					20	20		20									μA
I _{IL}	max	OC, CLK L					0.4	0.1		0.6									mA
I _{IH}	max	DATA H					20	20		20									μA
I _{IL}	max	DATA L					0.4	0.2		0.6									mA
I _{OH}	max		-Q	H			2.6	2.6		1				4		4	3	15	mA
I _{OL}	max		-Q	L			24	24		20				4		4	24	64	mA
I _{ZH}	max		-Q	H				20						5		5	3	50	μA
I _{ZL}	max		-Q	L				20						5		5	24	50	μA

参考品種
74564
74374

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									DF		DF	DF	
MOT					DF		D	D	DF		DF		
日電									DF				
NS		DF	DF		DF	DF		DF	DF		D		
PHIL									DF		DF		
RCA							DF	DF	DF		DF		
SIGNE					DF								
TI			DF		DF	D	DF	DF					DF
東芝					D		DF		DF			DF	
SGS									DF		DF		
CYPRES													
IDT								DF					

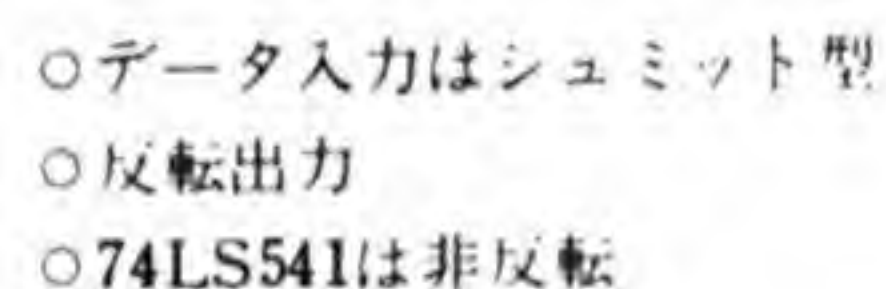


The logic diagram illustrates a 4-bit parallel adder with carry propagation. It features four input lines labeled A, B, and C, and a carry-in line labeled \bar{E}_1 . The output lines are labeled \bar{E}_2 , \bar{E}_3 , \bar{E}_4 , and POL. The circuit is composed of several logic gates, including AND gates, OR gates, and inverters. The carry propagation is implemented using a chain of OR gates, where the output of one OR gate is connected to the input of the next. The final output is labeled \bar{E}_1 .

参考品種
74138

[illegible]

Octal 3-State Buffer (Inverted)



入 力		出 力
E ₁	E ₂	
L	L	\bar{D}
H	X	High Z
X	H	

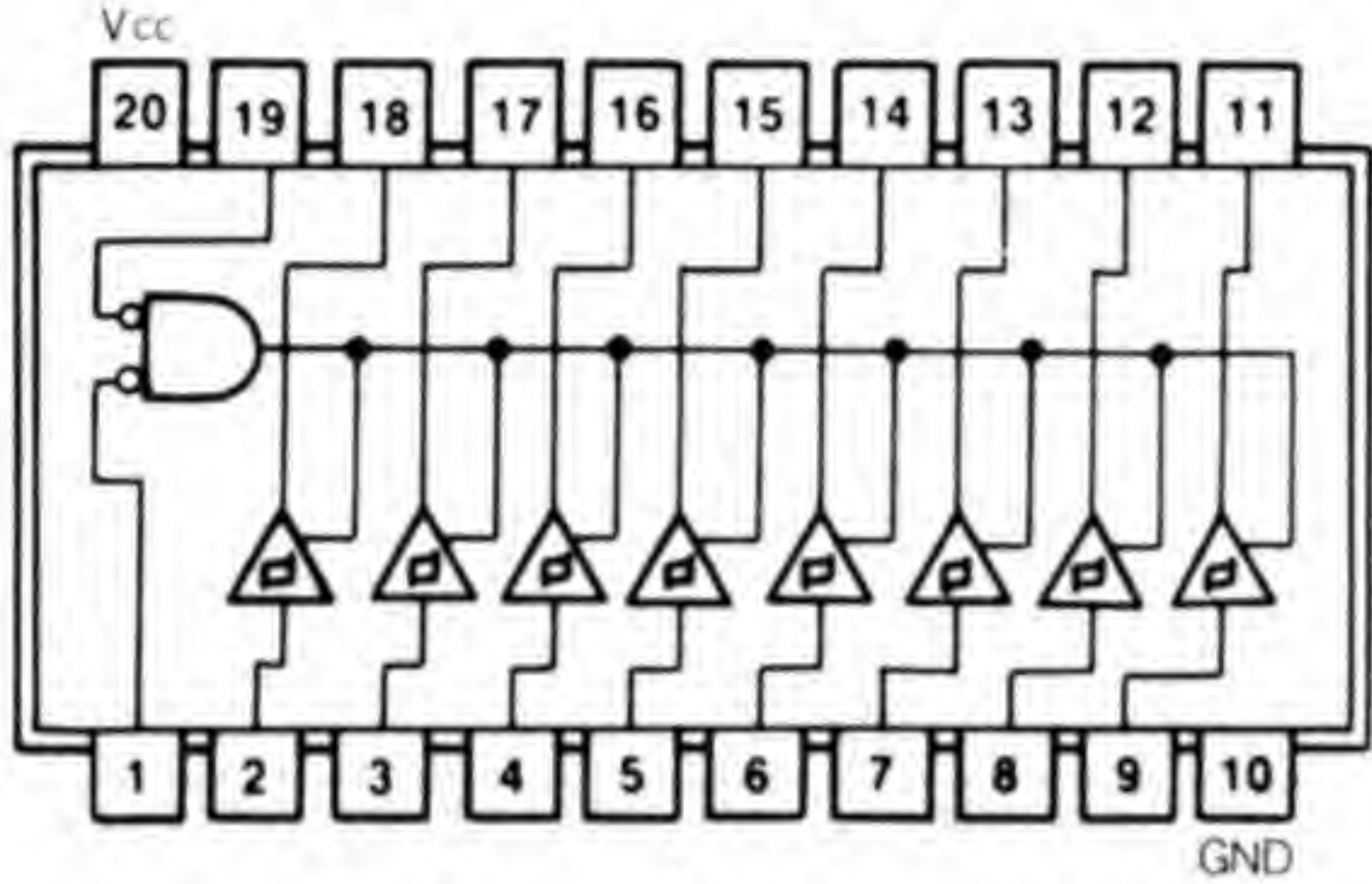
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		14	6		7.5		6.5	6.5	25		25	7.5	6.9	ns
tpd	max			H→L	↓		18	6		5.0		6.0	6.0	25		25	7.5	4	ns
tpd	max			Z→L	▽		30	18		10.0		8.5	8.5	38		38	11.0	11.3	ns
tpd	max			Z→H	△		23	13		8.0		9.5	9.5	38		38	11.0	10.1	ns
tpd	max			L→Z	▼		(25)	11		6.5		9.0	9.0	38		38	9.5	8.5	ns
tpd	max			H→Z	▲		(18)	7		6.0		11	11	38		38	10.0	9	ns
lcc	max						50	29		75		0.08	0.08	0.08		0.08	27	71	mA
I IH	max	ALL	H				20	20		20									μA
I IL	max	ALL	L				0.2	0.1		20									mA
I OH	max			ALL	H		3.0	15		15		24	24	4		6	15	15	mA
I OL	max			ALL	L		24	24		64		24	24	4		6	48	64	mA
I ZH	max			ALL	H			20		50		5	5	5		5.0	50	50	μA
I ZL	max			ALL	L			20		50		5	5	5		5.0	50	50	UA

[illegible]

参考品種
81LS96

74541

Octal 3-State Buffer



- データ入力はシュミット型
- 非反転出力
- 74LS540は反転出力

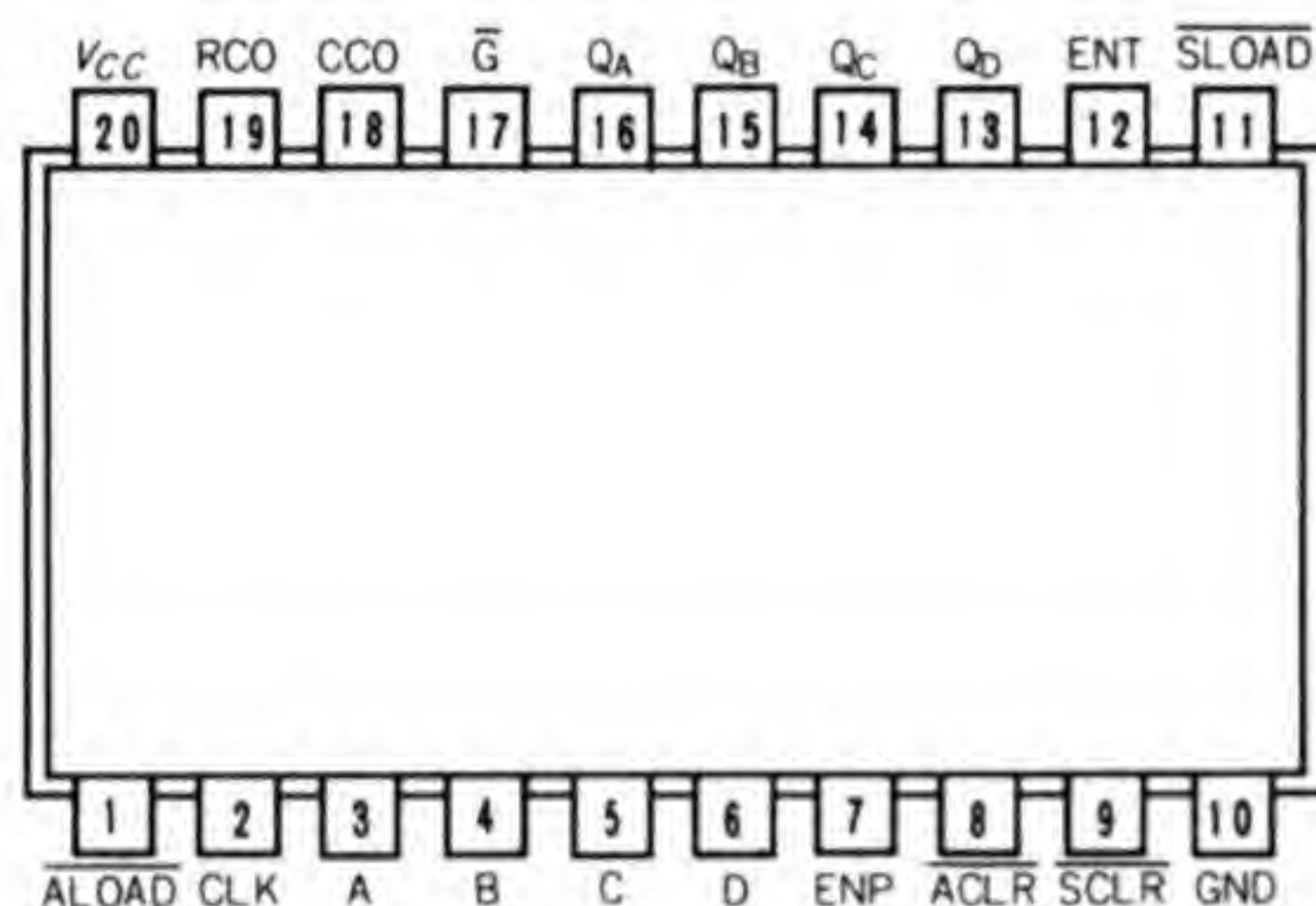
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max			L→H	↑		18	6		7		6.5	6.5	29		29	7.5	6	ns
tpd	max			H→L	↓		18	6		7.5		6.0	6.0	29		29	6.8	8.2	ns
tpd	max			Z→L	▽		30	18		9.5		8.5	8.5	38		38	11.0	11.5	ns
tpd	max			Z→H	△		23	13		7.5		9.5	9.5	38		38	11.0	10.7	ns
tpd	max			L→Z	▼		(25)	11		7.5		9.0	9.0	38		38	9.5	8.6	ns
tpd	max			H→Z	▲		(18)	7		7.5		11	11	38		38	10.0	8.6	ns
Icc	max						54	19		72		0.08	0.08	0.08		0.08	27	72	mA
IiH	max	ALL	H				20	20		20									μA
IiL	max	ALL	L				0.2	0.1		20									mA
IOH	max			ALL	H		3.0	15		15		24	24	4		6	15	15	mA
IOL	max			ALL	L		24	24		64		24	24	4		6	48	64	mA
IZH	max			ALL	H			20		50		5	5	5		5	50	50	μA
IZL	max			ALL	L			20		50		5	5	5		5	50	50	UA

入 力		出 力
E ₁	E ₂	
L	L	D
H	X	High-Z
X	H	

参考品種
75LS540
81LS95

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT		DF					DF	DF	DF		DF			
日電									DF					
NS			DF		DF		DF		DF		D			
PHIL									DF		DF			
RCA							DF	DF	DF		DF			
SIGNE					DF									
TI		DF	DF		D				DF		DF		DF	
東芝		D					DF	DF	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

Synchronous Presettable Binary Counter (3-State)



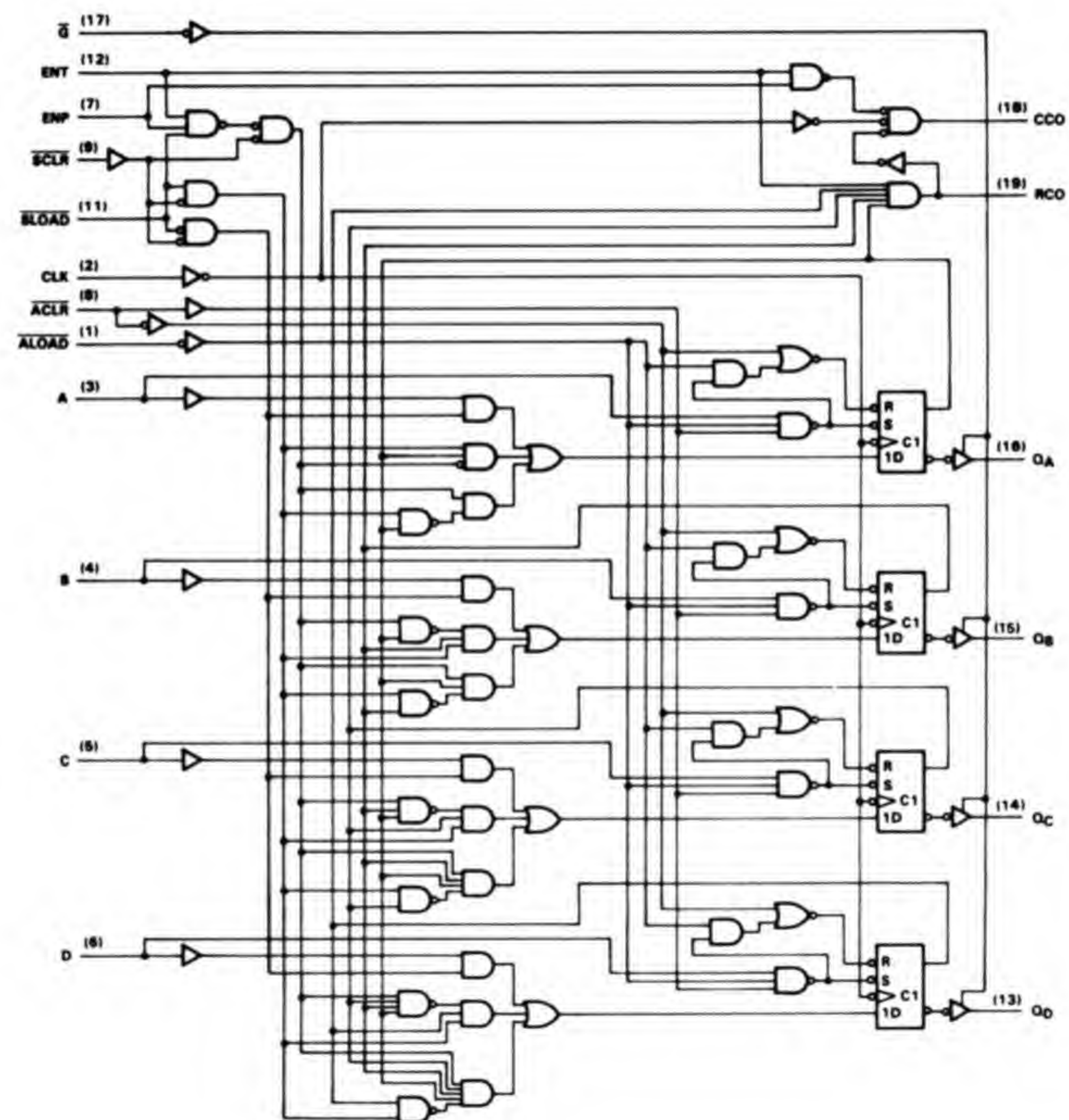
- ロード、クリアは同期／非同期両方あり
- 569のU/Dを非同期ロードに変えた物
- 561は Binary, 560はBCD

[illegible]

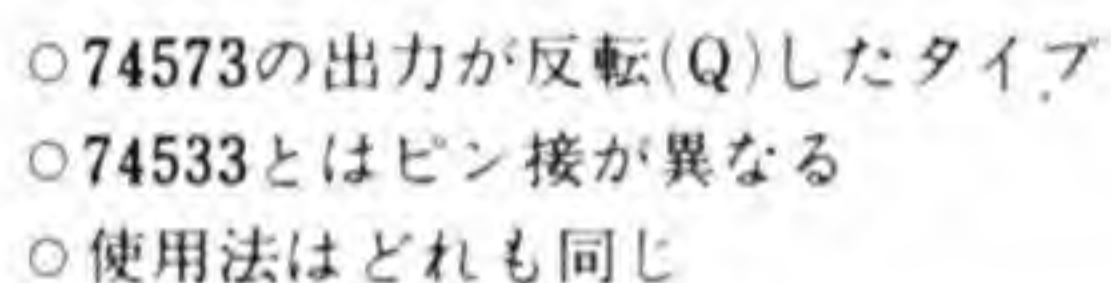
入 力							出 力			動 作	
CLK	Enable		Clear		Load		\bar{G}	$Q_A \sim Q_D$	Carry		
	ENP	ENT	\overline{ACLR}	\overline{SCLR}	\overline{ALOAD}	\overline{SLOAD}			\overline{RCO}		\overline{CCO}
↑	H	H	H	H	H	H	—	—			カウント
	X	X	H	H	H	L					同期ロード
	X	X	H	L	H	X					同期クリア
X	X	X	H	X	L	X	—	—			ロード
			L		X						クリア
X	X	H	—				—	HHHH	H	—	—
H	H										
—							H				High-Z

[illegible]

74561



Octal 3-State D-Latches (Inverted)

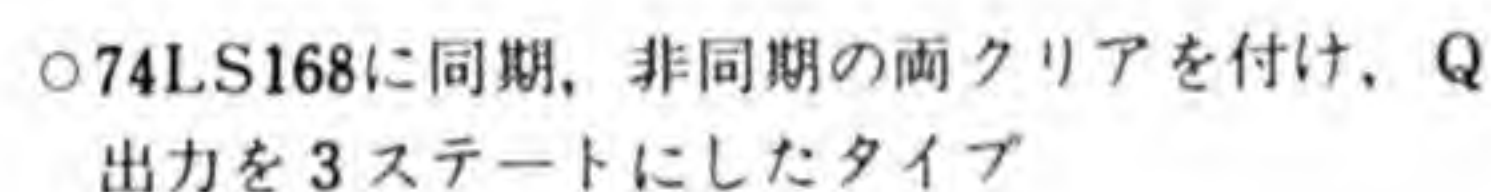
8 bit ラッチ





ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	G						15		100		4.0	3.0	20		20	7		ns
tsu	min	DATA						10 ↓		1.0		6.0	4.5	19		13	2.5		ns
thold	min	DATA						10 ↓		3.0		0	0	6		5	2.5		ns
tpd	max	G		-Q				18		11.0		10.5	11.5	28		36	13.0		ns
tpd	max	DATA		-Q				22		10.0		10.5	12.5	29		36	13.0		ns
tpd	max	-OE	N	-Q				13		11.5		14.0	10	31		38	14.5		ns
tpd	max	-OE	A	-Q				18		9.0		11.0	11.5	35		38	11.5		ns
lcc	max							27		60		0.08	0.08	0.08		0.08	27		mA
I1H	max	ALL	H				20	20		20									μA
I1L	max	ALL	L				0.4	0.1		0.6									mA
IOH	max			-Q	H		2.6	2.6		3		24		6			3.0		mA
IOL	max			-Q	L		24	24		24		24		6			24		mA
I2L	max			-Q	L			20		50		5		5			50		μA
I2H	max			-Q	H			20		50		5		5			50		UA

[illegible]

74568



入		力						出			動作	
Load	U/D	CP	Enable		Clear		OE	QA-QD (内容)	Carry			
			CEP	CET	ACLR	SCLR			RCO	CCO		
H	H	↑	L	L	H	H	X	-	-	-	カウント up	
	L											カウント dn
L	X					H						ロード
X	X		X	X	H	L	X				クリア	
X	X	X	X	X	L	X	X	-	-	-	クリア	
X	H	X	X	L	H	H	X	H L L H	L	-	-	
			L									
X	L	X	X	L	X	X	X	L L L L	L	-	-	
			L									
-							H	-			Hi-Z	

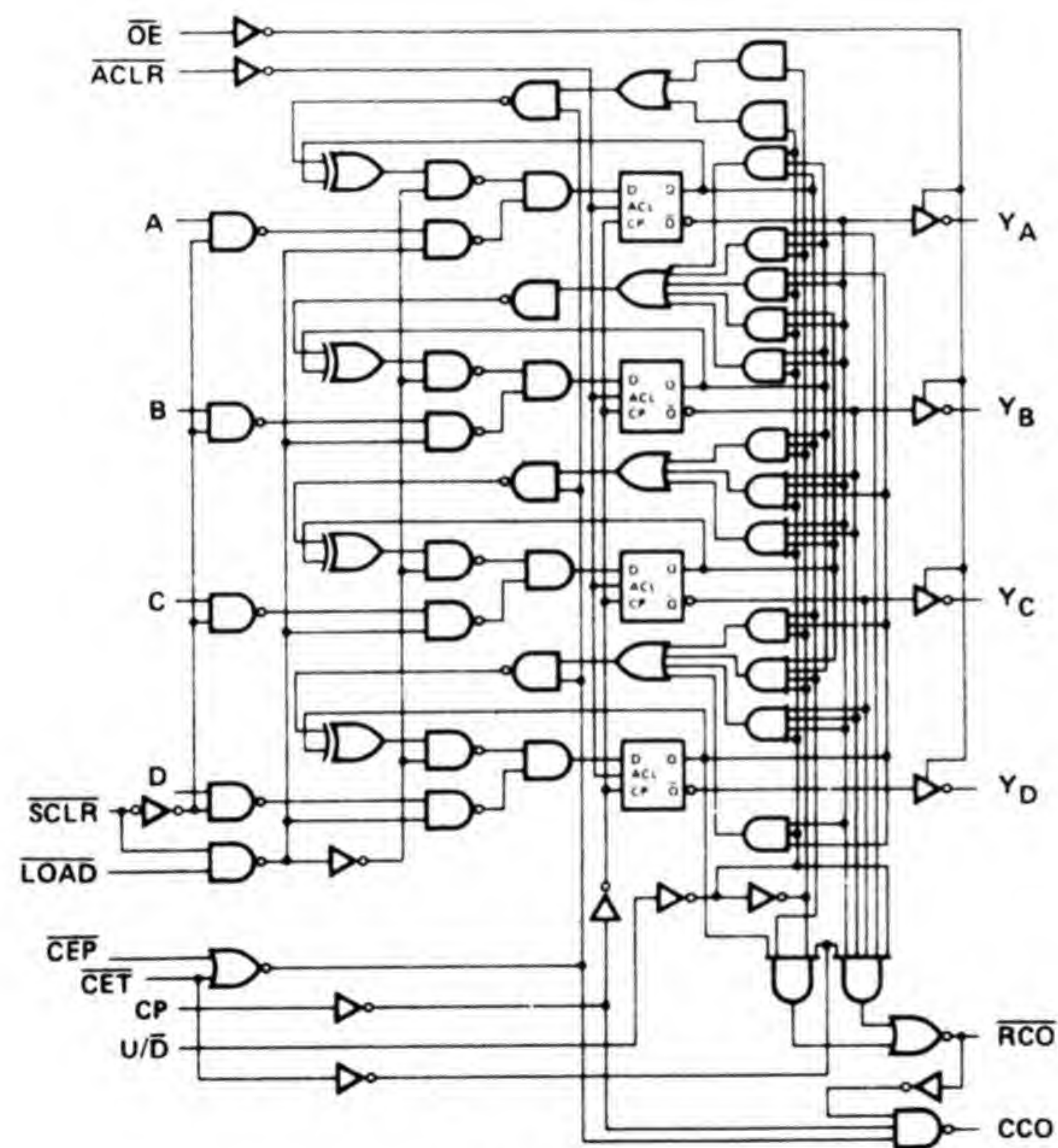
[illegible][illegible]

参考品種

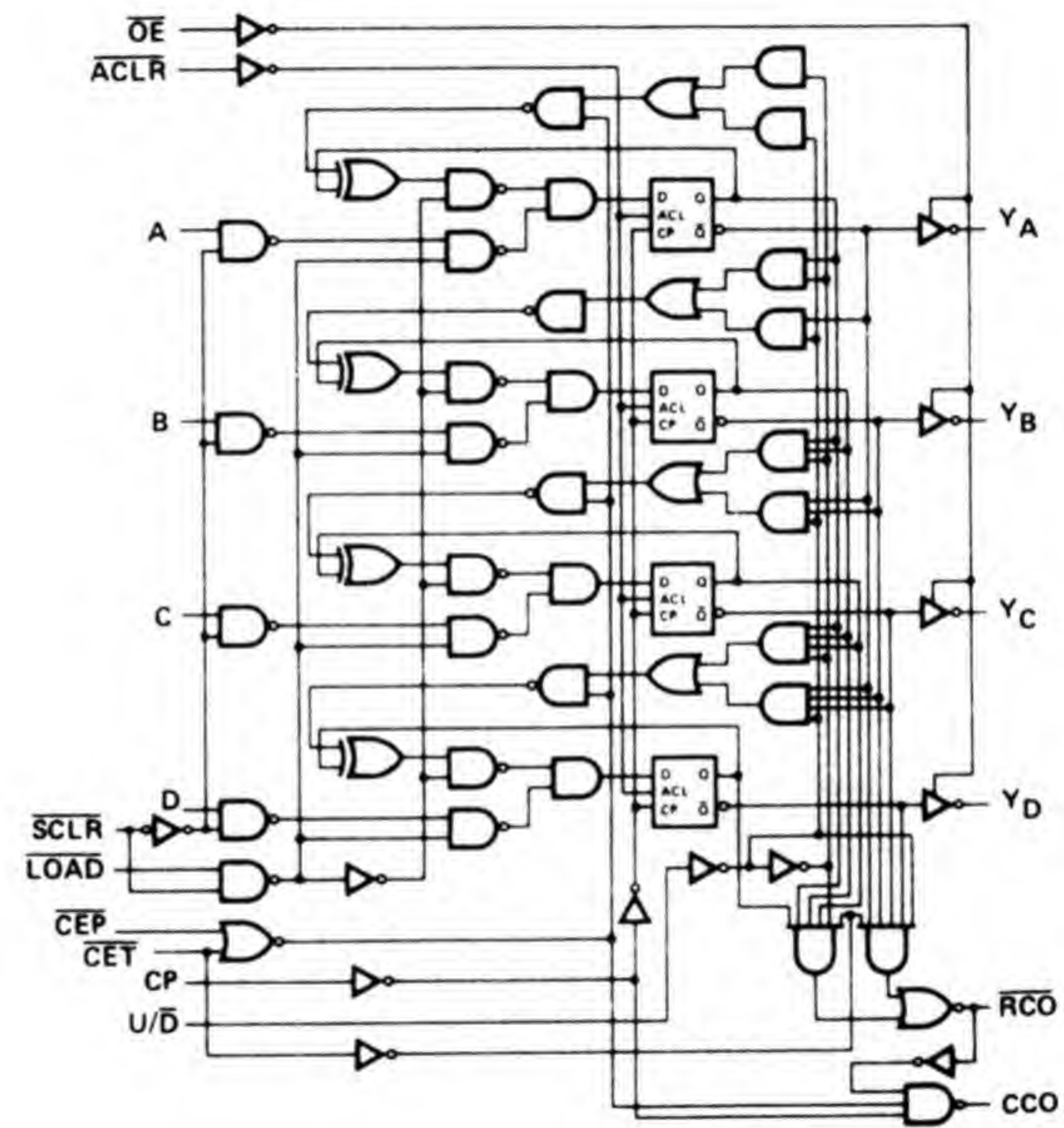
74LS569

74LS168

74568, 74569



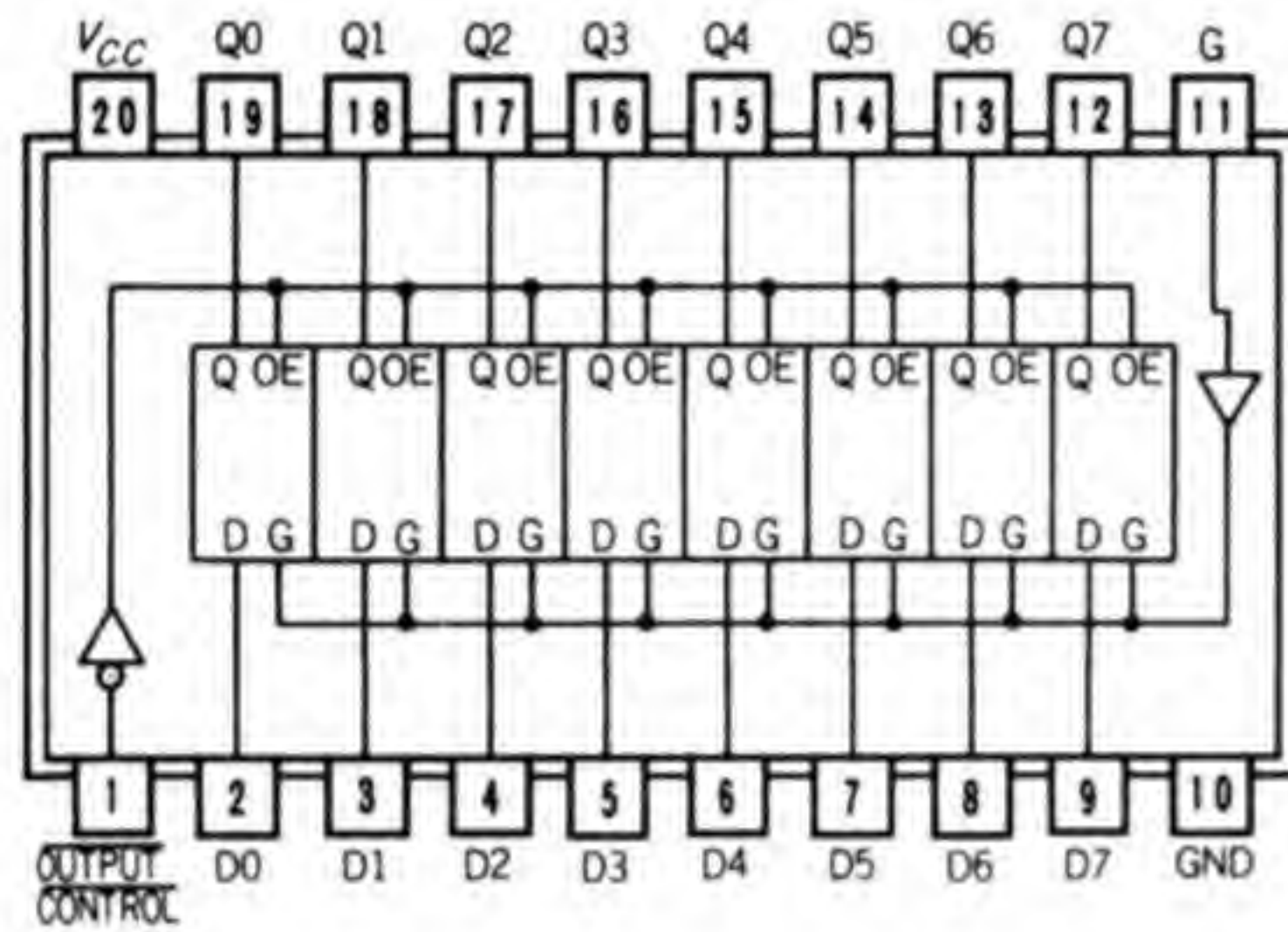
74LS568



74LS569

74573

Octal 3-State D-Latches



- 74373のピン接を変えたタイプ
- 74563は同じピン接の反転(\bar{Q})タイプ
- 使用法はどれも同じ

入 力		動 作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	$Q = D$
H	X	High-Z

8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE				7		10		3.5	4.5	4.0	4.0	20		20		7	ns
tsu	min	DATA				7		10	↓	2.0	2	4.0	3.5	19		16		2	ns
thold	min	DATA				1		7	↓	4.0	3	0	0	6		11		2	ns
tpd	max	DATA				10.5		14		12.5	6	10.0	10.5	28		44		13.0	ns
tpd	max	LE				12		20		9.0	11.5	10.0	12	29		44		13.0	ns
tpd	max	-OE	N			13		13		10.5	7	14.0	11	31		38		13.5	ns
tpd	max	-OE	A			14.5		18		8.5	9.5	11.0	12.5	35		38		14.5	ns
lcc	max					0.004		27		50	106	0.08	0.08	0.08		0.08		27	mA
I _{IH}	max	ALL	H				20	20		20	20								μA
I _{IL}	max	ALL	L				0.2	0.1		0.6	0.5								mA
I _{OH}	max			ALL	H	12	2.6	2.6		3	15	24	24	4		4		3.0	mA
I _{OL}	max			ALL	L	12	24	24		24	48	24	24	4		4		24	mA
I _{ZL}	max			ALL	L			20		50	50	5	5	5		5		50	μA
I _{ZH}	max			ALL	H			20		50	50	5	5	5		5		50	UA

参考品種

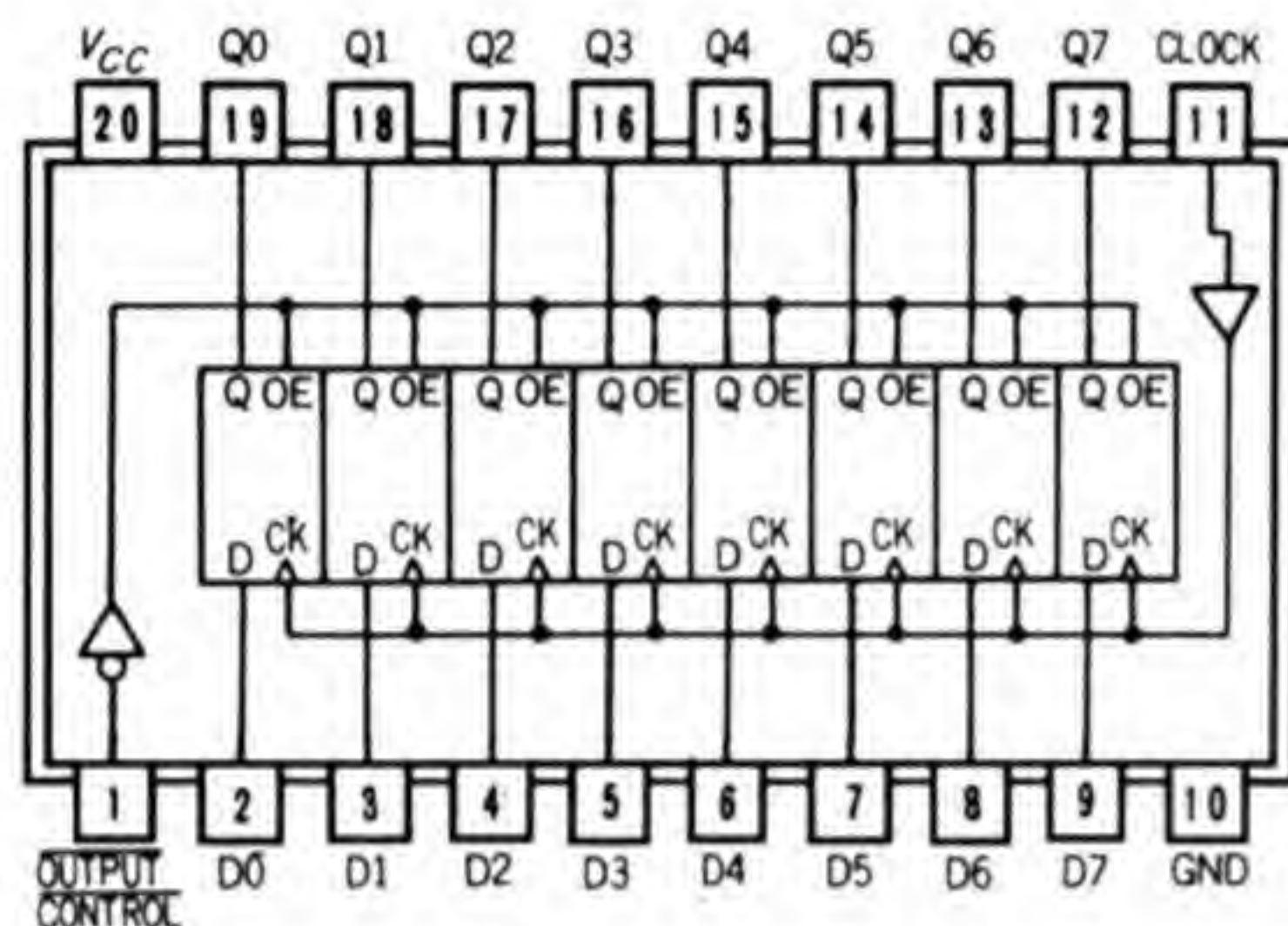
74373

74563

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT							DF	DF	DF		DF			
日電									DF					
NS	F	DF	DF		DF	DF		DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI			DF		DF	DF			DF		DF		DF	
東芝	F						DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

74574

Octal 3-State D-FFs



- 74374のピン接を変えたタイプ
- 74564は同じピン接の反転(\bar{Q})タイプ
- 使用法はどれも同じ

入 力		動 作
Output control	CK	
X	↑	データロード
H	X	High-Z

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

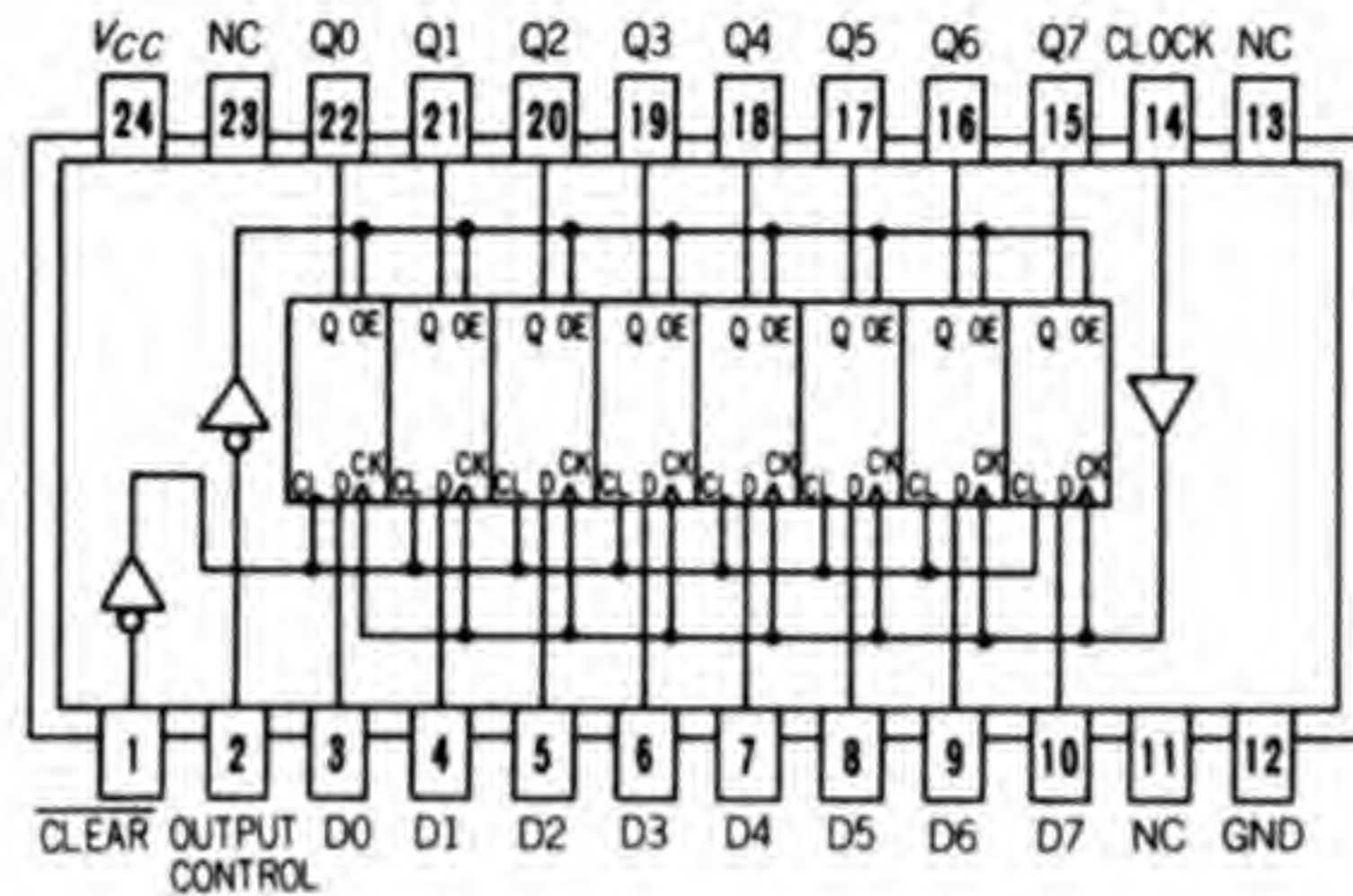
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK				77		35		100	125	100	85	24		24	70		MHz
tw	min	CLK				20		14		4.5	4	4.0	4.0	20		20	7		ns
tsu	min	DATA				13		15↑		2.0	2↑	4.0	2.5	25		15	2		ns
thold	min	DATA				5		0↑		1.5	2↑	0	1.0	0↑		5	2		ns
tpd	max	CLK		-Q		33		14		9.5	9	10.0	12	29		44	13.0		ns
tpd	max	OUT.C. N		-Q		30		18		8.0	10	11.0	10	35		44	13.5		ns
tpd	max	OUT.C. A		-Q		24		13		9.0	6	14.0	11.5	31		38	14.5		ns
Icc	max					0.02		27		70	134	0.08	0.08	0.08		0.08	27		mA
IiH	max	D	H				20	20		20	20								μA
IiL	max	D	L				0.4	0.2		0.6	2								mA
IiH	max	OTHERS	H				20	20		20	20								μA
IiL	max	OTHERS	L				0.4	0.2		0.6	0.5								mA
IOH	max			-Q	H	25	2.6	2.6		3	15	24	24	4		4	3.0		mA
IOL	max			-Q	L	25	24	24		24	48	24	24	4		4	24		mA
I2H	max			-Q	H			20		50	50	5	5	5		5	50		μA
I2L	max			-Q	L			20		50	50	5	5	5		5	50		μA

参考品種
74374
74564

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT					D		DF	DF	DF		DF			
日電									DF					
NS		DF	DF		DF	DF	DF	DF	DF		DF			
PHIL	DF								DF		DF			
RCA							DF	DF	DF		DF			
SIGNE			DF		DF									
TI			DF		DF	D			DF		DF		DF	
東芝							DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES					DF									
IDT								DF						

74575

Octal 3-State D-FFs (with clear)



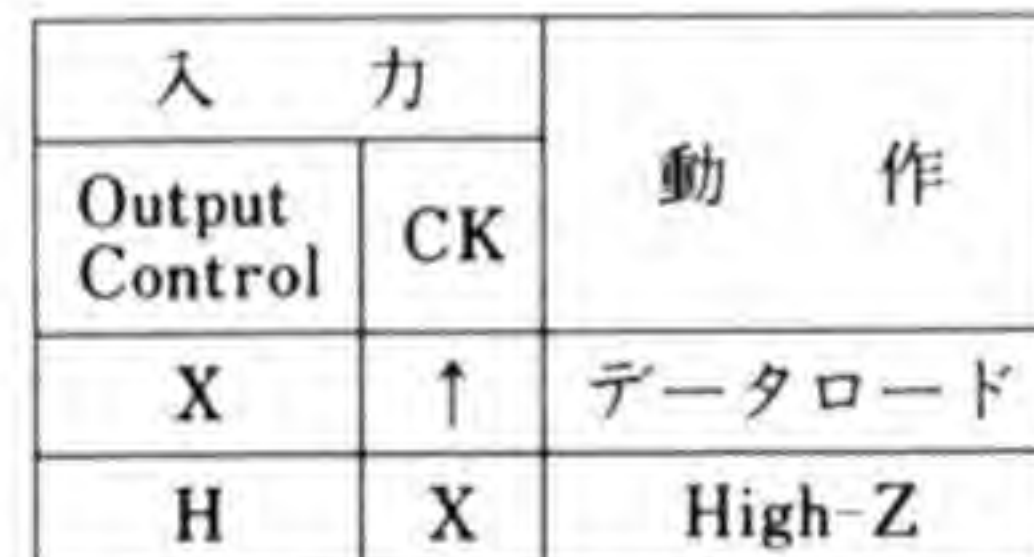
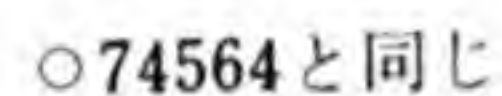
○74574+同期クリア

入 力			動 作
Output Control	CK	$\overline{\text{CLEAR}}$	
—	↑	H	データロード
		L	ク リ ア
H	—		High-Z

ナンバー	出力	ピン接	
74364	正	隣接	Hレベル3.65V
74374	正	隣接	
74534	負	隣接	
74564	負	対向	
74574	正	対向	
74575	正	対向	同期クリア
74576	負	対向	
74577	負	対向	同期クリア

[illegible][illegible]

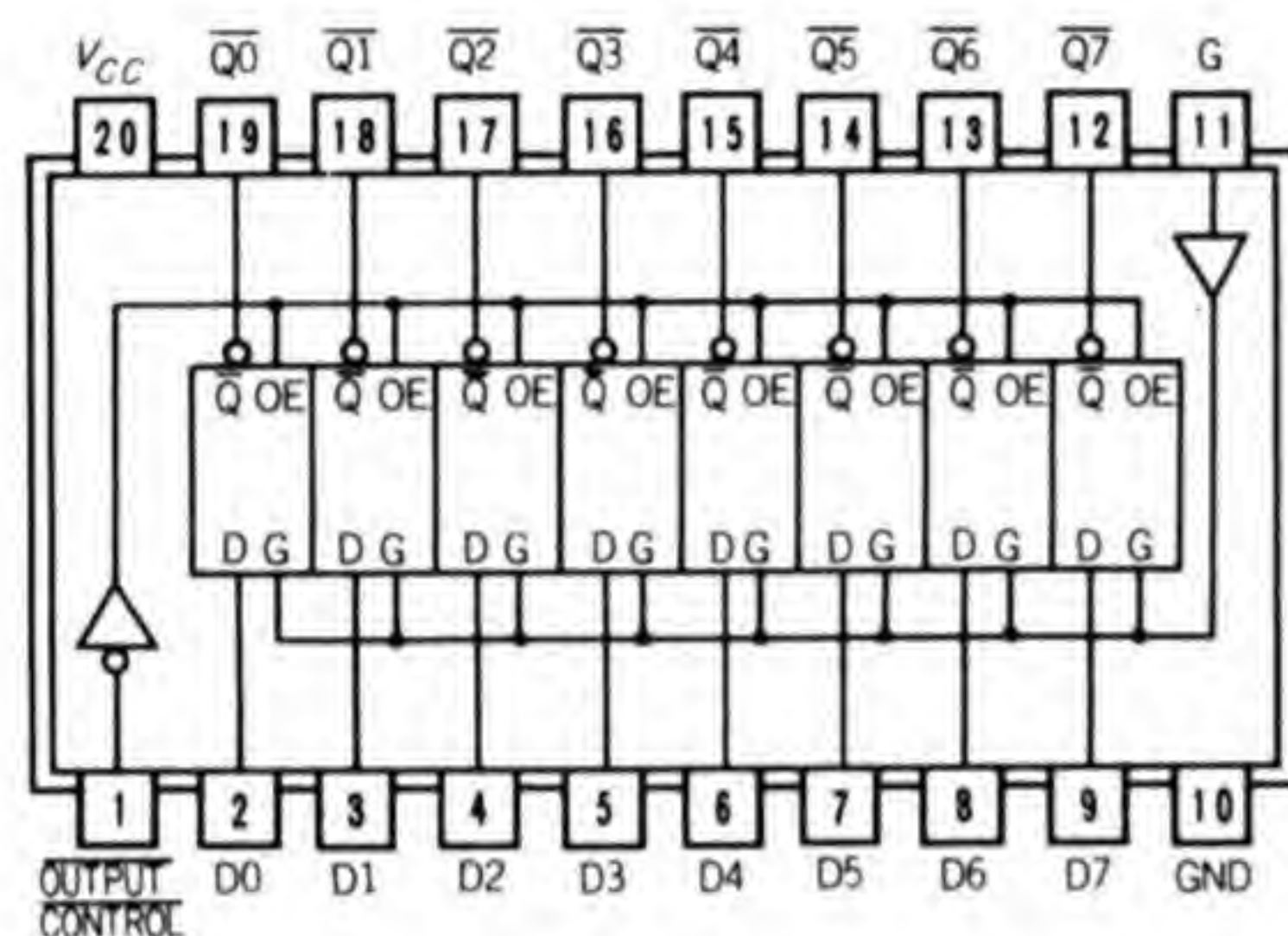
Octal 3-State D-FFs (Inverted)



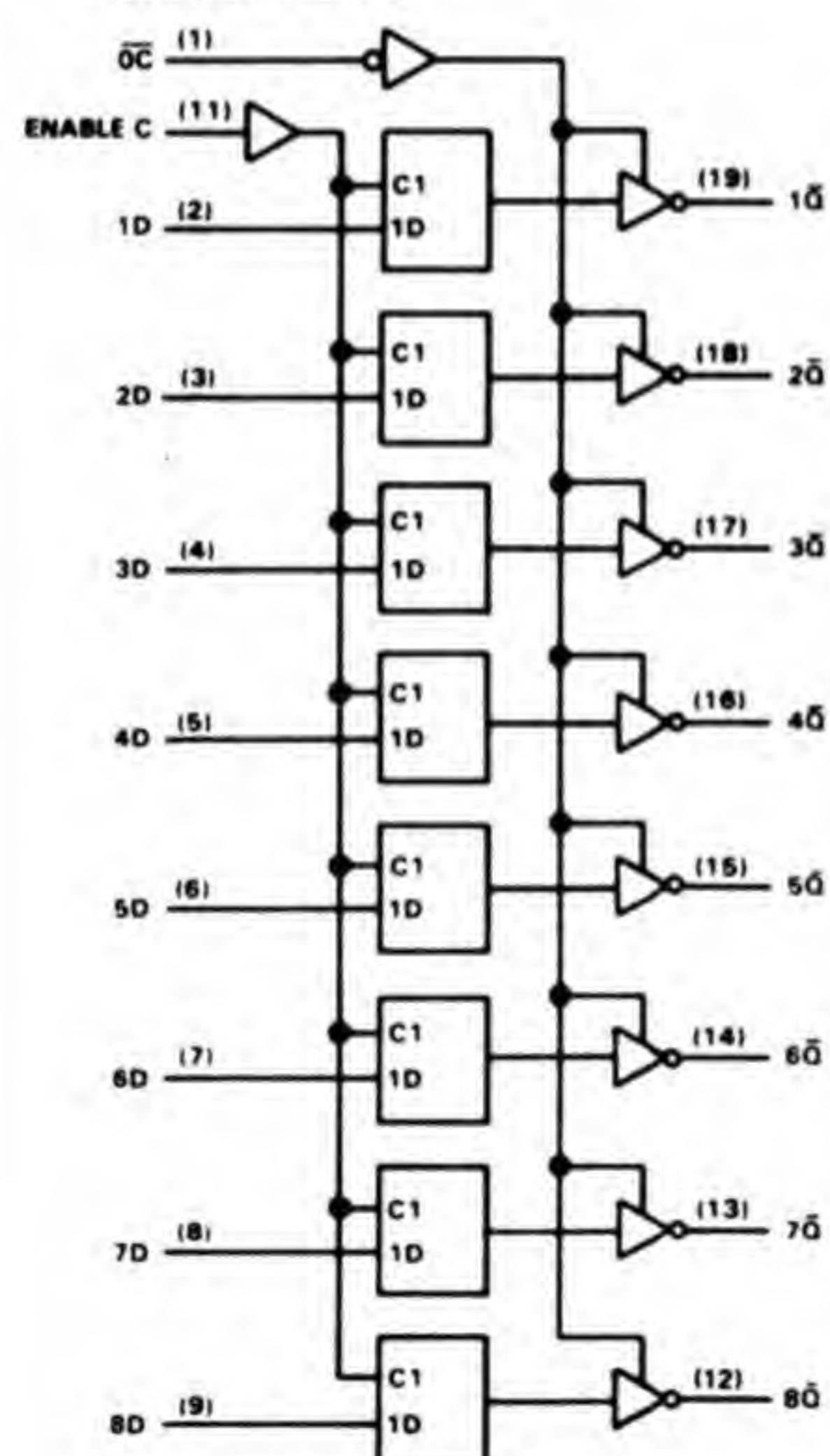
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125								MHz
tw	min	CLK						16.5			4								ns
tsu	min	DATA						15↑			2↑								ns
thold	min	DATA						0↑			2↑								ns
tpd	max	CLK		-Q				14			9								ns
tpd	max	OUT. C.	N	-Q				13			6								ns
tpd	max	OUT. C.	A	-Q				18			10								ns
Icc	max							27			135								mA
IIH	max	D	H					20			20								μA
IIL	max	D	L					0.2			2								mA
IIH	max	OTHERS	H					20			20								μA
IIL	max	OTHERS	L					0.2			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

[illegible]

74580



'ALS580, 'AS580



入 力		動 作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	$Q = \overline{D}$
H	X	High-Z

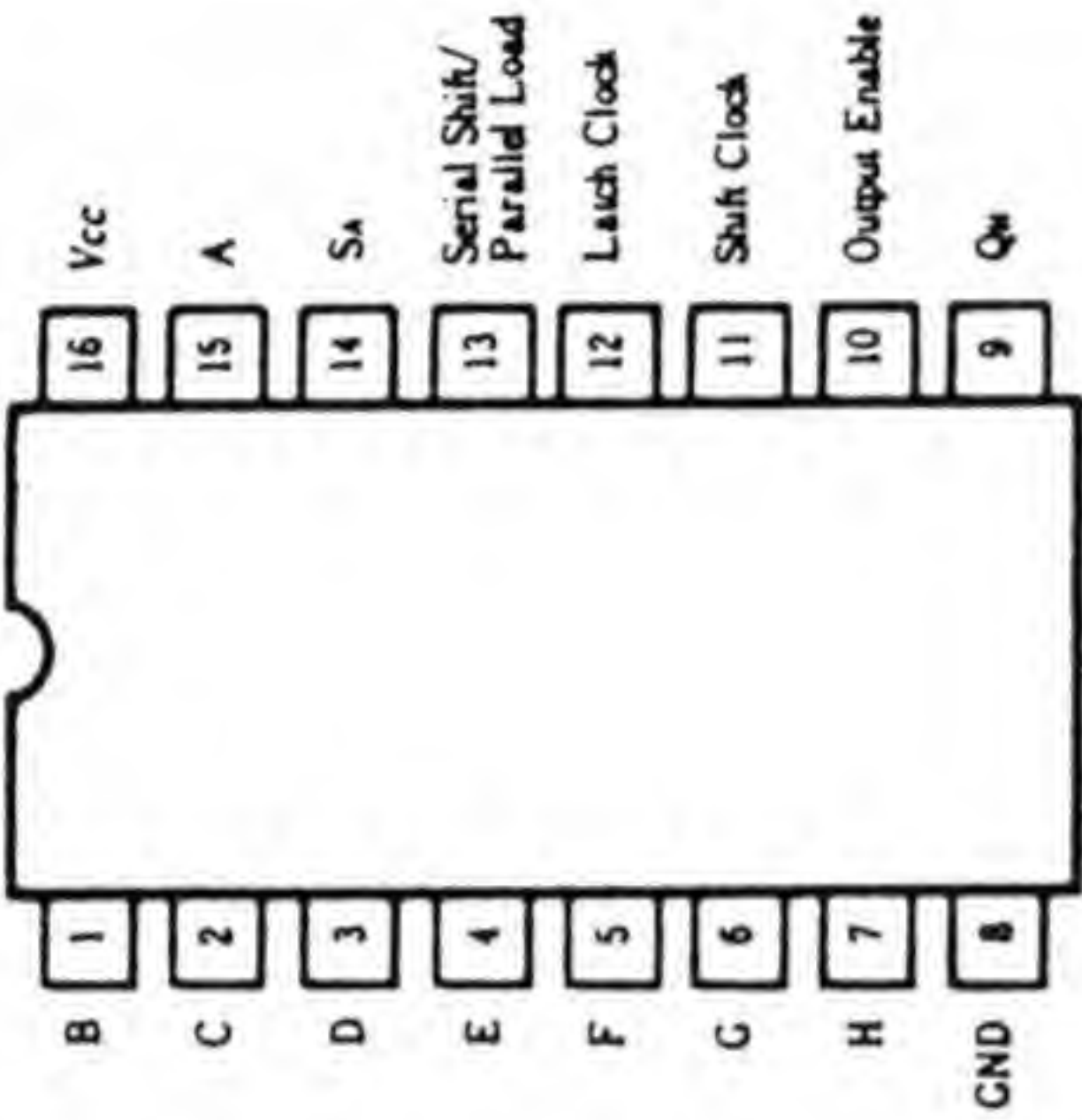
ナンバー	出力	ピン接	
74363	正	隣接	Hレベル3.65V
74373	正	隣接	
74533	負	隣接	
74563	負	対向	
74573	正	対向	
74580	負	対向	

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15			2								ns
tsu	min	DATA						10 ↓			2 ↑								ns
thold	min	DATA						10 ↓			3 ↑								ns
tpd	max	ENABLE		-Q				22			9								ns
tpd	max	DATA		-Q				18			7.5								ns
tpd	max	OUT. C.	N	-Q				13			7								ns
tpd	max	OUT. C.	A	-Q				18			9.5								ns
Icc	max							27			115								mA
I IH	max	ALL	H					20											μA
I IL	max	ALL	L					0.1											mA
I OH	max			Q	H			2.6			15								mA
I OL	max			Q	L			24			48								mA
I ZH	max			Q	H			20			50								μA
I ZL	max			Q	L			20			50								UA

[illegible]

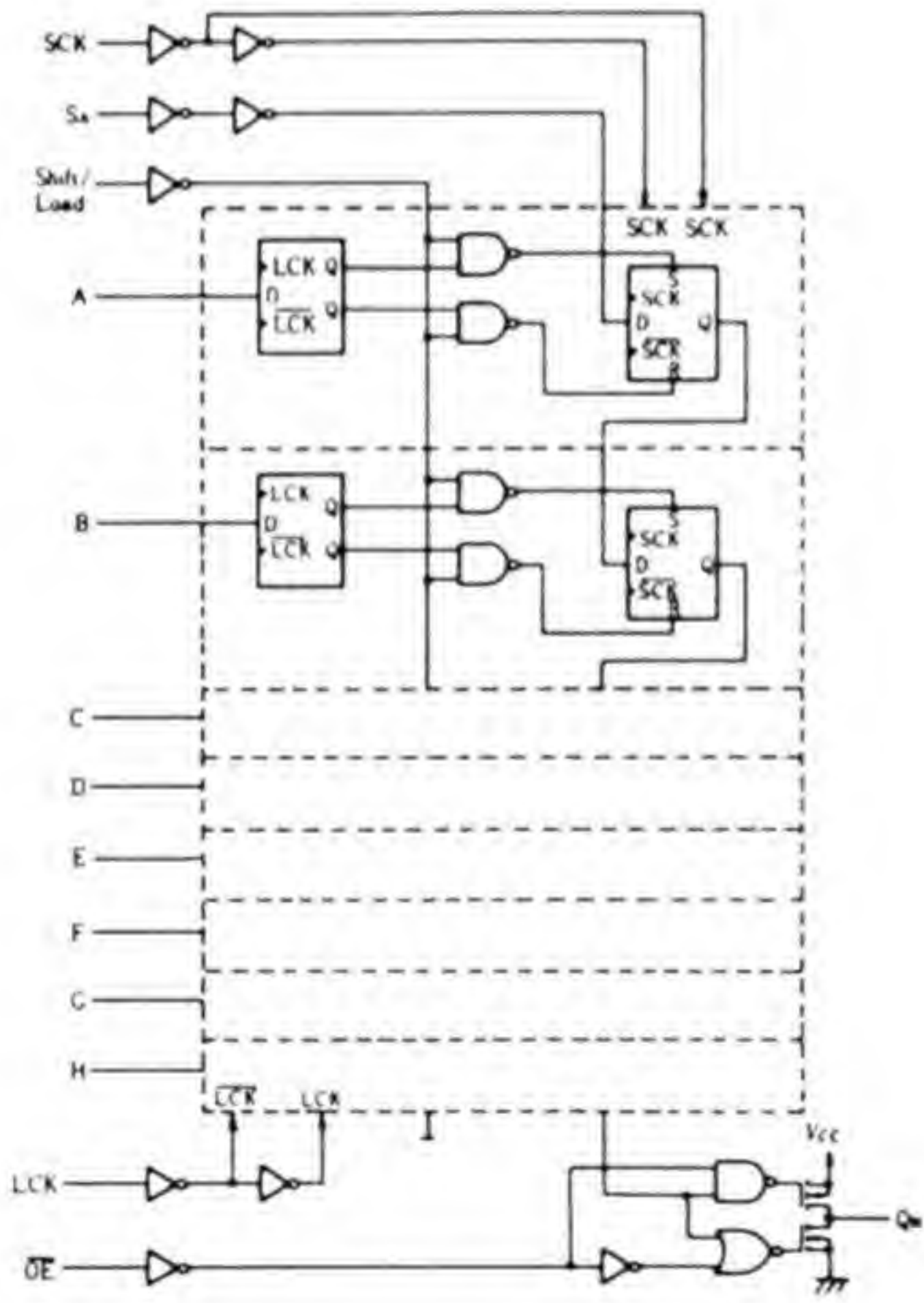
74589

8-bit Serial or Parallel-input/Serial-output Shift Register (with 3-state outputs)



機 能 表

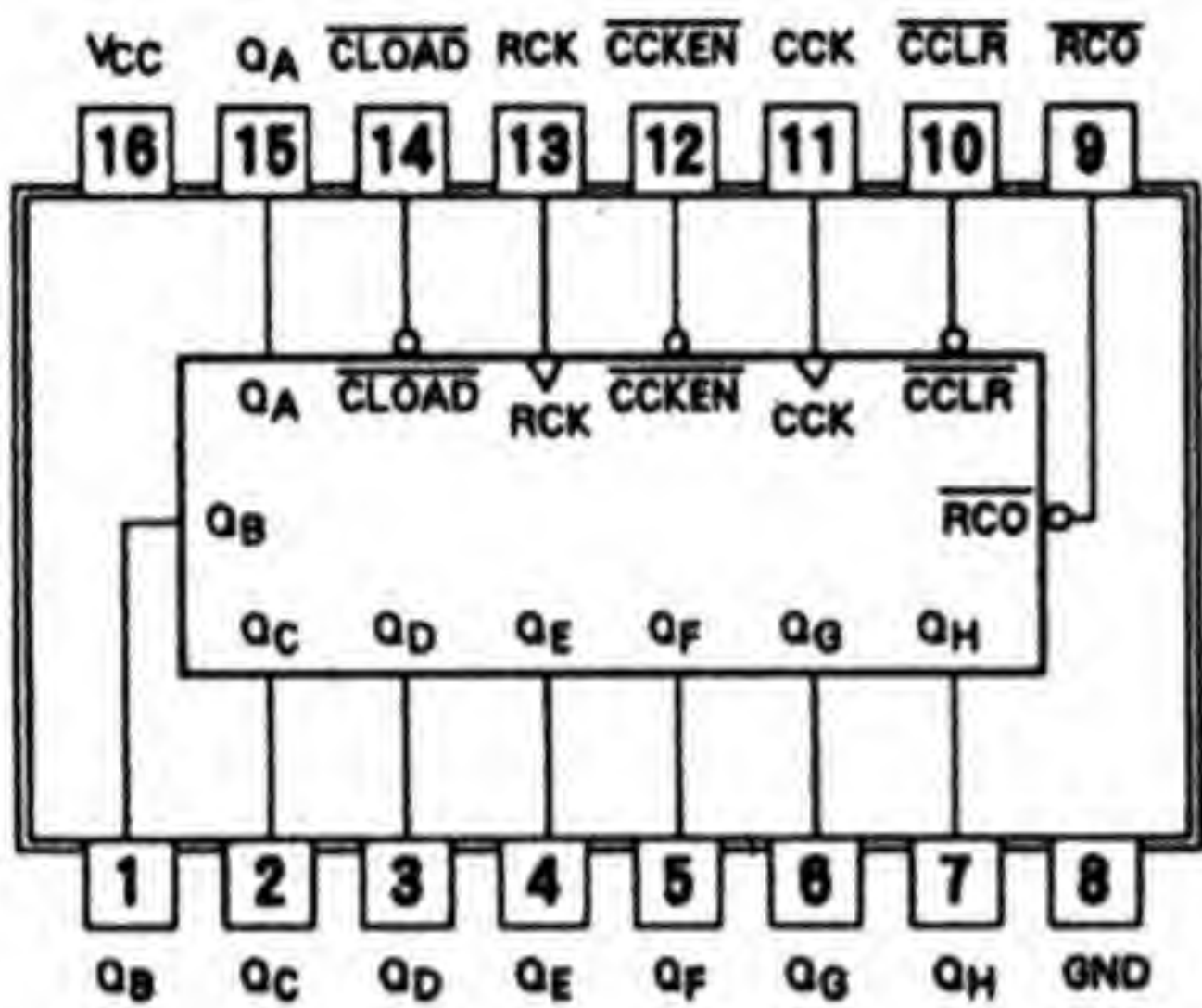
LCK	SCK	S Load	\overline{OE}	動 作
	x	x	x	インプットラッチヘデータをロード
	x	L	L	インプットからシフトレジスタヘデータをロード
x	x	L	L	インプットラッチからシフトレジスタヘデータを移動
L, H, ∇	L, H, ∇	x	H	ハイインピーダンス状態でシリアルアウト
x		H	L	シフトレジスタをクロック $Q_n - Q_{n-1}, Q_0 - SER$



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L-CLK		Q	L→H									40					ns
tpd	max	L-CLK		Q	H→L									40					ns
tpd	max	S-CLK		Q	L→H									35					ns
tpd	max	S-CLK		Q	H→L									35					ns
tpd	max	SFT/LD		Q	L→H									30					ns
tpd	max	SFT/LD		Q	H→L									30					ns
Icc	max													4					μA
IOH	max																		mA
IOL	max													6					mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立									DF								
		MOT									DF								
		日電																	
		NS									DF								
		PHIL																	
		RCA																	
		SIGNE																	
		TI																	
		東芝																	
		SGS																	
		CYPRES																	
		IDT																	

74592

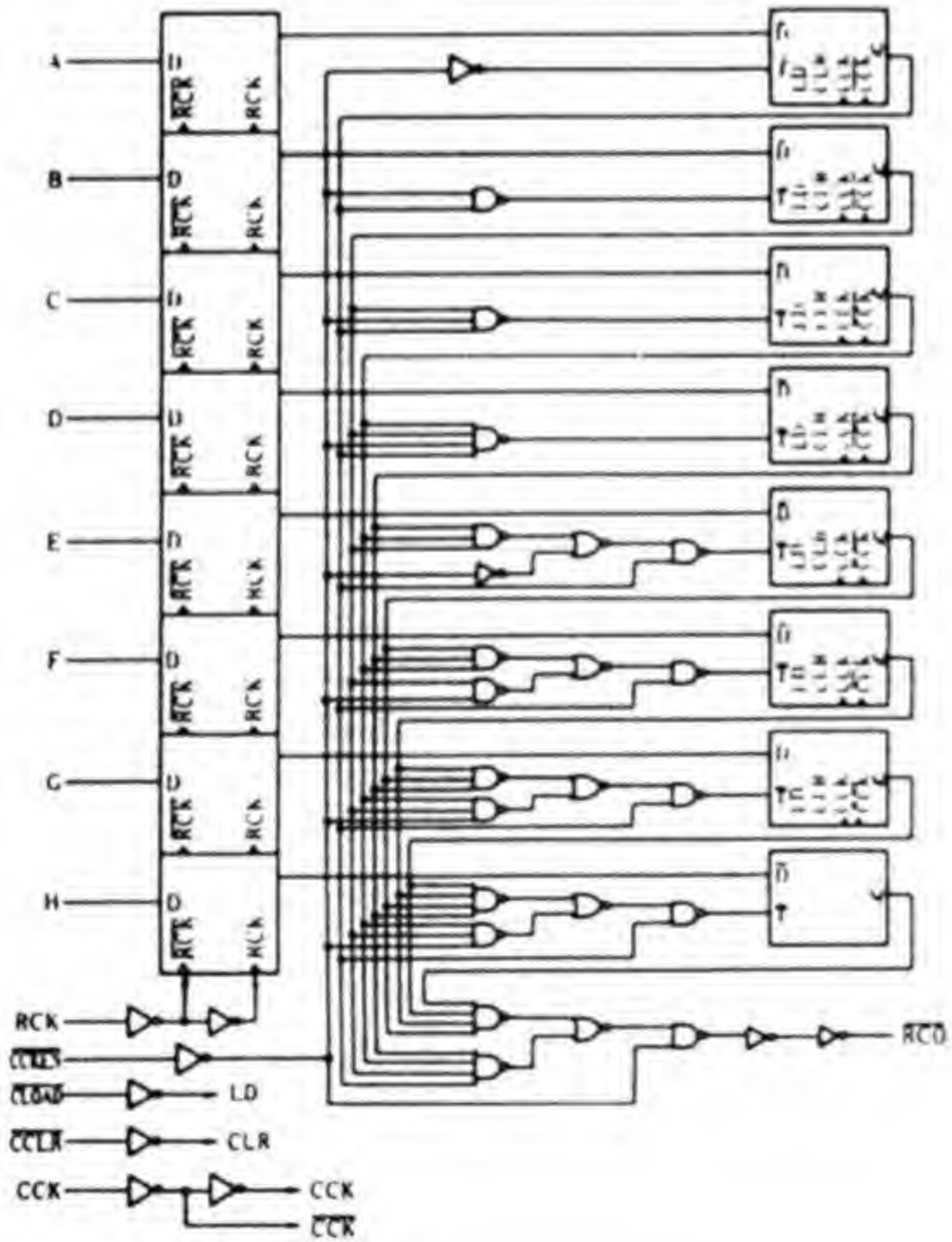
8-Bit Binary Counter with Input Register



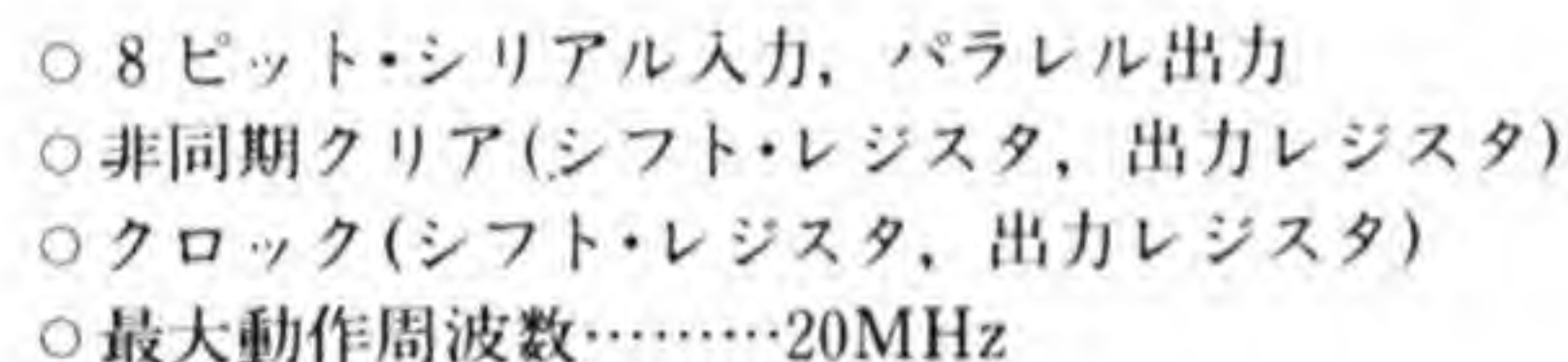
- パラレル入力レジスタ内蔵
- 非同期ロード(カウンタ)
- 非同期クリア(カウンタ)
- 最大動作周波数.....20MHz

機能表

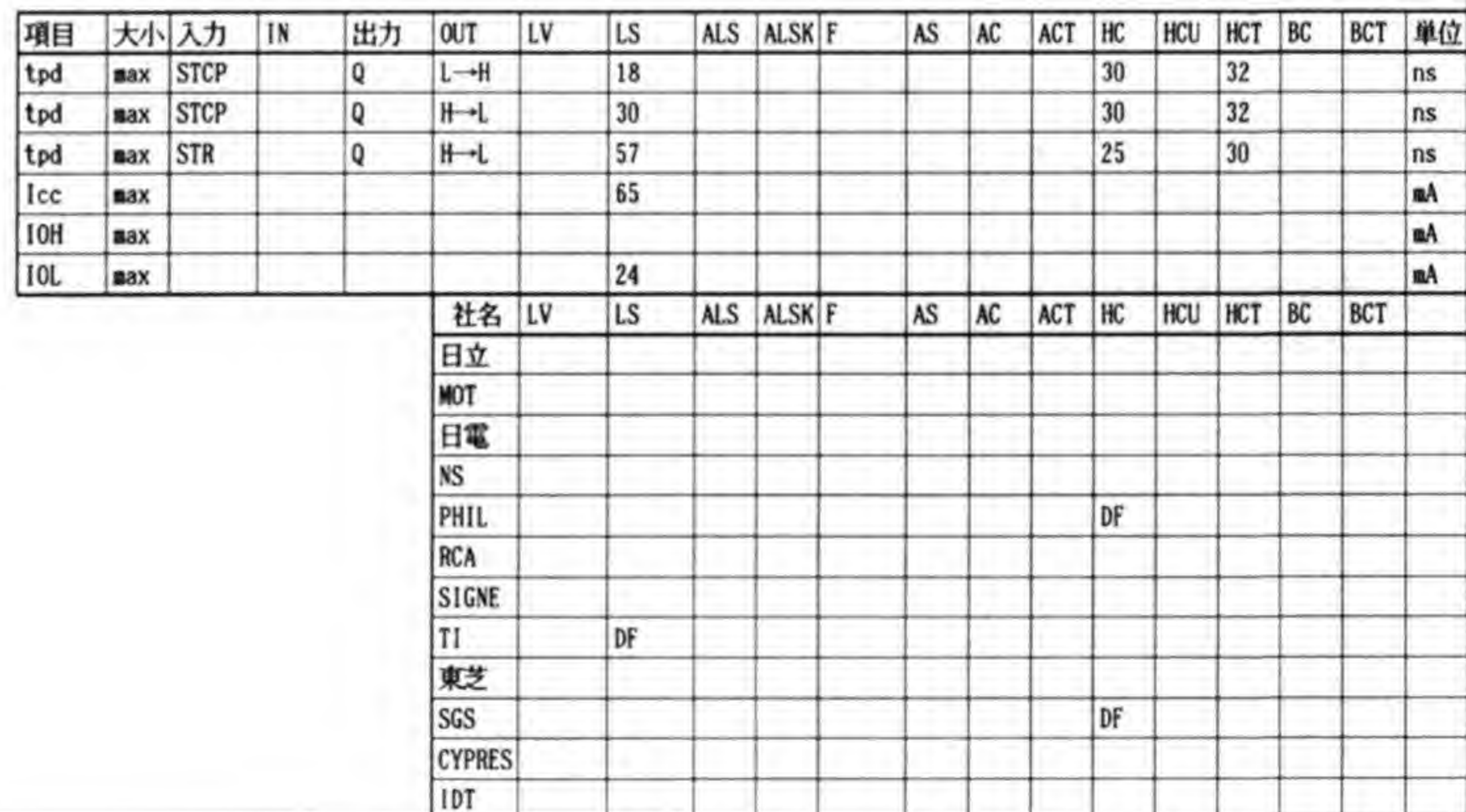
Inputs					動作
RCK	CLoad	CCLR	CCKEN	CCK	
x	L	H	x	x	レジスタデータをカウンタにロード
x	H	L	x	x	カウンタをクリア
/	H	H	x	x	A~H入力のデータをレジスタにストア
\	H	H	x	x	レジスタ状態は変化なし
x	H	H	L	/	カウントアップ
x	H	H	L	\	ノーカウント
x	H	H	H	x	ノーカウント



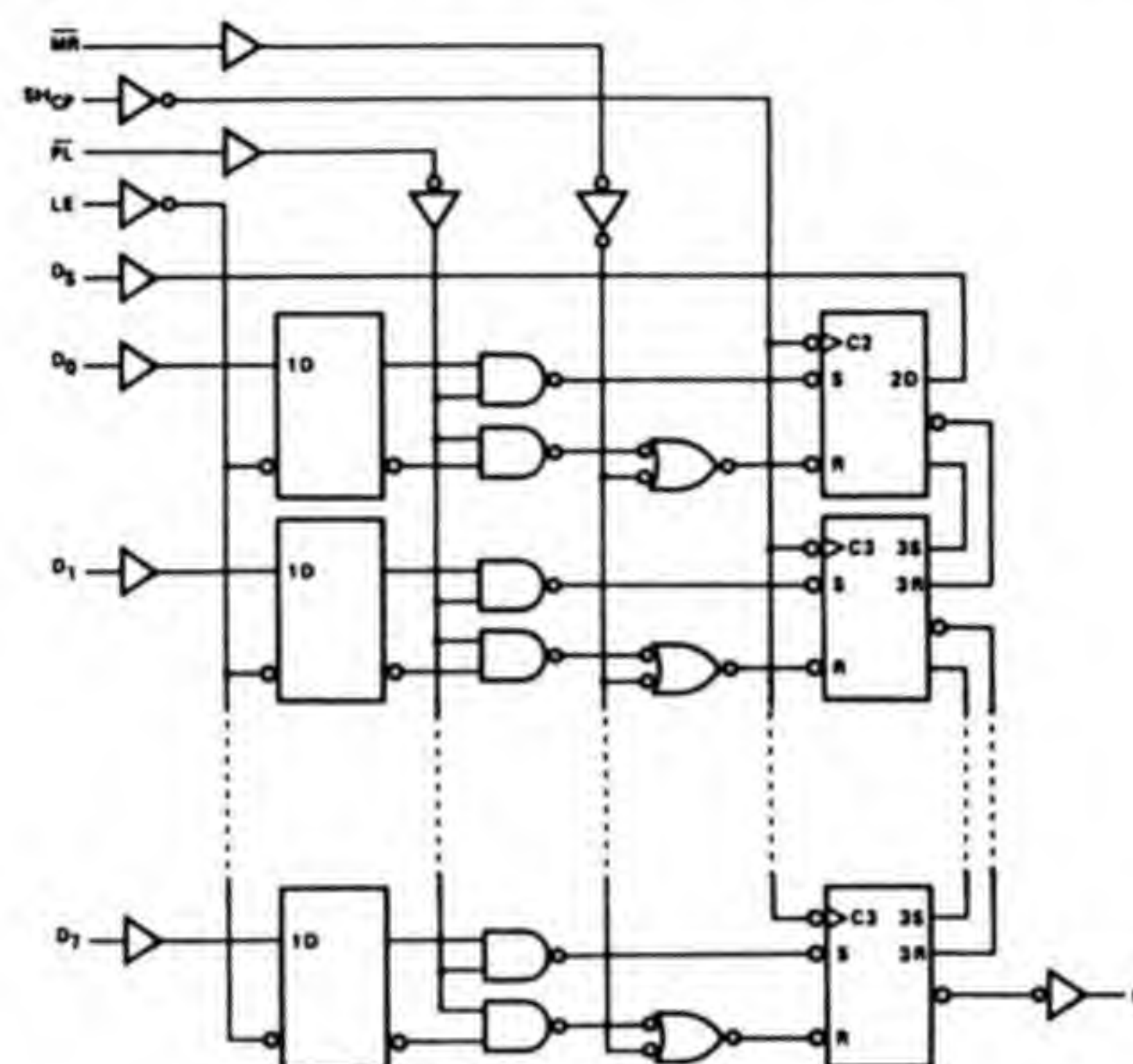
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CCK		RCO	L→H		23							33					ns
tpd	max	CCK		RCO	H→L		30							33					ns
tpd	max	CLOAD		RCO	L→H		23							47					ns
tpd	max	CLOAD		RCO	H→L		17							47					ns
tpd	max	RCK		RCO	L→H		53							52					ns
tpd	max	RCK		RCO	H→L		45							52					ns
Icc	max						60							.004					mA
IOH	max																		mA
IOL	max						60							4					mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立									DF								
		MOT																	
		日電																	
		NS																	
		PHIL																	
		RCA																	
		SIGNE																	
		TI		DF															
		東芝									DF								
		SGS									DF								
		CYPRES																	
		IDT																	






INPUTS					OUTPUTS		FUNCTION
SH_{CP}	ST_{CP}	\overline{SH}_R	\overline{ST}_R	D_S	Q_7'	Q_n	
X	X	L	X	X	L	NC	a LOW level on \overline{SH}_R only affects the shift registers.
X	X	X	L	X	NC	L	a LOW level on \overline{ST}_R only affects the storage registers.
X	\uparrow	L	H	X	L	L	empty shift register loaded into storage register.
\uparrow	X	H	X	H	Q_6'	NC	logic HIGH level shifted into shift register stage 0. Contents of all shift register stages shifted through, e.g. previous state of stage 6 (internal Q_6') appears on the serial output (Q_7').
X	\uparrow	H	H	X	NC	Q_n'	contents of shift register stages (internal Q_n') are transferred to the storage register and parallel output stages.
\uparrow	\uparrow	H	H	X	Q_6n	Q_n'	contents of shift register shifted through. Previous contents of shift register transferred to the storage register and the parallel output stages.



8-Bit Shift Register with Input Frip-Frops

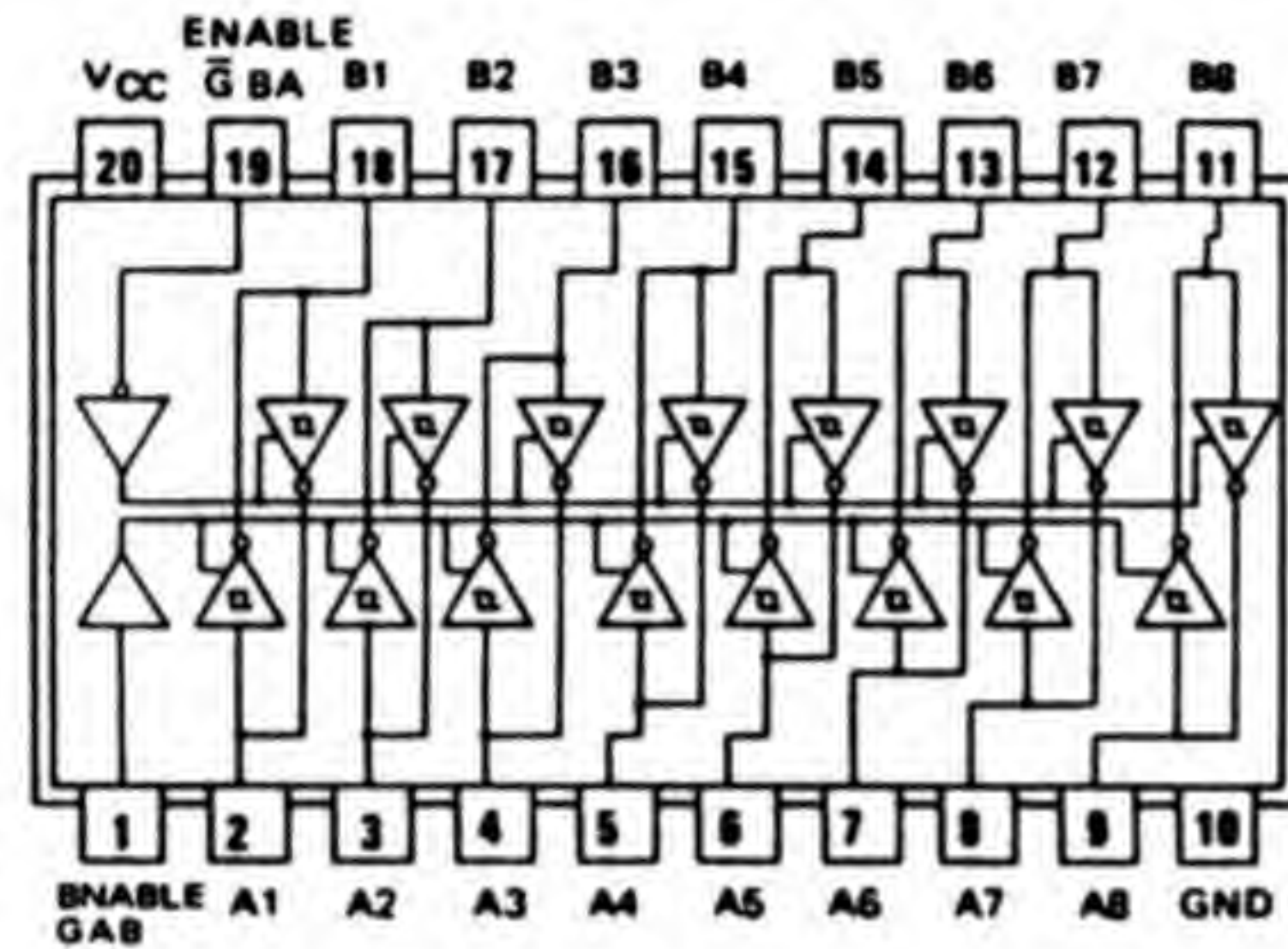


ST _{CP}	SH _{CP}	PL	MR	FUNCTION
	X	X	X	data loaded to input latches
	X	L	H	data loaded from inputs to shift register
no clock edge	X	L	H	data transferred from input latches to shift register
X	X	L	L	invalid logic, state of shift register indeterminate when signals removed
X	X	H	L	shift register cleared
X		H	H	shift register clocked $Q_n = Q_{n-1}$, $Q_0 = D_s$

[illegible][illegible]

74620

Octal 3-State Bus Transceivers



- Channel ごと Enable 独立
- ALS620-1 は $I_{OL(max)}$ 48mA
- ALS1620-1 は $I_{OL(max)}$ 24mA

ナンバー	論理	出力回路
74620	反転	3ステート
74621	非反転	オープンコレクタ
74622	反転	オープンコレクタ
74623	非反転	3ステート

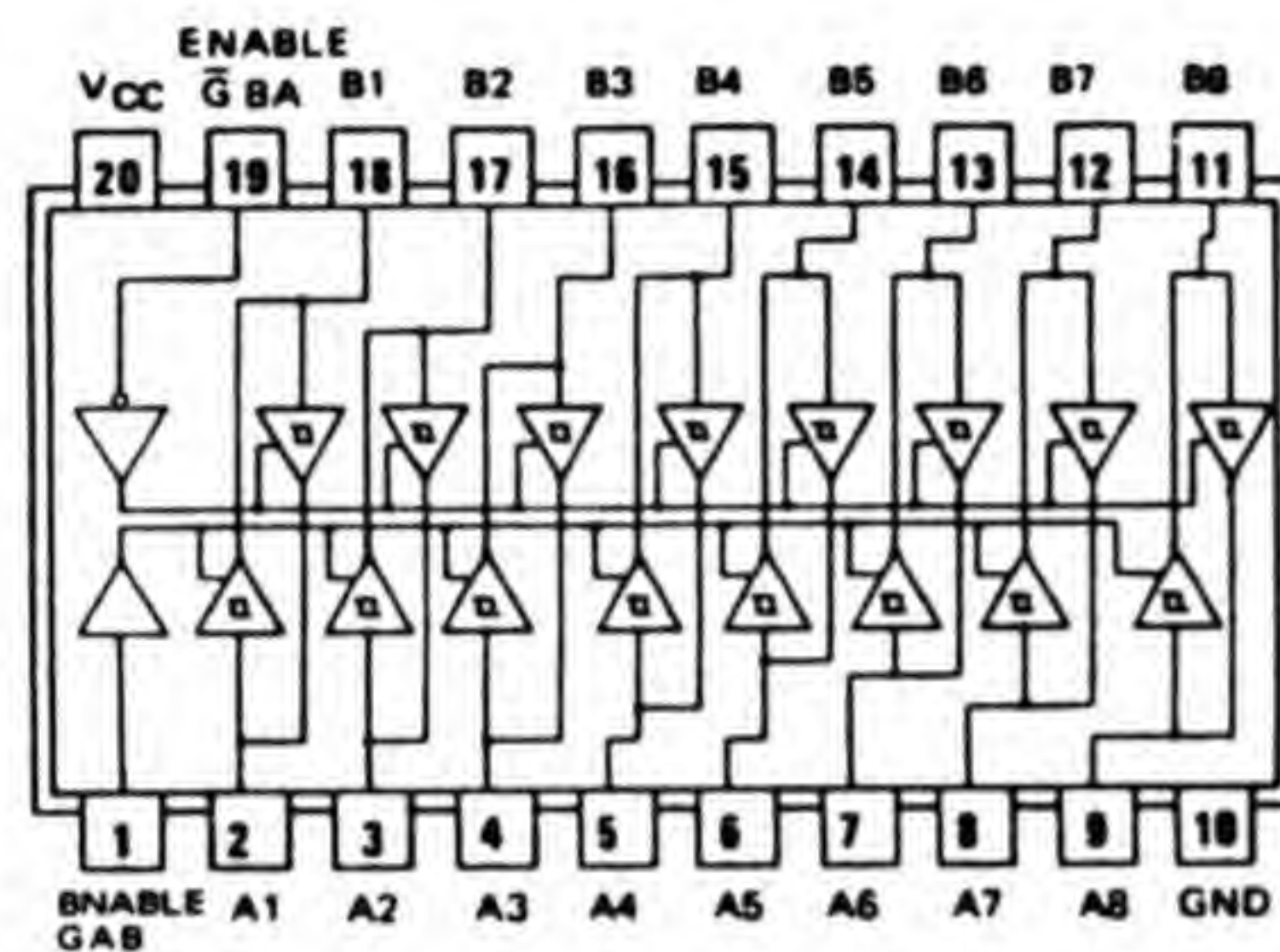
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
Hys	min						0.2												V
tpd	max			L→H	↑		10	12	9	7.5	8	7.5	8.5	25			9.5	5.8	ns
tpd	max			H→L	↓		15	12	6	5.0	6	7.0	9.0	25			8.0	6.9	ns
tpd	max	G		Z→X			40	34	17	11.5	9	10.0	12.0	38			12.5	11.1	ns
tpd	max	G		X→Z			25	34	11	10.5	13	10.0	11.0	38			12.5	10.0	ns
Icc	max						95	43	21	110	122	0.08	0.08	0.08			27	84	mA
I _{IH}	max	A, B	H				20	20	20	20	50								μA
I _{IL}	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
I _{IH}	max	G	H				20	20	20	20	20								μA
I _{IL}	max	G	L				0.4	0.1	0.1	20	0.5								mA
I _{OH}	max			ALL	H		3	15	15	15	15	24	24	6			3	15	mA
I _{OL}	max			ALL	L		24	24	16	64	64	24	24	6			24	64	mA

参考品種
74623
74640
74242

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT					D		D	D						
日電														
NS			DF		D	D		D						
PHIL														
RCA														
SIGNE			DF		DF									
TI			DF		D	D	DF	DF					DF	
東芝												DF		
SGS									DF					
CYPRES														
IDT								DF						

74621

Octal O. C. Bus Transceivers



- Channel ごと Enable 独立
- ALS621-1 は $I_{OL(max)}$ 48mA
- ALS1621-1 は $I_{OL(max)}$ 24mA

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
t _{lys}	min						0.2												V
t _{pd}	max			L→H	↑		25	33	22	13	24								ns
t _{pd}	max			H→L	↓		25	20	14	8.5	7.5								ns
t _{pd}	max	G		L→OFF			40	45	33	14	21								ns
t _{pd}	max	G		H→OFF			50	45	24	11	10								ns
I _{cc}	max						90	45	16	140	189								mA
I _{IH}	max	ALL	H				20	20	20	70	20								μA
I _{IL}	max	ALL	L				0.4	0.1	0.1	0.65	0.5								mA
I _{OH}	max			ALL	H		100	100	100	100	100								μA
I _{OL}	max			ALL	L		24	24	16	24	64								mA

ナンバー	論理	出力回路
74620	反転	3ステート
74621	非反転	オープンコレクタ
74622	反転	オープンコレクタ
74623	非反転	3ステート

参考品種

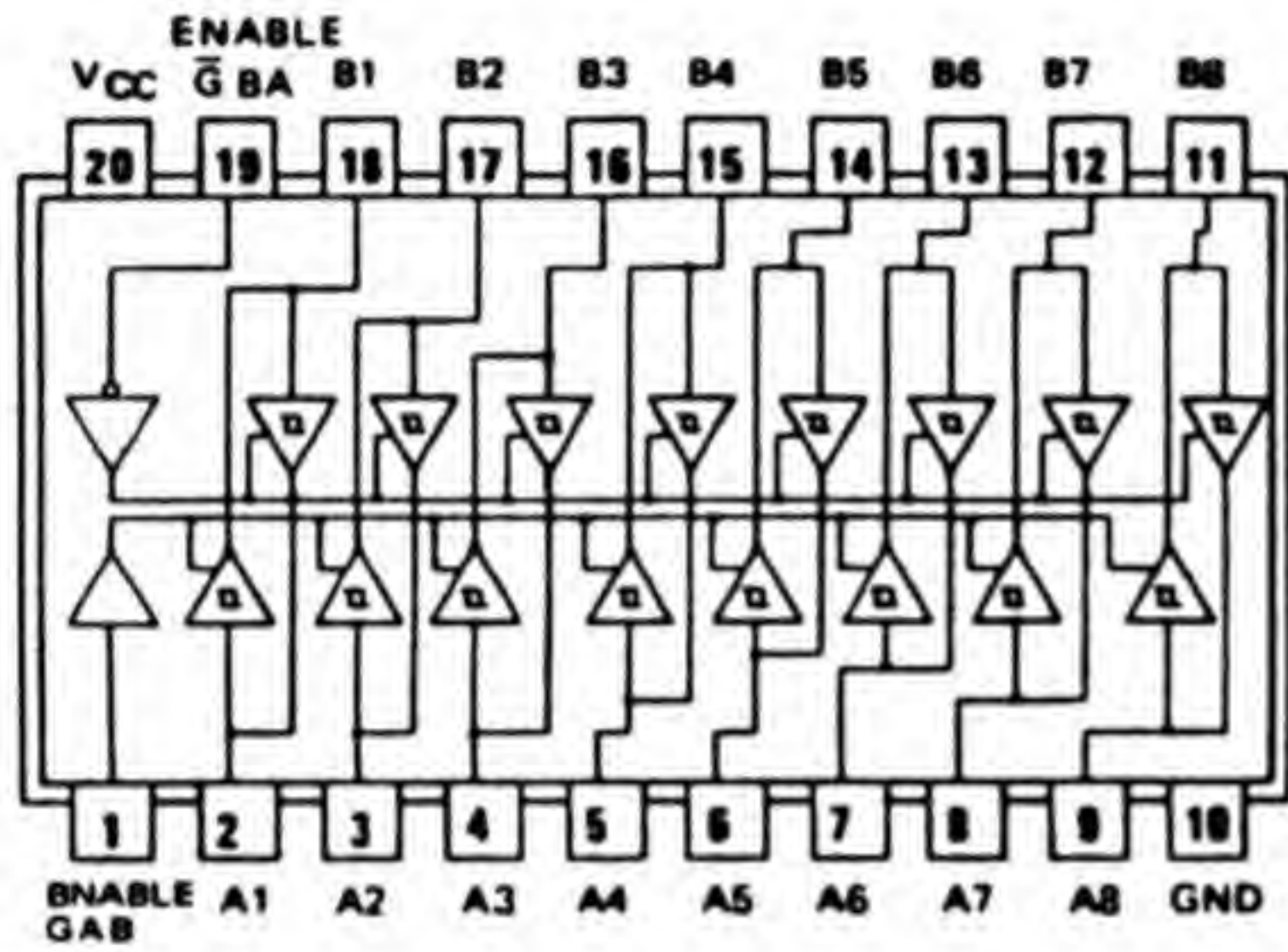
74622

74641

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI		DF	DF		D	D								
東芝														
SGS														
CYPRES														
IDT								DF						

74623

Octal 3-State Bus Transceivers



- Channel ごと Enable 独立
- ALS623-1 は $I_{OL(max)}$ 48mA
- ALS1623-1 は $I_{OL(max)}$ 24mA

ナンバー	論理	出力回路
74620	反転	3ステート
74621	非反転	オープンコレクタ
74622	反転	オープンコレクタ
74623	非反転	3ステート

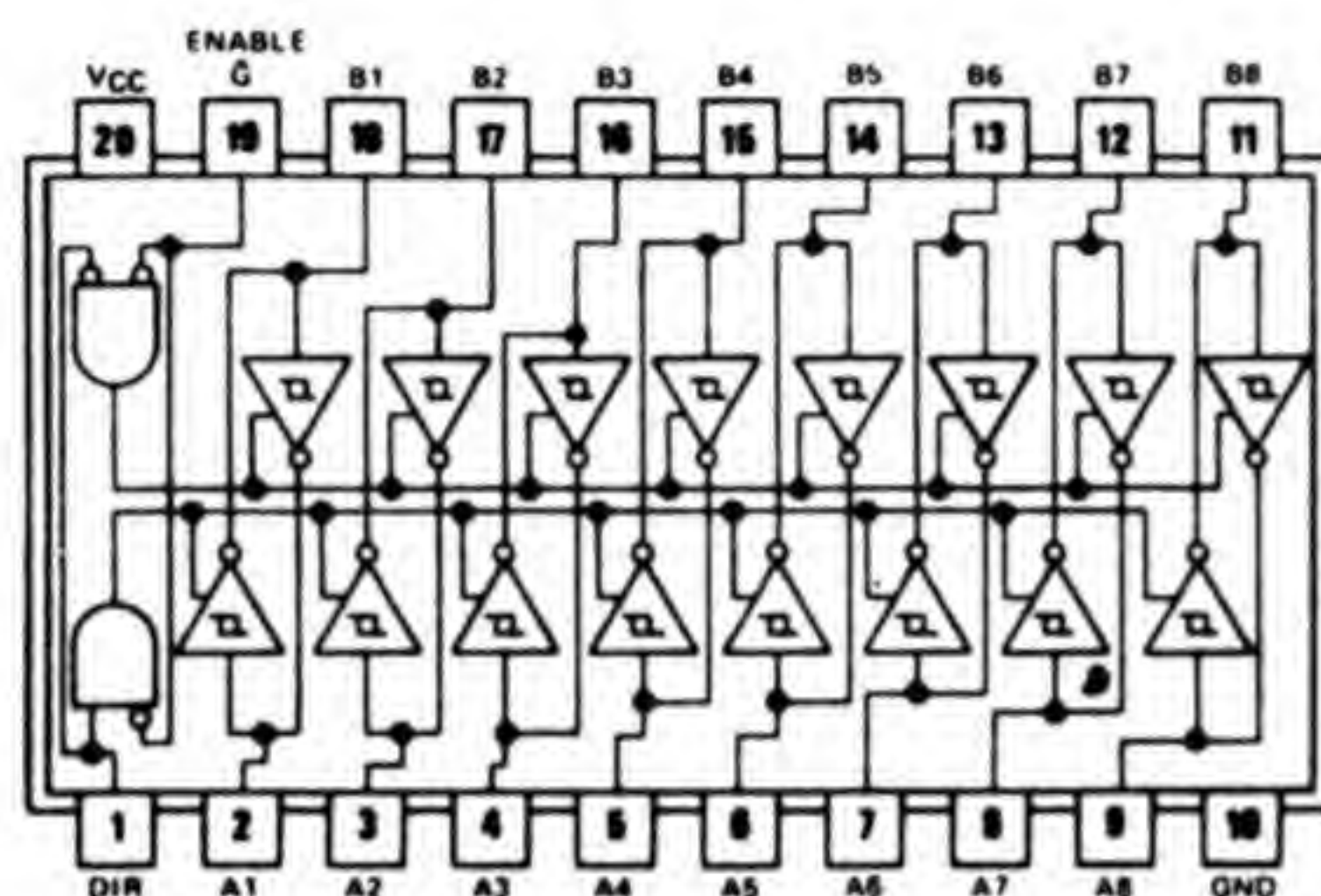
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
t _{lys}	min						0.2												V
t _{pd}	max			L→H	↑		15	13	8	6.5	5	7.5	8.5	30		25	8.0	6.7	ns
t _{pd}	max			H→L	↓		15	13	8	7.5	5	7.0	9.0	30		25	8.0	8	ns
t _{pd}	max	G		Z→X			40	22	21	12.0	7	10.0	12.0	45		38	12.5	10.7	ns
t _{pd}	max	G		X→Z			25	26	13	10.0	5	10.0	11.0	45		38	14	9.8	ns
I _{cc}	max						95	53	18	140	116	0.04	0.04	0.16		0.04	27	9.2	mA
I _{IH}	max	A, B	H				20	20	20	20	50								μA
I _{IL}	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
I _{IH}	max	G	H				20	20	20	20	20								μA
I _{IL}	max	G	L				0.4	0.1	0.1	20	0.5								mA
I _{OH}	max			ALL	H		3	15	15	15	15	24	6	4		6	3	15	mA
I _{OL}	max			ALL	L		24	24	16	64	64	24	6	4		6	24	64	mA

参考品種
74620
74245
74645

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									DF		DF	DF		
MOT		D			D		D	D						
日電														
NS					DF									
PHIL														
RCA							DF	DF						
SIGNE			DF		DF									
TI		DF	DF		D	D	DF	DF	DF		DF		DF	
東芝							DF		DF			DF		
SGS									DF					
CYPRES														
IDT								DF						

74638

Octal O. C./3-State Bus Transceiver



FUNCTION TABLE

CONTROL		OPERATION		
INPUTS		638 640 642	639 641 645	643 644
\bar{G}	DIR			
L	L	\bar{B} data to A bus	B data to A bus	B data to A bus
L	H	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

- $B \rightarrow A$ は O. C. $A \rightarrow B$ は 3-State
- 74ALS638-1 は I_{OL} 48mA
- 74ALS1638-1 は I_{OL} 24mA

ナンバー	論 理	出 力 回 路
74LS638	反 転	OC／3ステート
74LS639	非反転	OC／3ステート
74LS640	反 転	3ステート
74LS641	非反転	オープンコレクタ
74LS642	反 転	オープンコレクタ
74LS643	反転／非反転	3ステート
74LS644	反転／非反転	オープンコレクタ
74LS645	非反転	3ステート

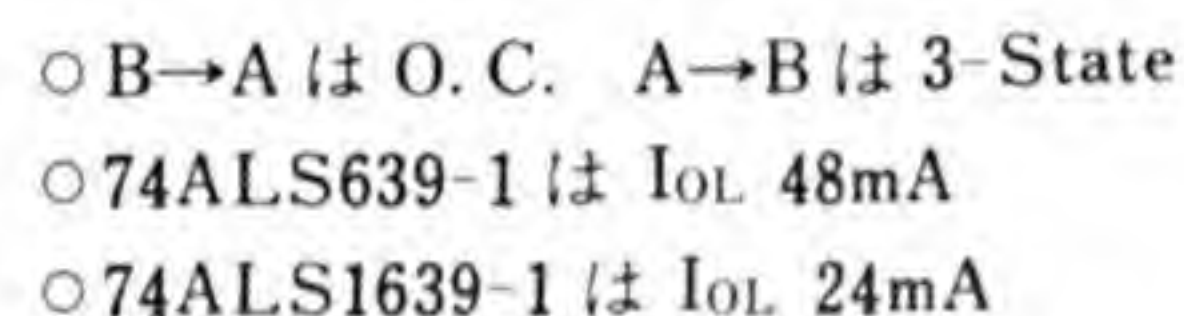
(8287)

(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		B			15	12	21		7								ns
tpd	max	B		A(OC)			25	30	8		20								ns
tpd	max	-G		A(OC)			60	45	23		19								ns
tpd	max	-G		B			40	22	15		10								ns
VOH	max			A(OC)			5.5	5.5	5.5		5.5								V
Icc	max						95	41	25		122								mA
IIH	max	A, B	H				20	20	20		50								μA
IIL	max	A, B	L				0.4	0.1	0.1		0.75								mA
IIH	max	-G, DIR	H				20	20	20		20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
IOH	max			3S	H		15	15	15		15								mA
IOL	max			3S	L		24	24	16		64								mA
IZL	max			3S	H		400												μA
IZH	max			3S	L		20												UA
IOH	max			OC	H		100	100	100		100								μA
IOL	max			OC	L		24	24	16		64								mA

[illegible]

Octal O. C./3-State Bus Transceiver



(8287)

(8286, 74245)

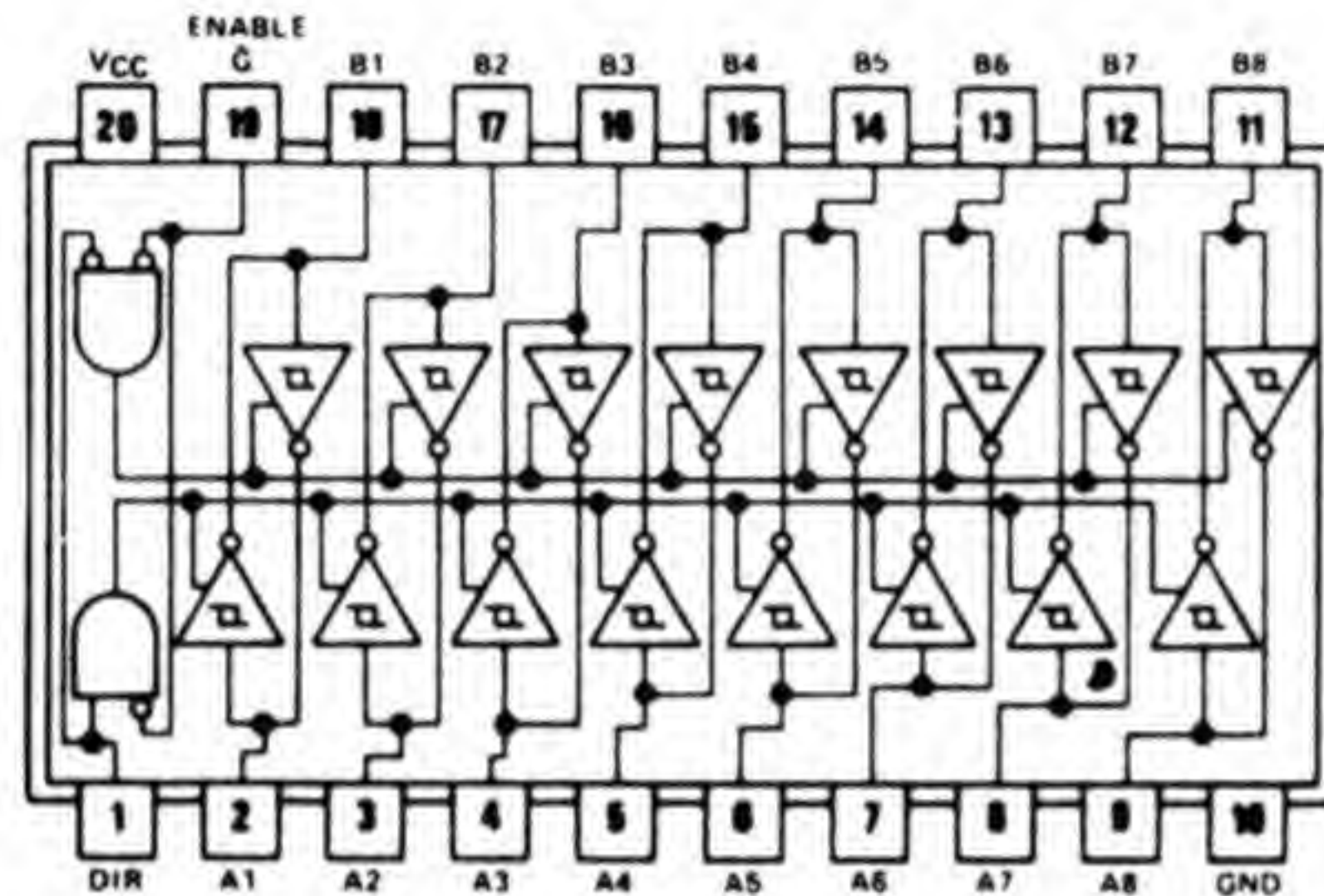
CONTROL		OPERATION		
INPUTS		638 640 642	639 641 645	643 644
\bar{G}	DIR			
L	L	\bar{B} data to A bus	B data to A bus	B data to A bus
L	H	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
H	X	Isolation	Isolation	Isolation

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A		B			15	12	21		9.5								ns
tpd	max	B		A(OC)			25	30	9		22								ns
tpd	max	-G		A(OC)			50	35	23		21.5								ns
tpd	max	-G		B			40	25	17		10.5								ns
VOH	max			A(OC)			5.5	5.5	5.5		5.5								V
Icc	max						95	54	25		154								mA
I _{IH}	max	A, B	H				20	20	20		50								μA
I _{IL}	max	A, B	L				0.4	0.1	0.1		0.75								mA
I _{IH}	max	-G, DIR	H				20	20	20		20								μA
I _{IL}	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
I _{OH}	max			3S	H		15	15	15		15								mA
I _{OL}	max			3S	L		24	24	16		64								mA
I _{ZL}	max			3S	H		400												μA
I _{ZH}	max			3S	L		20												UA
I _{OH}	max			OC	H		100	100	100		100								μA
I _{OL}	max			OC	L		24	24	16		64								mA

[illegible]

74640

Octal 3-State Bus Transceiver



○74LS640-1, 74ALS640-1 は I_{OL} 48mA

○74ALS1640-1 は I_{OL} 24mA

FUNCTION TABLE

CONTROL		OPERATION		
		638 640 642	639 641 645	643 644
\bar{G}	DIR	L L	\bar{B} data to A bus	B data to A bus
L	L	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
L	H	Isolation	Isolation	Isolation
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

ナンバー	論理	出力回路
74LS638	反転	OC / 3ステート
74LS639	非反転	OC / 3ステート
74LS640	反転	3ステート
74LS641	非反転	オープンコレクタ
74LS642	反転	オープンコレクタ
74LS643	反転 / 非反転	3ステート
74LS644	反転 / 非反転	オープンコレクタ
74LS645	非反転	3ステート

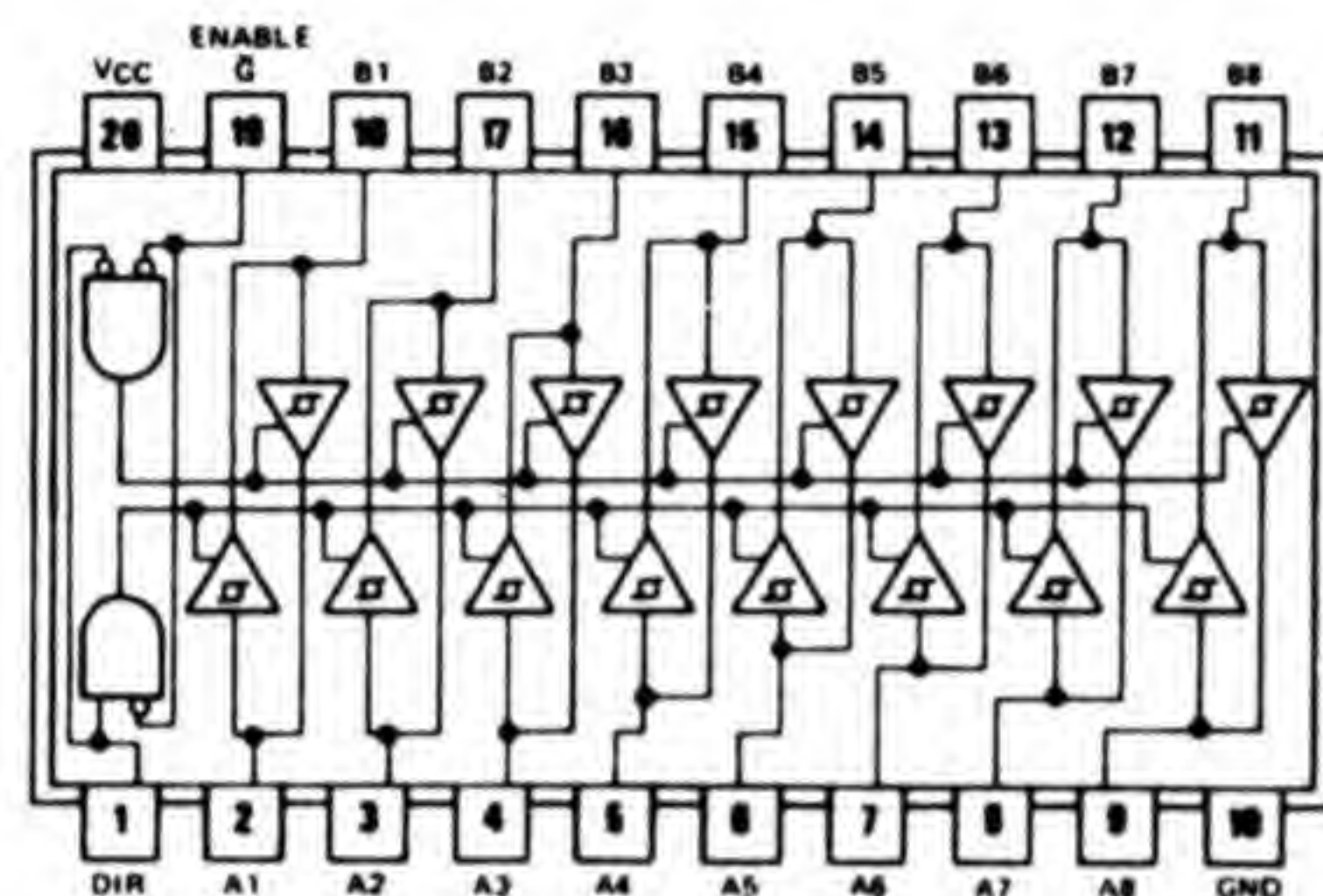
(8287)

(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			15	11	15	8.0	7	8.5		22		29	9.5	6.5	ns
tpd	max	-G		Z→X			45	24	22	13	10	12.0		56		38	12.5	10.7	ns
tpd	max	-G		X→Z			15	15	13	9.0	13	10.0		52		38	14	10.2	ns
Icc	max						95	43	32	120	123	0.08		0.08		0.08	27	9.4	mA
I _{IH}	max	A, B					20	20	20	100	50								μA
I _{IL}	max	A, B					0.4	0.1	0.1	1.0	0.75								mA
I _{IH}	max	-G, DIR					20	20	20	40	20								μA
I _{IL}	max	-G, DIR					0.4	0.1	0.1	40	0.5								mA
I _{OH}	max			3S	H		3	15	15	15	15	24		6		6	3	15	mA
I _{OL}	max			3S	L		24	24	16	64	64	24		6		6	24	64	mA
I _{ZL}	max			3S	L		400			70		5.0		5		5	3		μA
I _{ZH}	max			3S	H		20			70		5.0		5		5	24		μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF							DF		D	DF		
MOT		D			D		D	D	DF		DF			
日電									DF		DF			
NS			DF		DF	DF								
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF	DF	DF		DF	DF	DF	DF		DF		DF	
東芝							DFS	DFS	DF		DF	DF		
SGS									DF		DF			
CYPRES														
IDT								DF						

Octal O.C. Bus Transceiver



FUNCTION TABLE

CONTROL		OPERATION		
INPUTS		638 640 642	639 641 645	643 644
\bar{G}	DIR			
L	L	\bar{B} data to A bus	B data to A bus	B data to A bus
L	H	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

- 74LS641-1, 74ALS641-1 は I_{OL} 48mA
○74ALS1641-1 は I_{OL} 24mA

ナンバー	論 理	出 力 回 路
74LS638	反 転	OC／3ステート
74LS639	非反転	OC／3ステート
74LS640	反 転	3ステート
74LS641	非反転	オープンコレクタ
74LS642	反 転	オープンコレクタ
74LS643	反転／非反転	3ステート
74LS644	反転／非反転	オープンコレクタ
74LS645	非反転	3ステート

(8287)

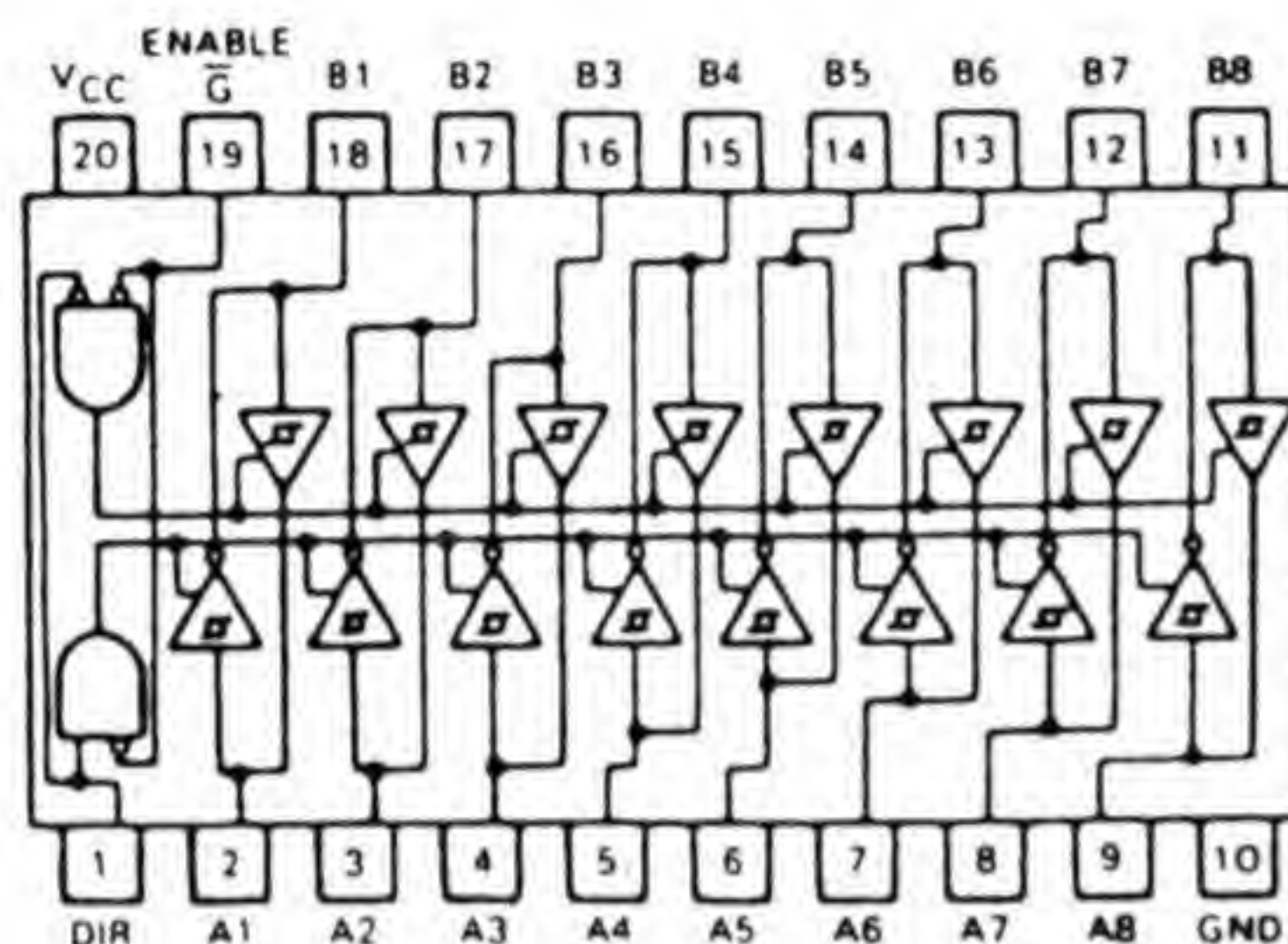
(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		NORMAL			25	25	22	13.0	21								ns
tpd	max	-G		NORMAL			50	30	26	13.5	21								ns
VOH	max							5.5	5.5		5.5								V
Icc	max						95	47	23	120	136								mA
IIH	max	A, B	H				20	20	20	20	50								μA
IIL	max	A, B	L				0.4	0.1	0.1	20	0.75								mA
IIH	max	-G, DIR	H				20	20	20	40	20								μA
IIL	max	-G, DIR	L				0.4	0.1	0.1	40	0.5								mA
IOH	max			OC	H		100	100	100	250	100								μA
IOL	max			OC	L		24	24	16	64	64								mA

[illegible]

74643

Octal 3-State Bus Transceiver



○74LS643-1, 74ALS643-1 は IOL 48mA

○74ALS1643-1 は I_{OL} 24mA

ナンバー	論 理	出 力 回 路
74LS638	反 転	OC／3 ステート
74LS639	非反転	OC／3 ステート
74LS640	反 転	3 ステート
74LS641	非反転	オープンコレクタ
74LS642	反 転	オープンコレクタ
74LS643	反転／非反転	3 ステート
74LS644	反転／非反転	オープンコレクタ
74LS645	非反転	3 ステート

(8287)

(8286, 74245)

FUNCTION TABLE

CONTROL		OPERATION		
INPUTS		638 640 642	639 641 645	643 644
\bar{G}	DIR			
L	L	\bar{B} data to A bus	B data to A bus	B data to A bus
L	H	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
H	X	Isolation	Isolation	Isolation

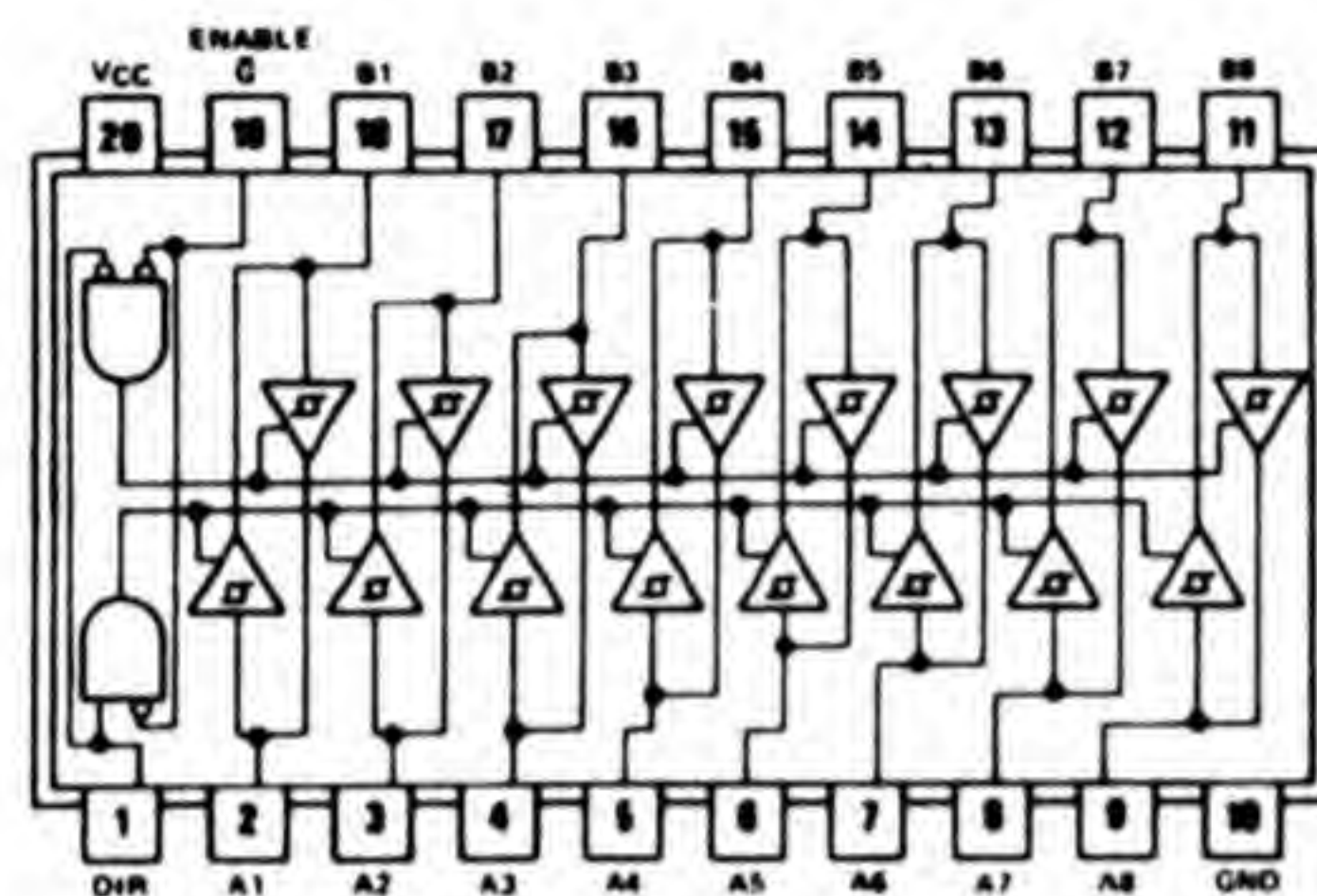
H = High level, L = low level, X = irrelevant

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		INVERT			15	13	8		10	7.5		22		29	9.5		ns
tpd	max	DATA		NORMAL			15	13	7		8	7.5		22		29	8.0		ns
tpd	max	-G		Z→X			45	25	21		11	10.0		56		38	13		ns
tpd	max	-G		X→Z			15	17	13		10.5	10.0		52		38	14		ns
lcc	max						95	48	22		143	0.04		0.08		0.08	27		mA
I1H	max	A, B	H				20	20	20		50								μA
I1L	max	A, B	L				0.4	0.1	0.1		0.75								mA
I1H	max	-G, DIR	H				20	20	20		20								μA
I1L	max	-G, DIR	L				0.4	0.1	0.1		0.5								mA
I0H	max			3S	H		3	15	15		15	24		6		6	3		mA
I0L	max			3S	L		24	24	16		64	24		6		6	24		mA
I2L	max			3S	H		400					5.0		5		5	3		μA
I2H	max			3S	L		20					5.0		5		5	24		UA

[illegible]

74645

Octal 3-State Bus Transceiver



FUNCTION TABLE

CONTROL		OPERATION		
INPUTS		638 640 642	639 641 645	643 644
\bar{G}	DIR			
L	L	\bar{B} data to A bus	B data to A bus	B data to A bus
L	H	\bar{A} data to B bus	A data to B bus	\bar{A} data to B bus
H	X	Isolation	Isolation	Isolation

H = High level, L = low level, X = irrelevant

- 74LS645-1, 74ALS645-1は I_{OL} 48mA
- 74ALS1645-1は I_{OL} 24mA

ナンバー	論理	出力回路
74LS638	反転	OC/3ステート
74LS639	非反転	OC/3ステート
74LS640	反転	3ステート
74LS641	非反転	オープンコレクタ
74LS642	反転	オープンコレクタ
74LS643	反転/非反転	3ステート
74LS644	反転/非反転	オープンコレクタ
74LS645	非反転	3ステート

(8287)

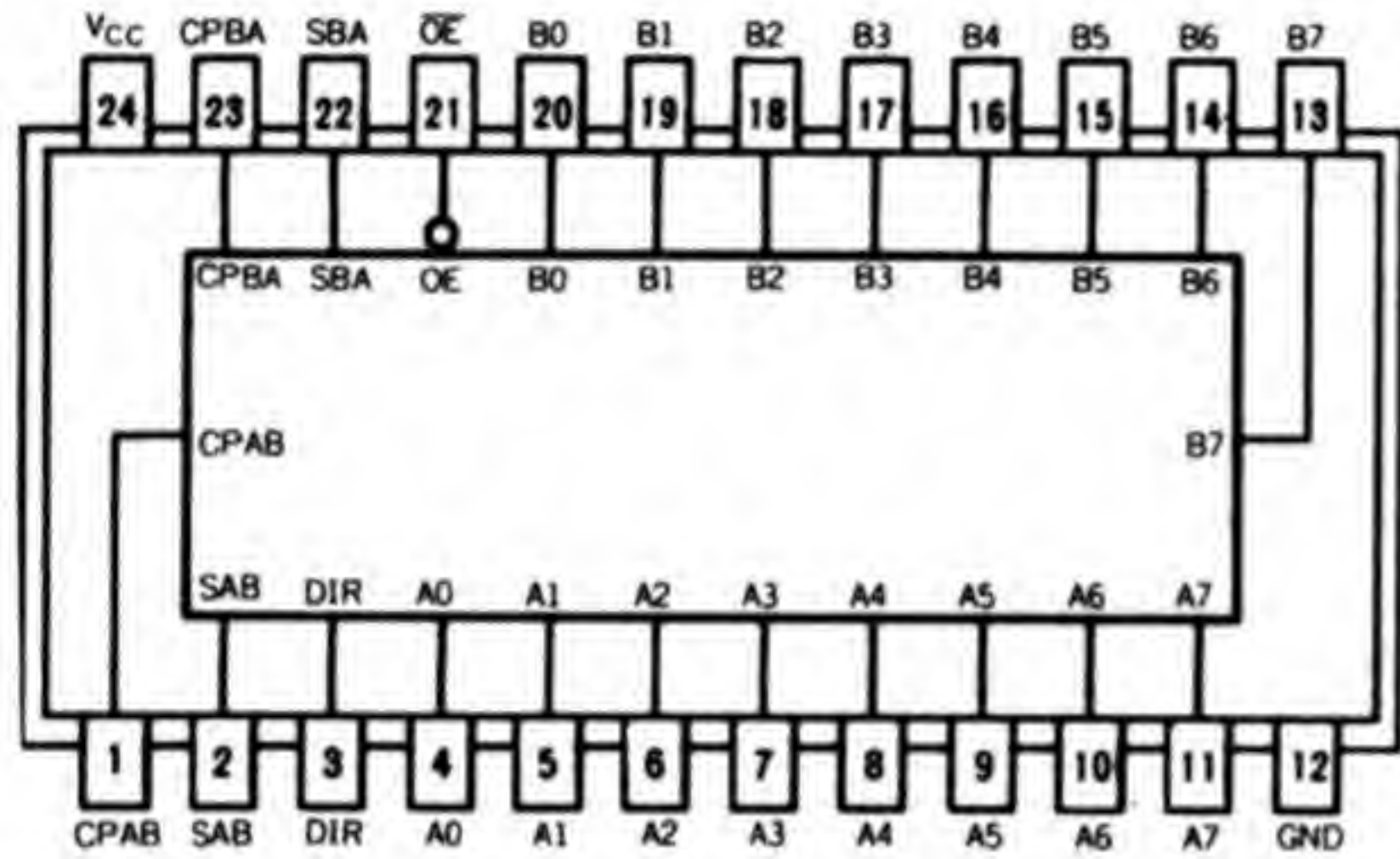
(8286, 74245)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	DATA		NORMAL			15	10	13		9.5			30		34	8		ns
tpd	max	-G		Z→X			45	20	25		11			45		43	13		ns
tpd	max	-G		X→Z			15	15	18		12			38		43	13		ns
Icc	max						95	58	36		149			0.08		0.08	27		mA
I _{IH}	max	ALL	H				20	20	20										μA
I _{IL}	max	ALL	L				0.4	0.1	0.1										mA
I _{OH}	max			3S	H		3	15	15		15			6		6	3		mA
I _{OL}	max			3S	L		24	24	16		64			6		6	24		mA
I _{ZL}	max			3S	H		400							5		5			μA
I _{ZH}	max			3S	L		20							5		5			μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF										DF		
MOT		D												
日電														
NS		DF	DF		D	DF			DF					
PHIL														
RCA														
SIGNE			DF											
TI		DF	DF	DF		D			DF		DF			
東芝												DF		
SGS														
CYPRES														
IDT								DF						

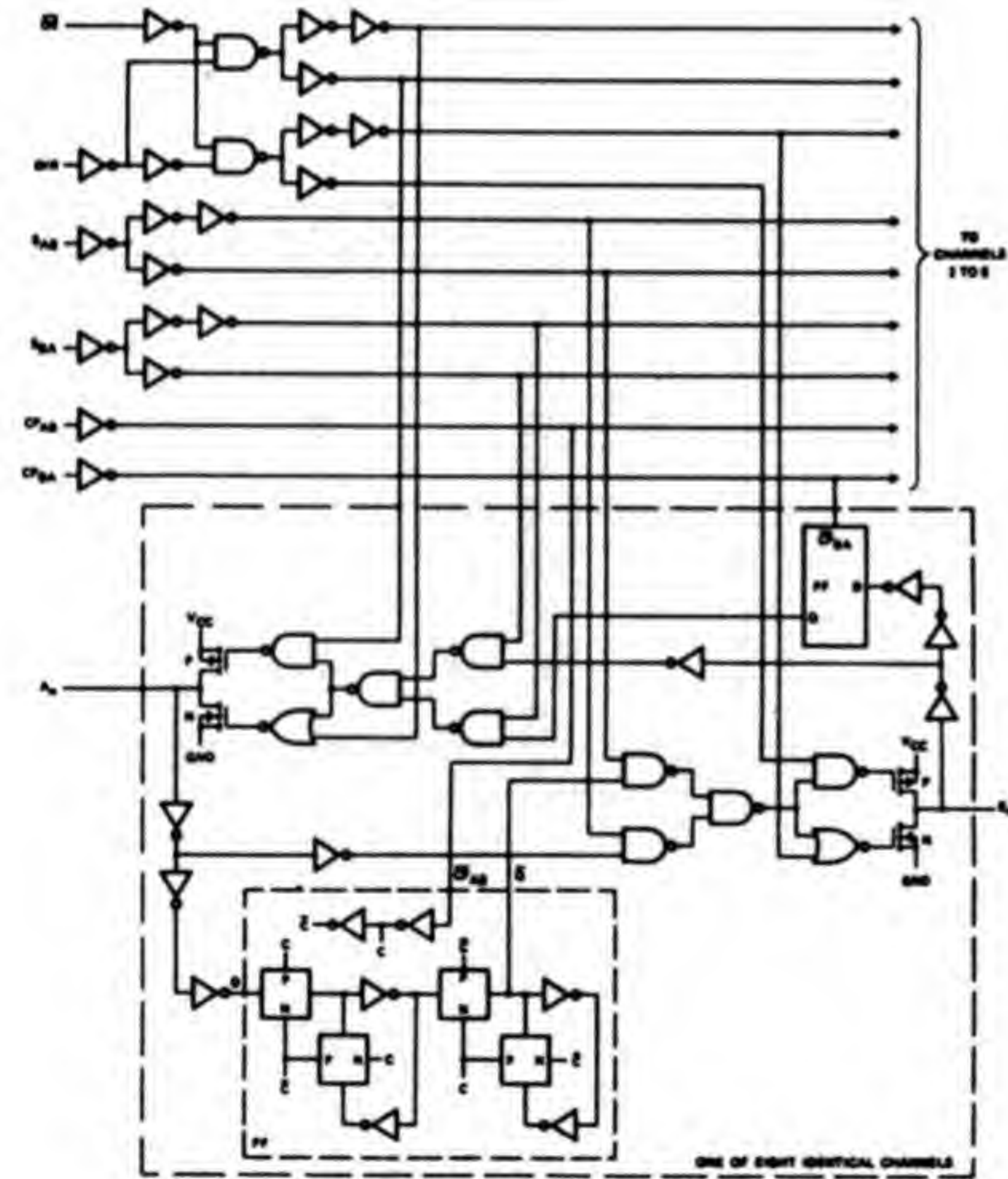
74646

Octal BUS Transceiver



FUNCTION TABLE

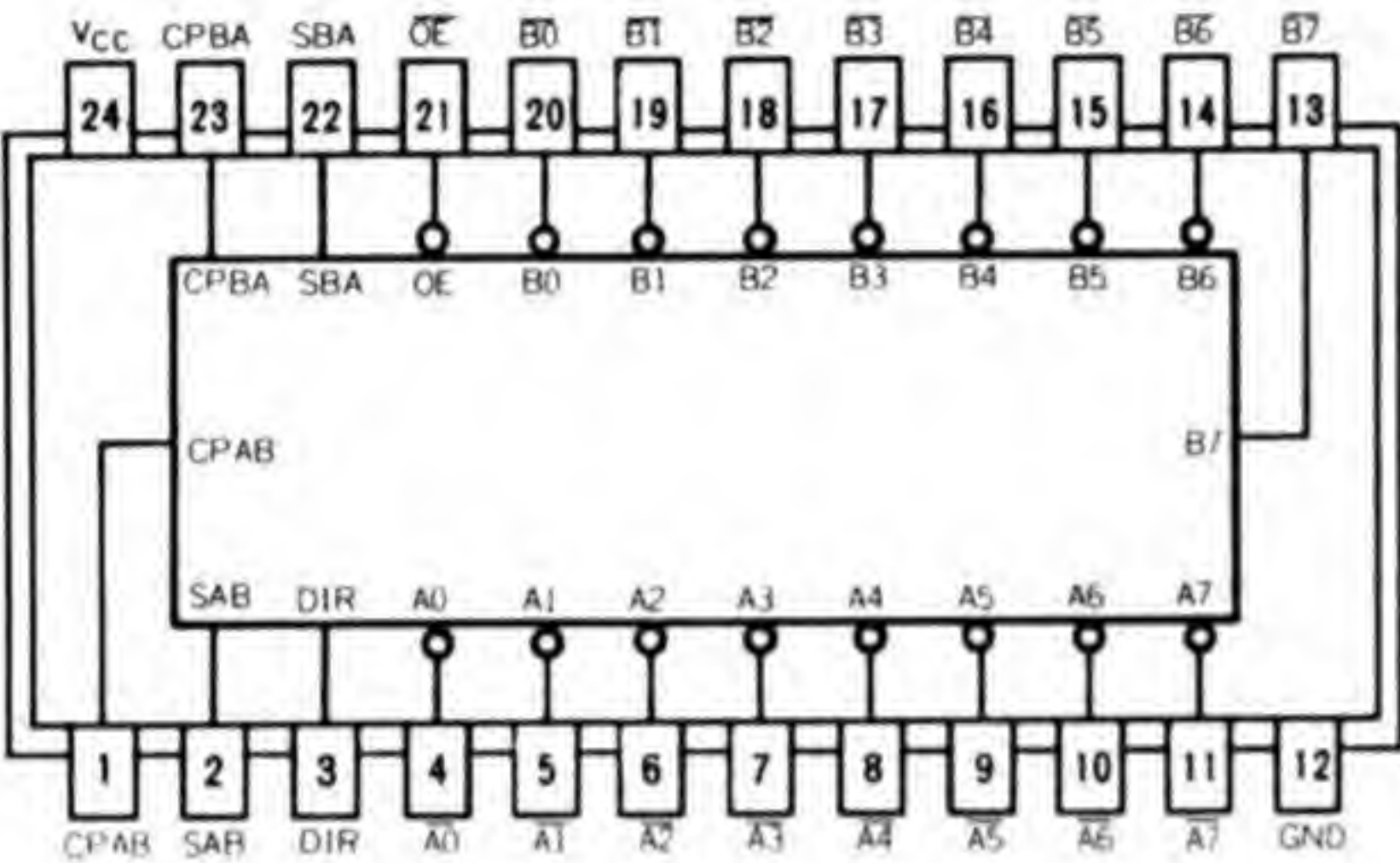
INPUTS						DATA I/O		FUNCTION
OE	DIR	CPAB	CPBA	SAB	SBA	A0 to A7	B0 to B7	
H	X	H or L	H or L	X	X	input	input	isolation store A and B data
L	L	X	X	X	L	output	input	real-time B data to A bus stored B data to A bus
L	H	X or L	X	L	X	input	output	real-time A data to B bus stored A data to B bus



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		B, A			50	20		10.0	9	18.5	11.5	38		46			ns
tpd	max	CP, S		B, A			35	35		11.5	9	15.5	12.5	55		55			ns
tpd	max	OTHERS		OTHERS			65	30		13.0	18	13.5	16	44		44			ns
fmax	min						90			9.0	90			22		25			MHz
Icc	typ				H		103	55		12.5	130								mA
Icc	max				L		165	88		210	211	0.08	0.04						mA
VIH	max	ALL	H				20	20		20	70								μA
VIL	max	ALL	L				0.4	0.2		0.02	0.75								mA
IOH	max			ALL	H		15	15		15	15	24	24	4					mA
IOL	max			ALL	L		24	24		64	48	24	24	4					mA
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT						
日立														D					
MOT											D	D	D						
日電																			
NS			DF		DF	DF	DF	D	DF										
PHIL														DF		DF			
RCA											DF	DF	DF			DF			
SIGNE			DF	D	DF														
TI		D	DF			D	D	D								D		DF	
東芝														D		D			
SGS														DF		DF			
CYPRES					DF														
IDT												DF							

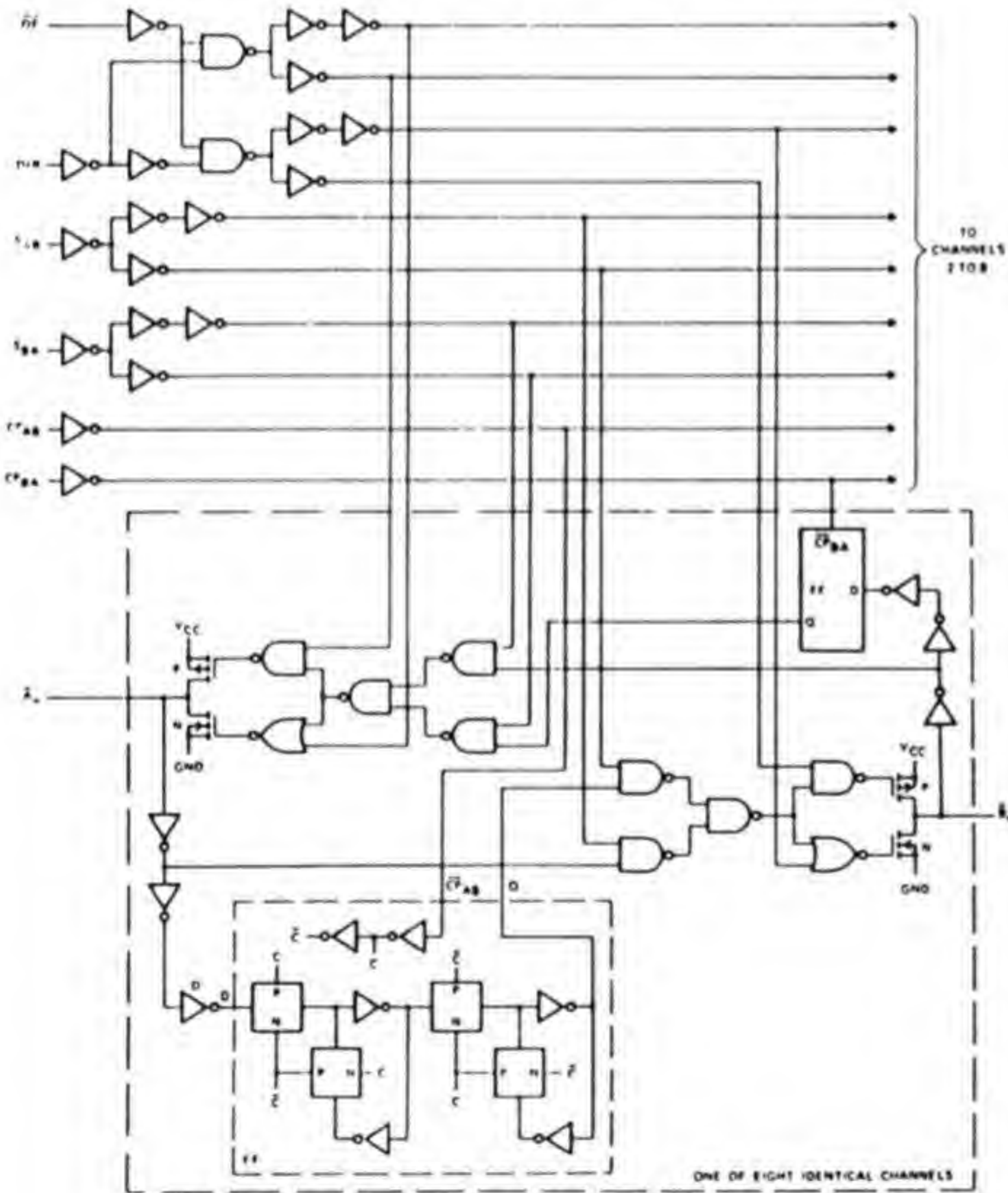
74648

Octal BUS Transceiver



FUNCTION TABLE

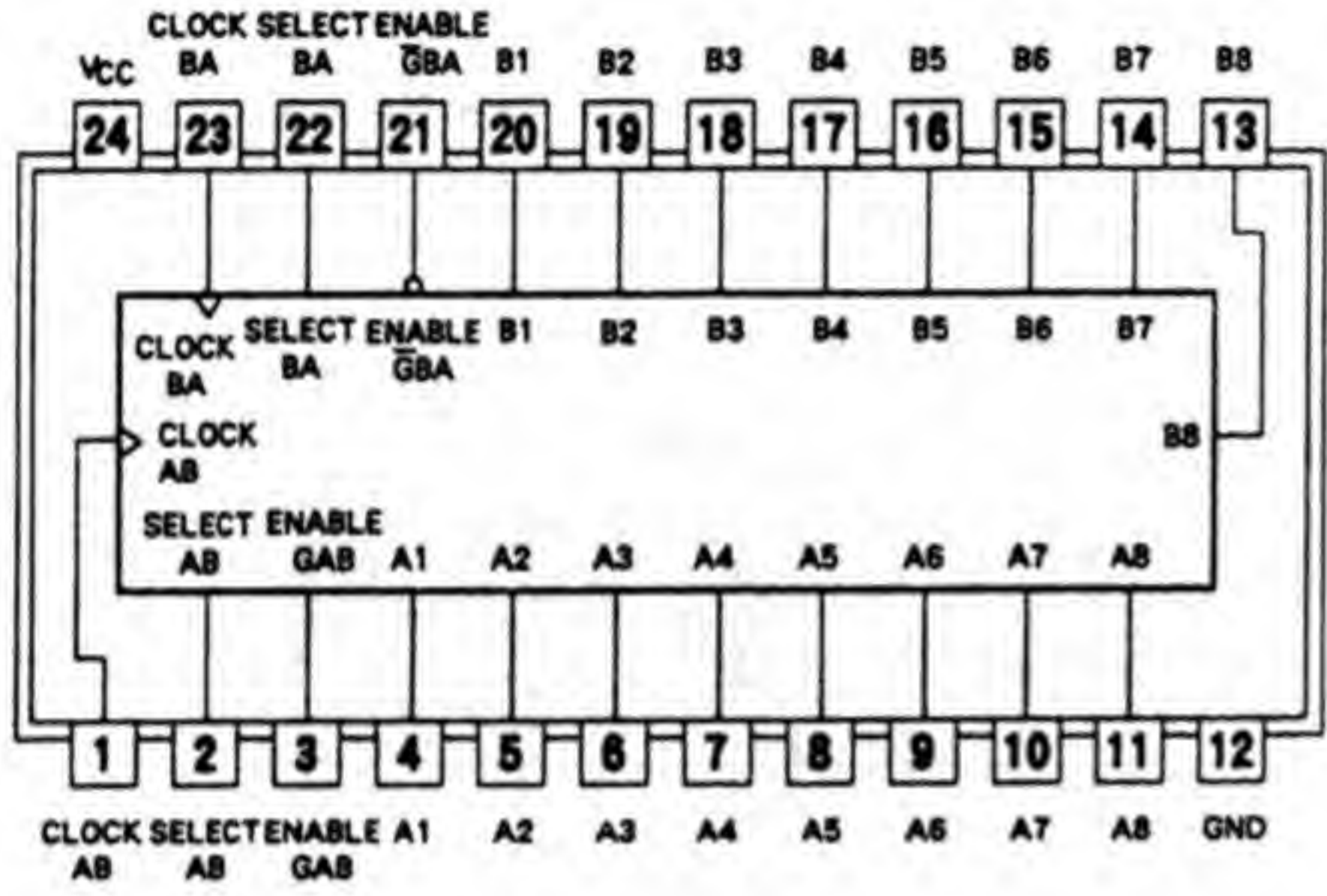
INPUTS						DATA I/O *		FUNCTION
OE	DIR	CPAB	CPBA	SAB	SBA	A ₀ to A ₇	B ₀ to B ₇	
H	X	H or L	H or L	X	X	input	input	isolation store A and B data
L	L	X	X	X	L	output	input	real-time B data to A bus stored B data to A bus
L	H	X	X	L	X	input	output	real-time A data to B bus stored A data to B bus



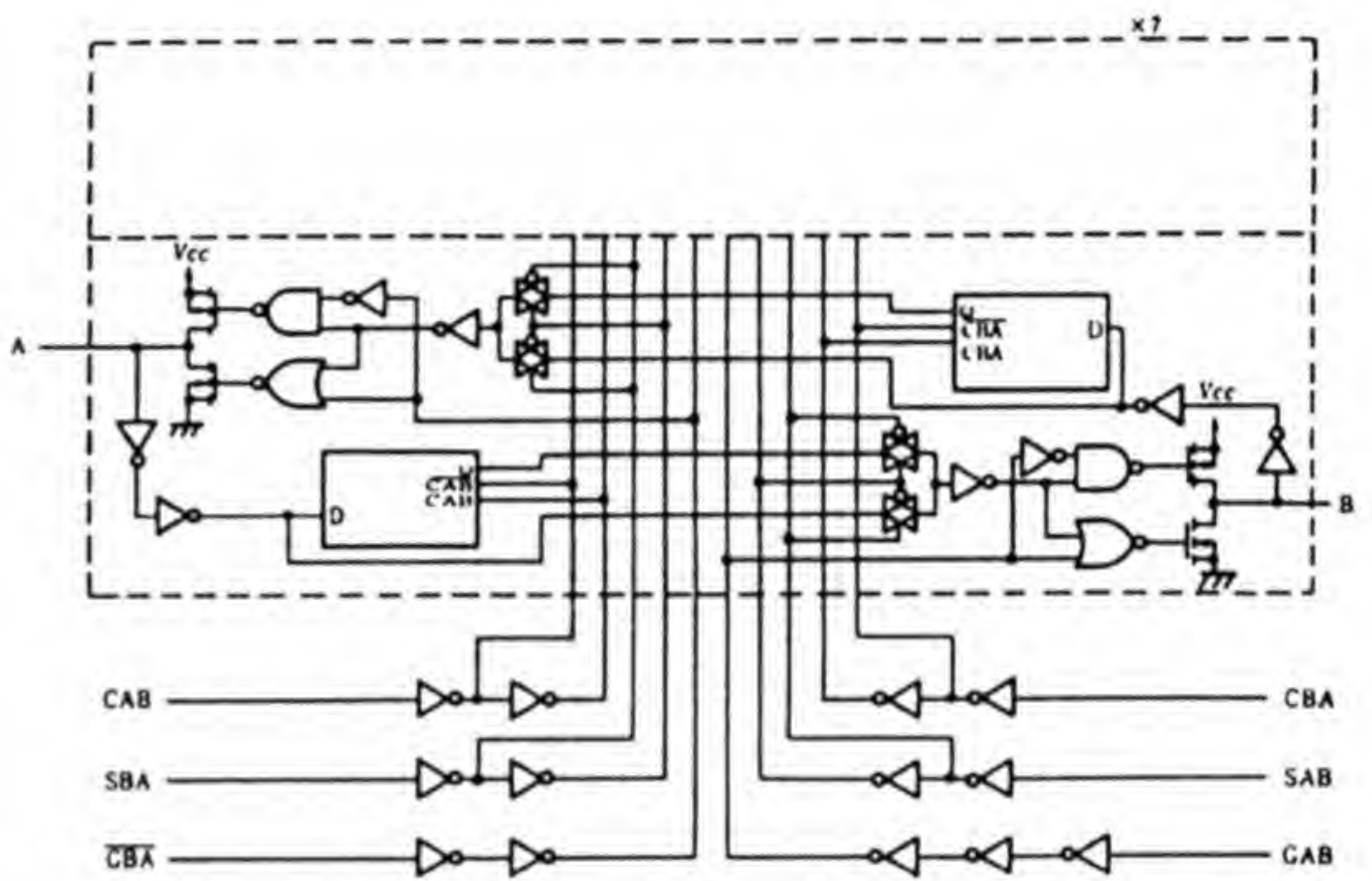
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B		B, A			25	17		9.5	9	14		38		46			ns
tpd	max	CP, S		B, A			40	39		11.0	11.0	17		55		55			ns
tpd	max	OTHERS		OTHERS			55	27		14.0	18	15		44		44			ns
fmax	min									90	90			22		25			MHz
Icc	typ				H			57		160	120								mA
Icc	max				L			165	88	210	195	0.08							mA
IiH	max	ALL	H				20	20		20	70								μA
IiL	max	ALL	L				0.4	0.2		20	0.75								mA
IOH	max			ALL	H		15	15		15	15	24		6		6			mA
IOL	max			ALL	L		24	24		64	48	24		6		6			mA
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT						
日立														D					
MOT											D	D	D						
日電																			
NS			DF		DF	DF	DF												
PHIL														DF		DF			
RCA											DF	DF	DF			DF			
SIGNE					DF														
TI		D	D			D	D	D										DF	
東芝																			
SGS														DF					
CYPRES					DF														
IDT													DF						

74651

Octal Bus Transceivers and Registers



- レジスタ付双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 反転出力
- スリー・ステート出力
- 74AC11XXXファミリーはセンタ・ピン・タイプ



機能表

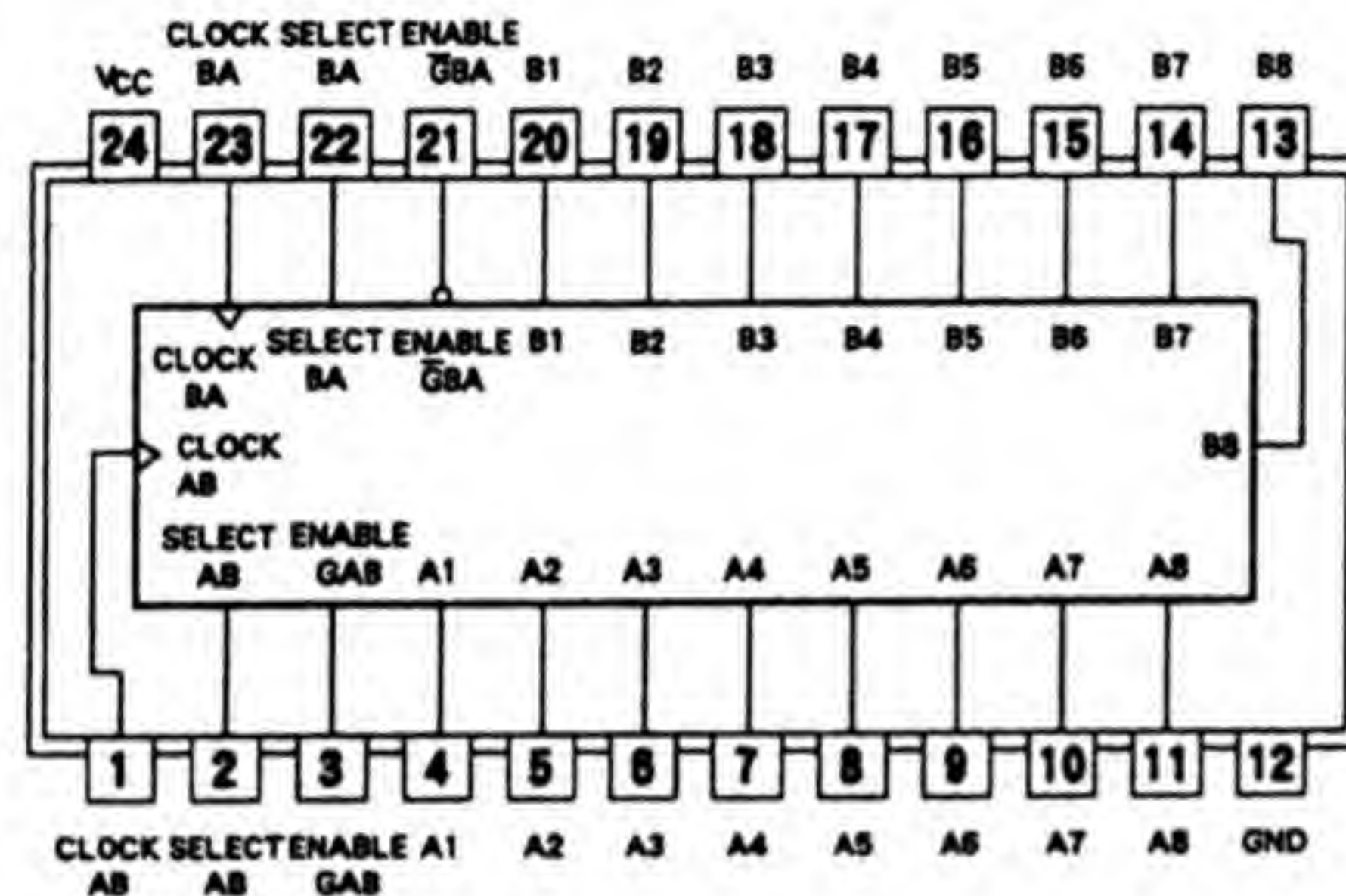
入 力						データ I/O		機 能・動 作
GAB	GBA	CAB	CBA	SAB	SBA	A1からA8	B1からB8	
L	H	HまたはL	HまたはL	X	X	入 力	入 力	アイソレーション
L	H	↑	↑	X	X	入 力	入 力	Aデータ、Bデータストア
X	H	↑	HまたはL	X	X	入 力	不 定	ストアA、ホールドB
H	H	↑	↑	X	X	入 力	出 力	両方のレジスタにAデータをストア
L	X	HまたはL	↑	X	X	不 定	入 力	ホールドA、ストアB
L	L	↑	↑	X	X	出 力	入 力	両方のレジスタにBデータをストア
L	L	X	X	X	L	出 力	入 力	リアル・タイムでBデータをAバスへストアされたBデータをAバスへ
H	H	X	X	L	X	入 力	出 力	リアル・タイムでAデータをBバスへストアされたAデータをBバスへ
H	H	HまたはL	X	H	X	入 力	出 力	ストアされたAデータをBバスへ
H	L	HまたはL	HまたはL	H	H	出 力	出 力	ストアされたBデータをAバスへ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An		Bn	L→H		18				8			38	30				ns
tpd	max				H→L		30				7			38	30				ns
tpd	max				Z→L		44				10			44	33				ns
tpd	max				Z→H		60				16			44	33				ns
tpd	max				L→Z		38				9			44	35				ns
tpd	max				H→Z		30				9			44	35				ns
Icc	max						165				195			.004	0.01				mA
IOH	max																		mA
IOL	max						24				64			6	6				mA

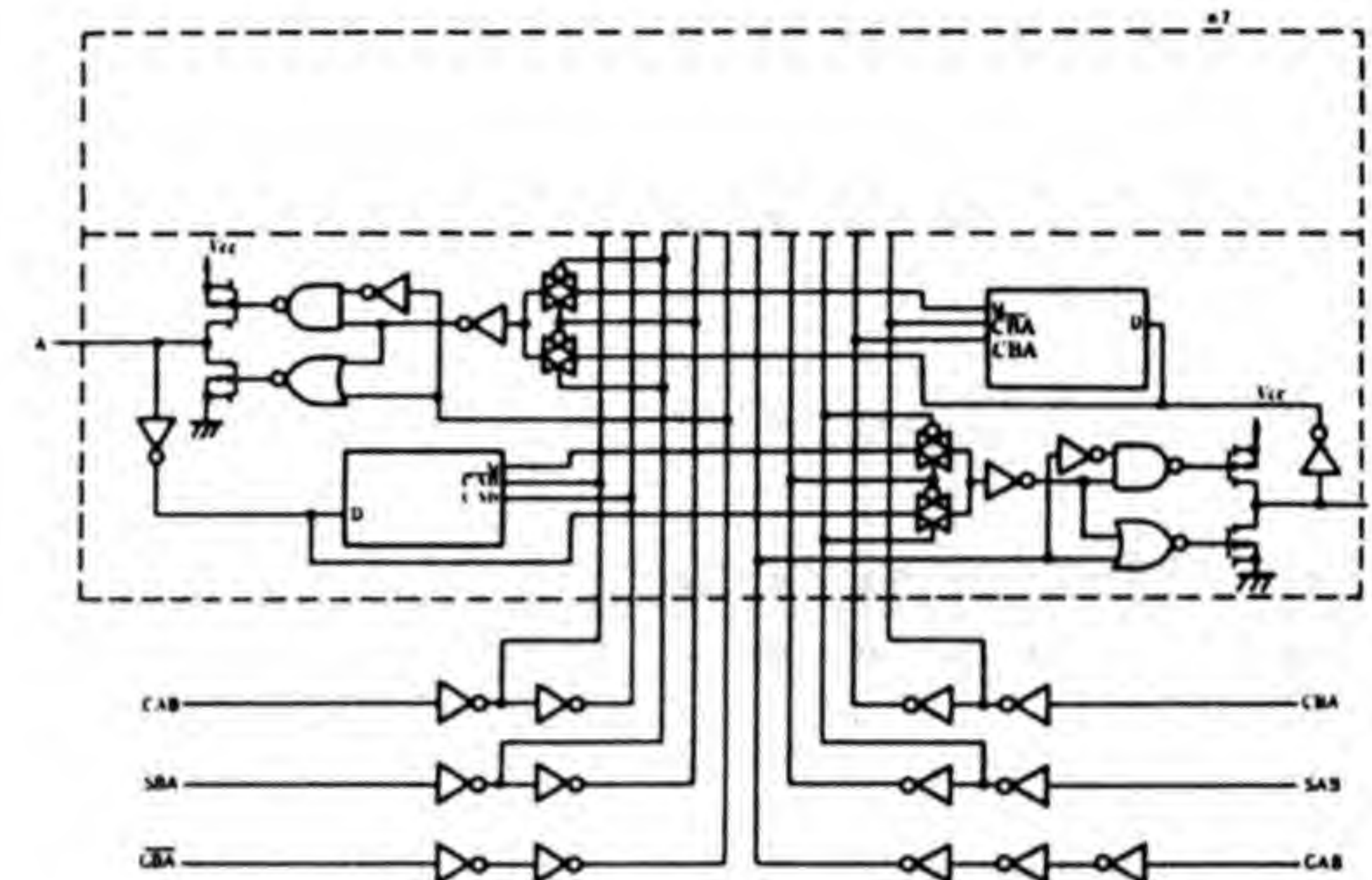
社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立									D					
MOT														
日電														
NS			DF		DF	DF								
PHIL														
RCA							DF	DF						
SIGNE			DF		DF									
TI			D			D	D	D						
東芝														
SGS								DF	DF		DF			
CYPRES														
IDT								DF						

74652

Octal Bus Tranceivers and Registers



- レジスタ付双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 非反転出力
- スリー・ステート出力
- 74AC11XXXファミリーはセンタ・ピン・タイプ



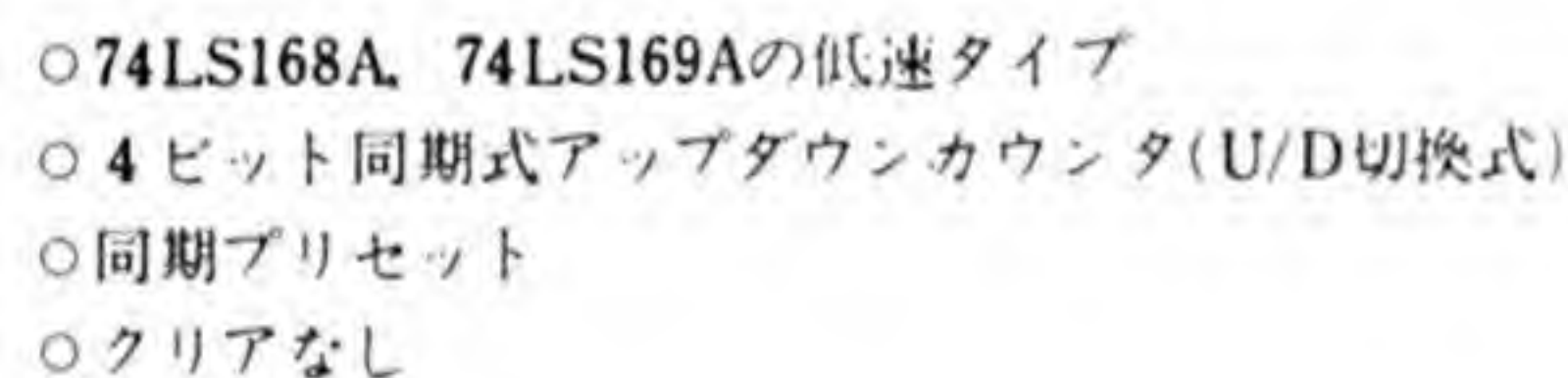
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An		Bn	L→H		18				8	8.6		38		30	5.7	10.5	ns
tpd	max				H→L		20				7	9.6		38		30	5.7	9.9	ns
tpd	max				Z→L		43				10	12.2		44		33	6.8	12	ns
tpd	max				Z→H		54				16	10.9		44		33	4.6	10.6	ns
tpd	max				L→Z		38				9	7.1		44		35	6.3	10	ns
tpd	max				H→Z		30				11	7.6		44		35	7.7	9.5	ns
Icc	max						180				211	0.08		.004		0.01	250	69	mA
IOH	max																		mA
IOL	max						24				64	24		6		6	64	64	mA

機能表

入		力		データ I/O		機能・動作
GAB	G8A	CAB	CBA	SAB	SBA	
L	H	H または L	H または L	X	X	アイソレーション A データ、B データ・ストア
L	H	?	?	X	X	ストア A、ホールド B
X	H	?	H または L	X	X	両方のレジスタに A データをストア
H	H	?	?	X	X	ホールド A、ストア B
L	X	H または L	?	X	X	両方のレジスタに B データをストア
L	L	?	?	X	X	リアル・タイムで B データを A バスへ ストアされた B データを A バスへ
L	L	X	X	X	L	リアル・タイムで A データを B バスへ ストアされた A データを B バスへ
H	H	X	X	L	X	ストアされた A データを B バスへ ストアされた B データを A バスへ
H	H	H または L	X	H	X	
H	L	H または L	H または L	H	H	

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT
日立									D				
MOT							D	D					
日電													
NS			DF		D	DF							
PHIL									DF				
RCA							DF	DF			DF		
SIGNE			DF		DF								
TI			D			D	D	D			DF	DF	
東芝									D		D		
SGS									DF		DF		
CYPRES					DF								
IDT								DF	DF				

Synchronous Presettable Up/Down Binary Counter



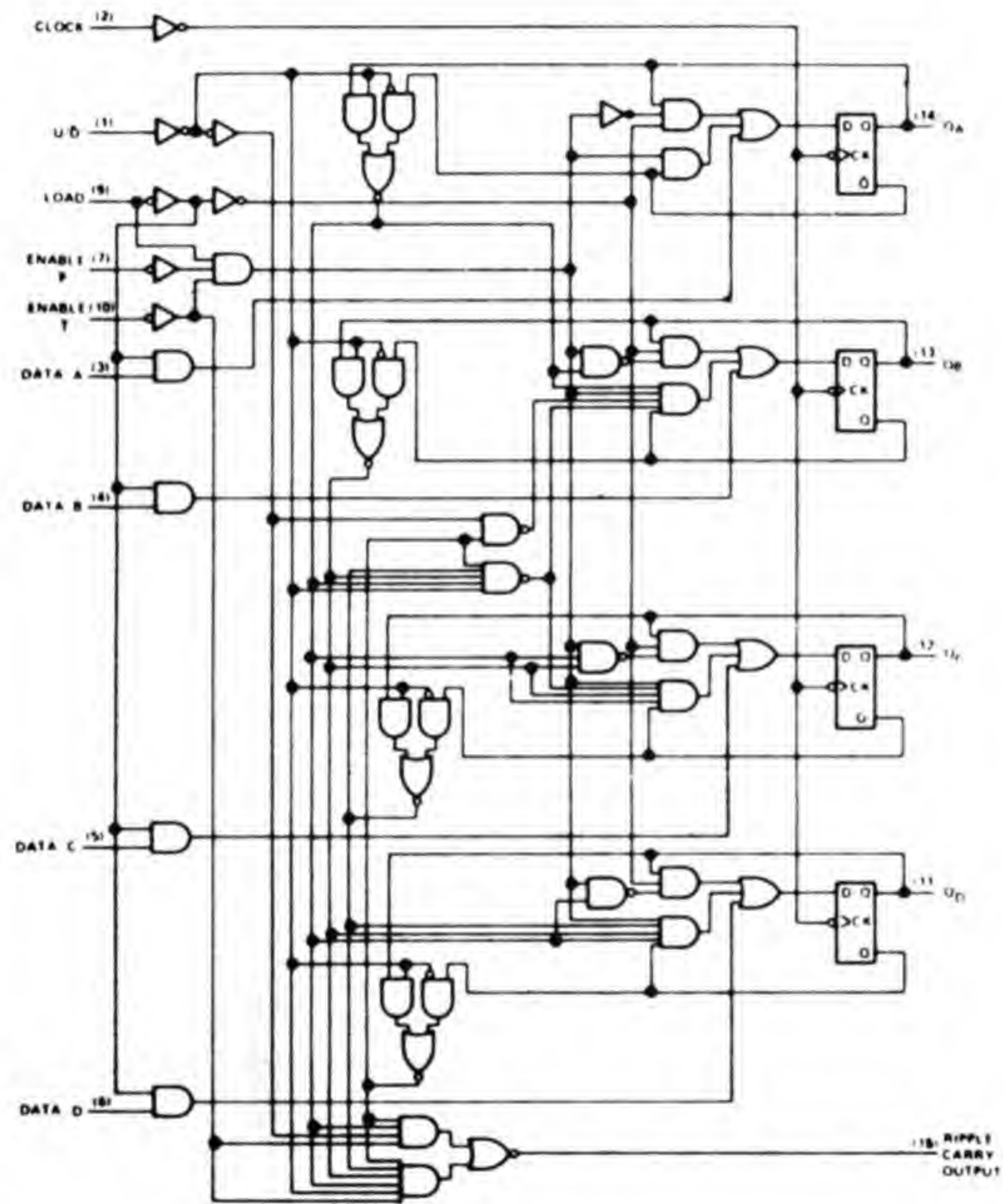
入 力					出 力		動 作
Load	U_L/\bar{D}	CK	Enable		$Q_A Q_B Q_C Q_D$	Ripple Carry	
			\bar{P}	\bar{T}			
H	H		L	L	—	—	カウント up
H	L		L	L	—	—	カウント dn
L	X		X	X	$D_A D_B D_C D_D$	—	データセット
X	H	X	X	L	H H H H		—
X	L	X	X	L	L L L L		—

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK					25							21					MHz
tw	min	CLK					25							20					ns
tsu	min	DATA					20 ↑							25					ns
tsu	min	ENABLE					20 ↑							38					ns
tsu	min	LOAD					25 ↑							38					ns
ten	min	UP/DWN					30 ↑							38					ns
thold	min	ALL					0 ↑							5					ns
tpd	max	CLK		Qa~Qd			27							56					ns
tpd	typ	CLK		CARRY			60							50					ns
tpd	typ	ENB. T		CARRY			45							38					ns
tpd	typ	UP/DWN		CARRY			40							50					ns
lcc	max						34							0.04					mA
IIH	max	LOAD	H				40												μA
IIL	max	LOAD	L				0.8												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		8							4					mA

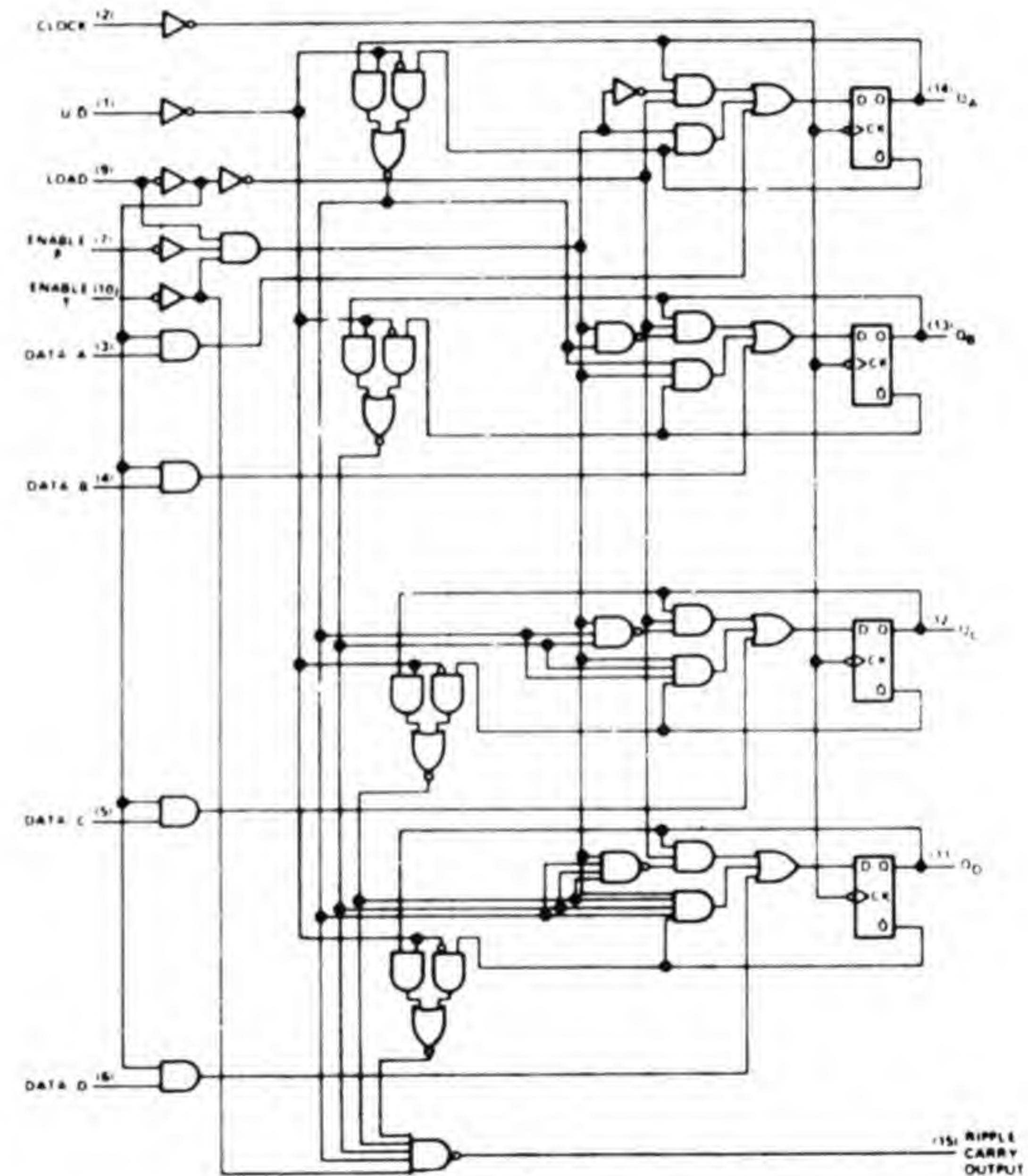
[illegible]

74169

74668, 74669



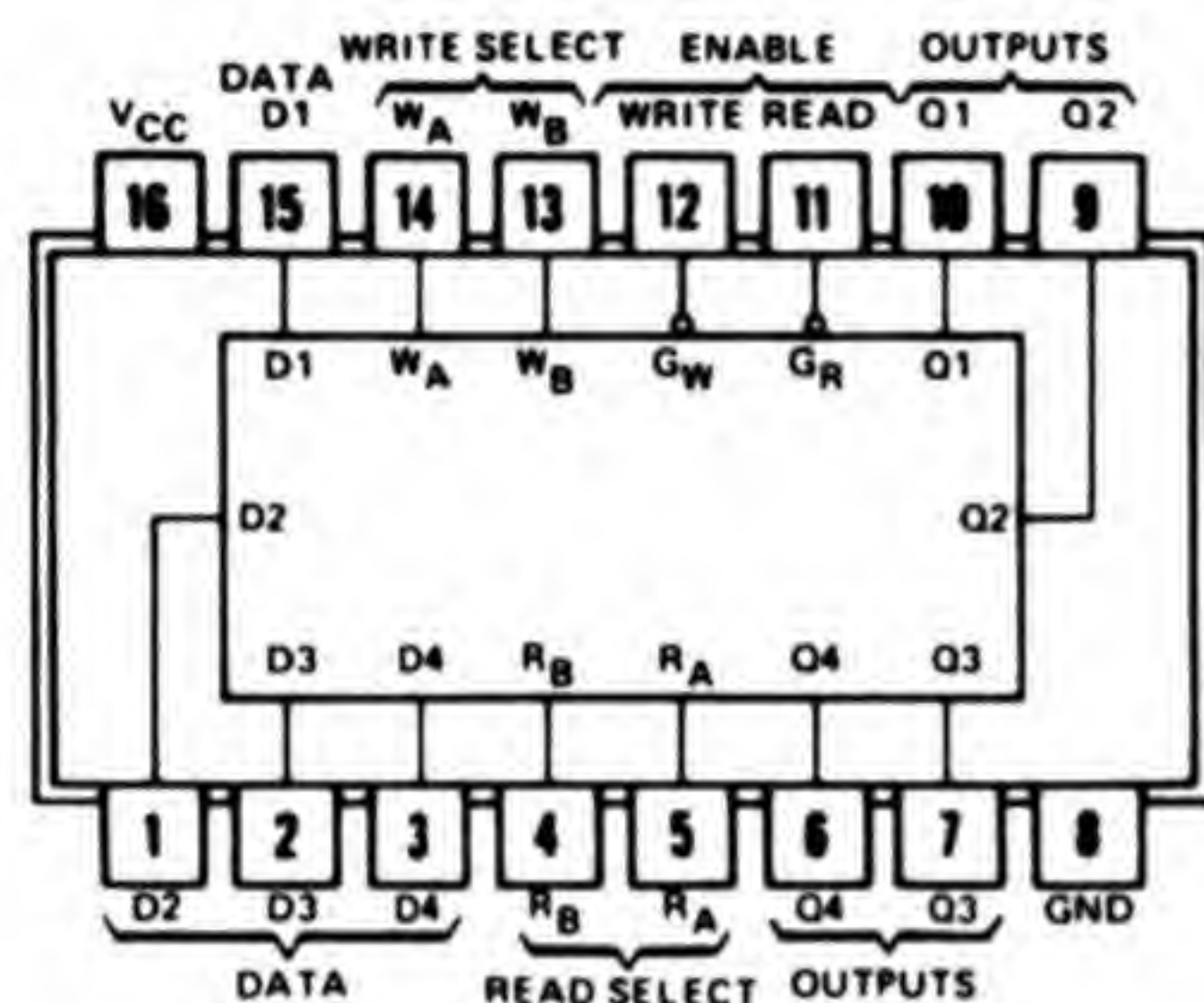
74LS668



74LS669

74670

4-4 Register Files (3-States)



- 3 ステート出力。他は74170と同じ
- GRをHにすることによりRA, RBに無関係に出力Qをハイインピーダンス状態にする

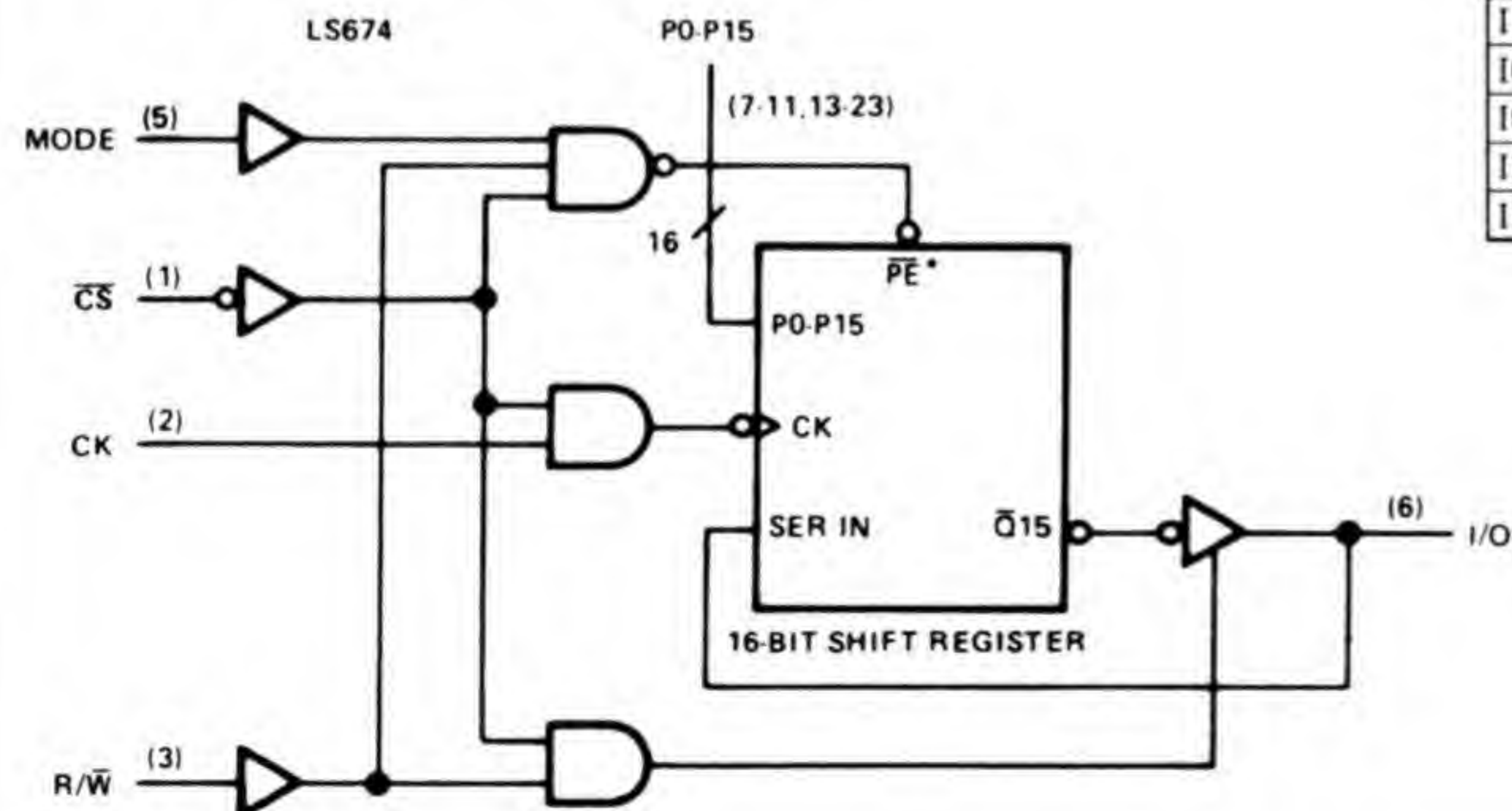
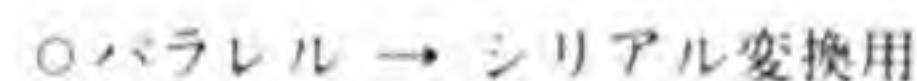
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE					25			8.5		5.0		23		31			ns
tsu	min	DATA					10↑			7.0		4.5		15		15			ns
tsu	min	W-SEL					15↓			0		4.5		15		23			ns
thold	min	W-SEL					5↑			0		0		5		5			ns
thold	min	DATA					15↑			1.0		0		5		5			ns
tlch	min	DATA					25							56		63			ns
tpd	max	GR		Q			40			13		15.0		44		50			ns
tpd	max	R-SEL		Q			45			10.0		13.0		56		63			ns
tpd	max	GW		Q			50			12.5		15.0		63		66			ns
tpd	max	DATA		Q			45					12.5		63		63			ns
lcc	max	DATA	L	OPEN			50					0.08							mA
IIH	max	GW	H				40												μA
IIL	max	GW	L				0.8												mA
IIH	max	GR	H				60												μA
IIL	max	GR	L				1.2												mA
IIH	max	OTHERS	H				20												μA
IIL	max	OTHERS	L				0.4												mA
IOH	max			ALL	H		2.6					24							mA
IOL	max			ALL	L		8					24							mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立		DF					DF		DF					
MOT		D												
日電									DF					
NS		DF												
PHIL									DF		DF			
RCA									DF		DF			
SIGNE					DF									
TI		DF												
東芝		D					DF		DF					
SGS									DF					
CYPRES														
IDT														

参考品種

74170

16-Bit Shift Register



INPUTS				I/O PORT	OPERATION
CS	R/W	MODE	CLOCK		
H	X	X	X	Z	Do nothing
L	L	X	↓	Z	Shift and write (serial load)
L	H	L	↓	Q14n	Shift and read
L	H	H	↓	P15	Parallel load

[illegible]

○12ビット・アドレス・コンパレータ

○12ビット・アドレス・コンパレータ
(イネーブル付き)

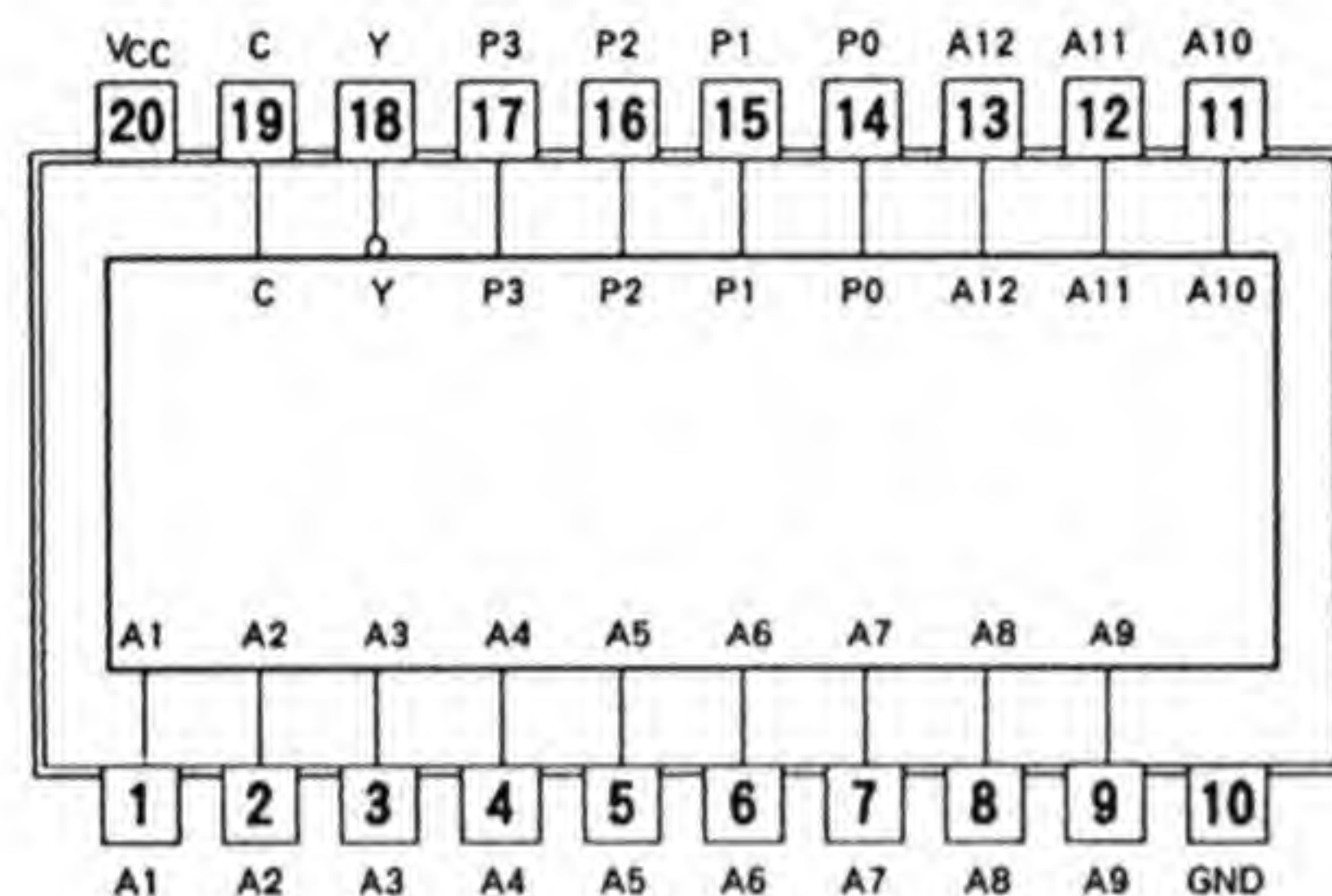
機能表

G	入 力																出 力
	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	Y
L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	L
L	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L
L	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
L	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	L
L	L	H	H	L	L	L	L	L	L	H	H	H	H	H	H	H	L
L	L	H	H	H	L	L	L	L	L	L	H	H	H	H	H	H	L
L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
L	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	L
L	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L
L	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
L	H	H	L	L	L	L	L	L	L	L	L	L	H	H	H	L	L
L	H	H	L	H	L	L	L	L	L	L	L	L	L	H	H	L	L
L	H	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L
L	H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L
L	他の組合わせ																H
H	任意の組合わせ																H

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			25						62					ns
tpd	max	P		Y	H→L			35						62					ns
tpd	max	A		Y	L→H			22						36					ns
tpd	max	A		Y	H→L			30						36					ns
tpd	max	G		Y	L→H			13						25					ns
tpd	max	G		Y	H→L			25						25					ns
Icc	max							28						4					mA
Icc	max																		mA
I IH	max																		μA
I IL	max																		mA
I OH	max																		mA
I OL	max							24						4					mA

[illegible]

74680



○12ビット・アドレス・コンパレータ
(出力ラッチ付き)

機能表

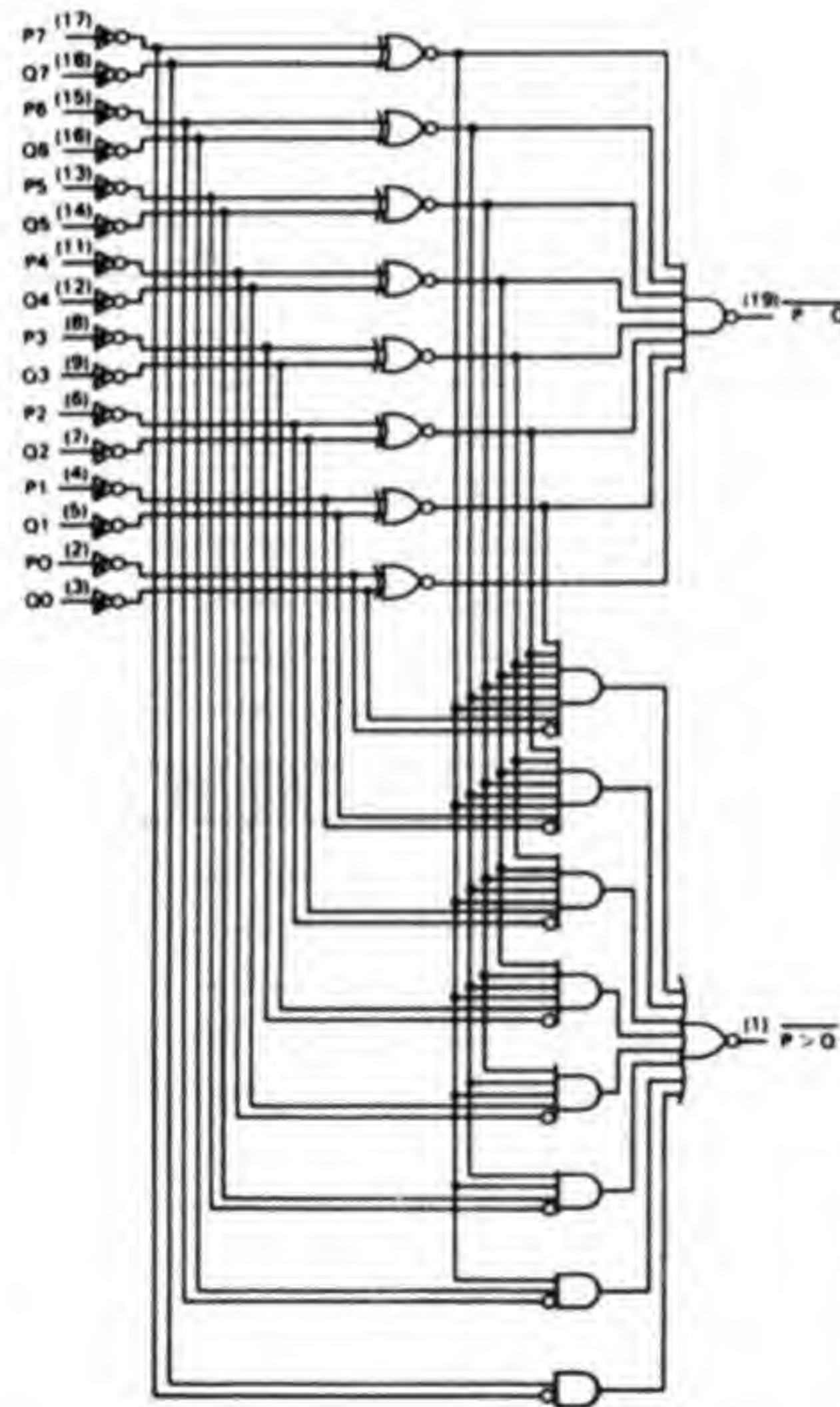
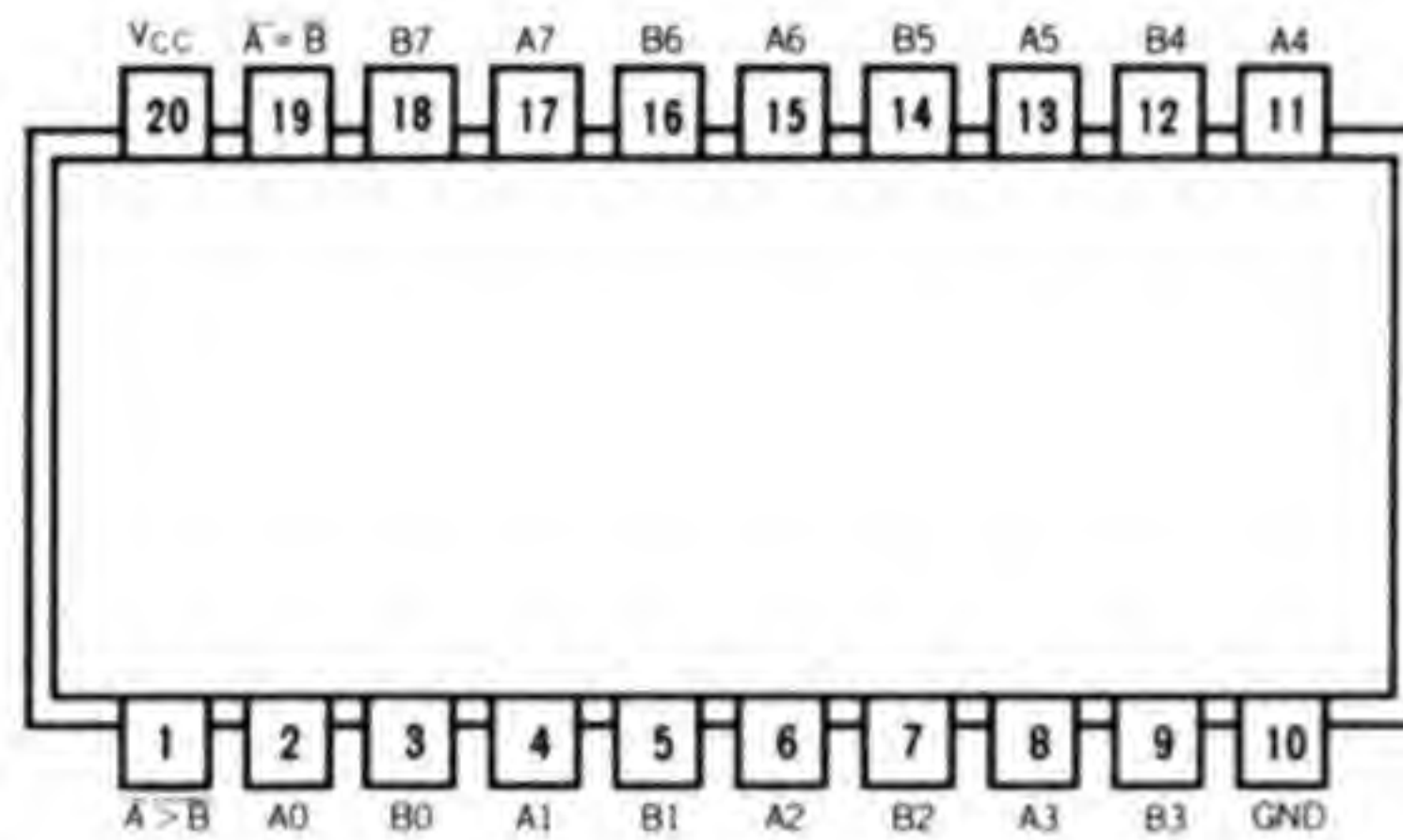
C	入 力																出力 Y
	P1	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	
H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	L
H	L	H	L	L	L	L	L	L	H	H	H	H	H	H	H	H	L
H	L	H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	L
H	L	H	H	L	L	L	L	L	L	L	L	H	H	H	H	H	L
H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L
H	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L
H	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L
H	H	H	L	L	L	L	L	L	L	L	L	L	H	H	H	L	L
H	H	H	L	H	L	L	L	L	L	L	L	L	L	H	H	L	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	H	L	L
H	他の組合せ																H
L	任意の組合せ																ランチ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H									66					ns
tpd	max	P		Y	H→L									66					ns
tpd	max	A		Y	L→H									42					ns
tpd	max	A		Y	H→L									42					ns
tpd	max	C		Y	L→H									30					ns
tpd	max	C		Y	H→L									30					ns
lcc	max													4					μA
lcc	max																		mA
IIH	max																		μA
IIL	max																		mA
IOH	max																		mA
IOL	max													4					mA

[illegible]

74682

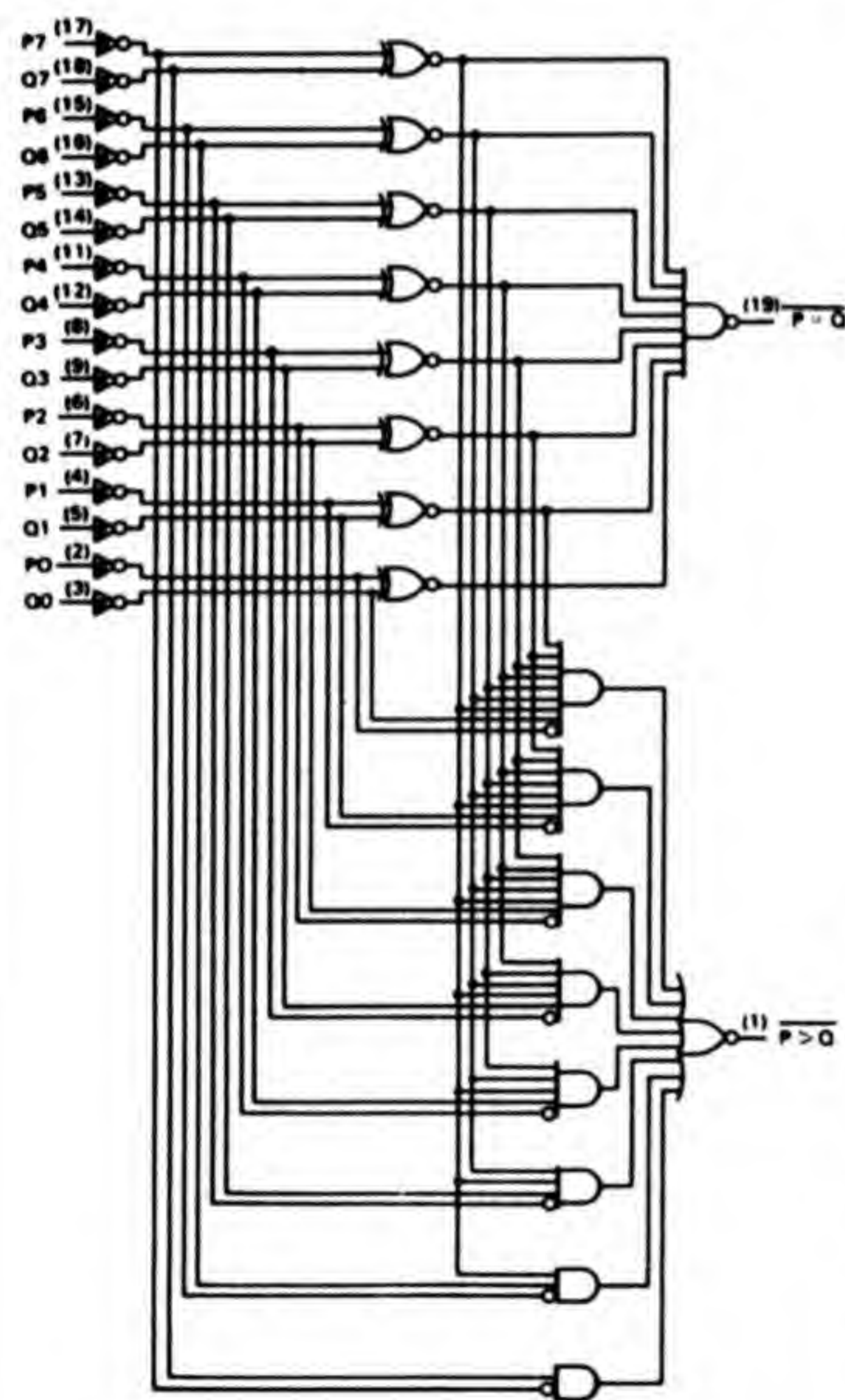
8-Bit Magnitude Comparator



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				25							44					ns
tpd	max	A, B	-(A>B)				30							50					ns
lcc	max						70							0.04					mA
IIH	max	B	H				0.1												μA
IIL	max	B	L				0.4												mA
IIH	max	OTHERS	H				0.1												μA
IIL	max	OTHERS	L				0.2												mA
IOH	max			ALL	H		0.4							4					mA
IOL	max			ALL	L		24							4					mA

[illegible][illegible][illegible]

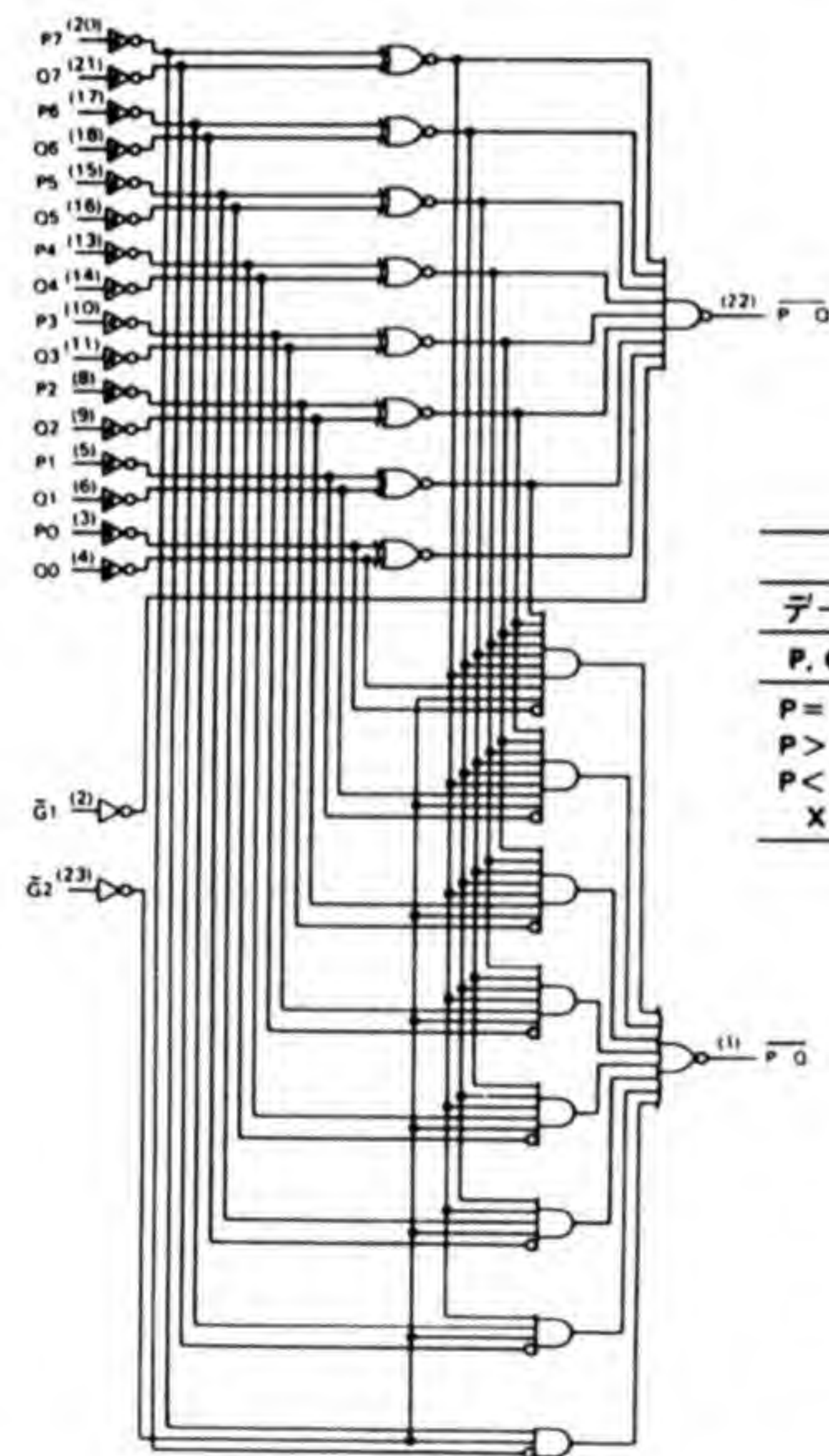
74685



タイプ	$P=Q$	$P>Q$	出力イ ネーブル	出力構成	ブルアッ プ抵抗
LS682	有り	有り	無し	トータン・ボール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トータン・ボール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トータン・ボール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トータン・ボール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

[illegible]

74687



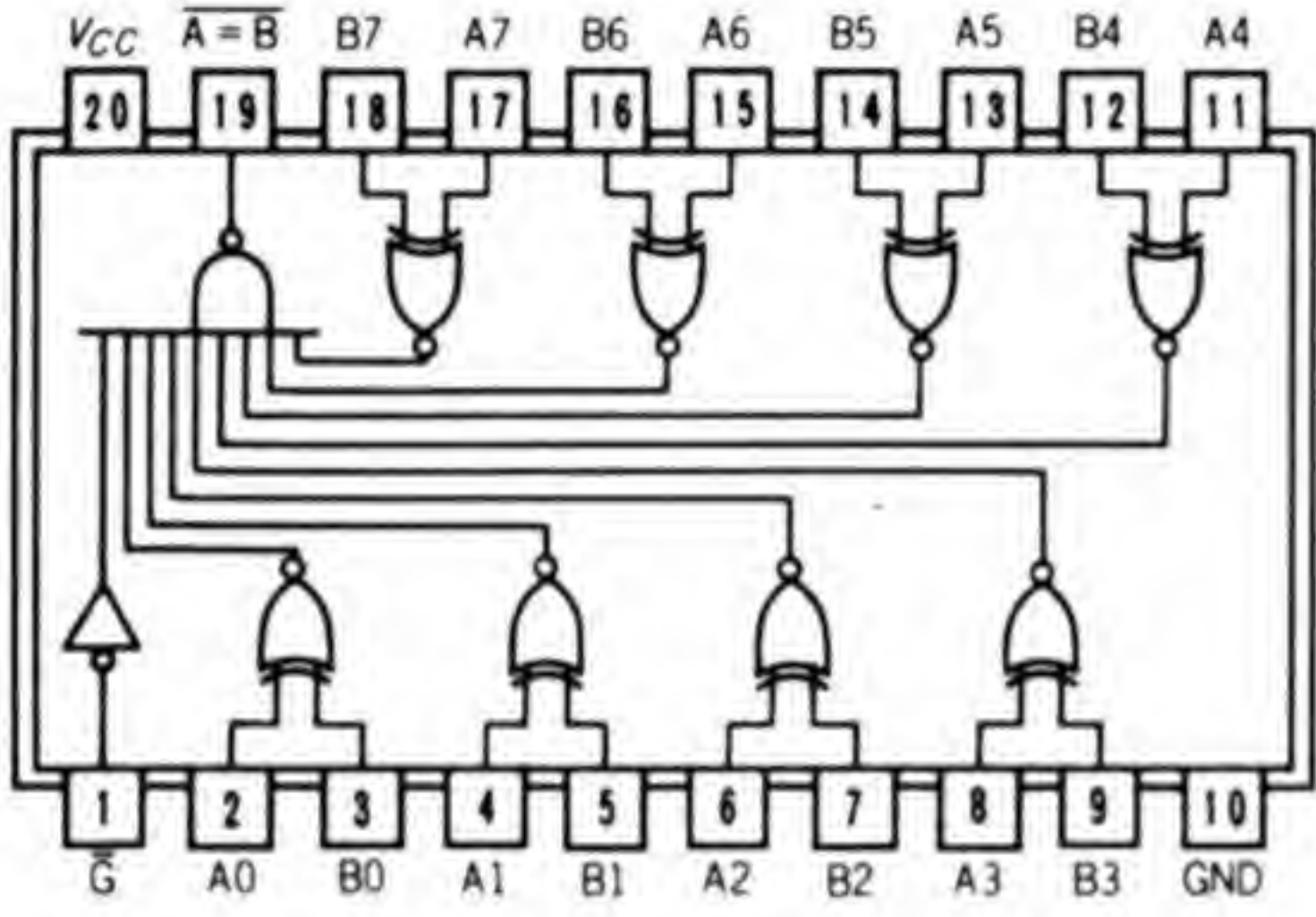
入 力			出 力	
データ	イネーブル			
P, Q	$\bar{G}, \bar{G1}$	$\bar{G2}$	$\bar{P} = \bar{Q}$	$\bar{P} > \bar{Q}$
P = Q	L	L	L	H
P > Q	L	L	H	L
P < Q	L	L	H	H
X	H	H	H	H

タイプ	$\overline{P=Q}$	$\overline{P>Q}$	出力イ ネーブル	出力構成	ブルアッ プ抵抗
LS682	有り	有り	無し	トータン・ボール	有り
LS683	有り	有り	無し	オープン・コレクタ	有り
LS684	有り	有り	無し	トータン・ボール	無し
LS685	有り	有り	無し	オープン・コレクタ	無し
LS686	有り	有り	有り	トータン・ボール	無し
LS687	有り	有り	有り	オープン・コレクタ	無し
LS688	有り	無し	有り	トータン・ボール	無し
LS689	有り	無し	有り	オープン・コレクタ	無し

[illegible]

74688

8-Bit Equal-to Comparator



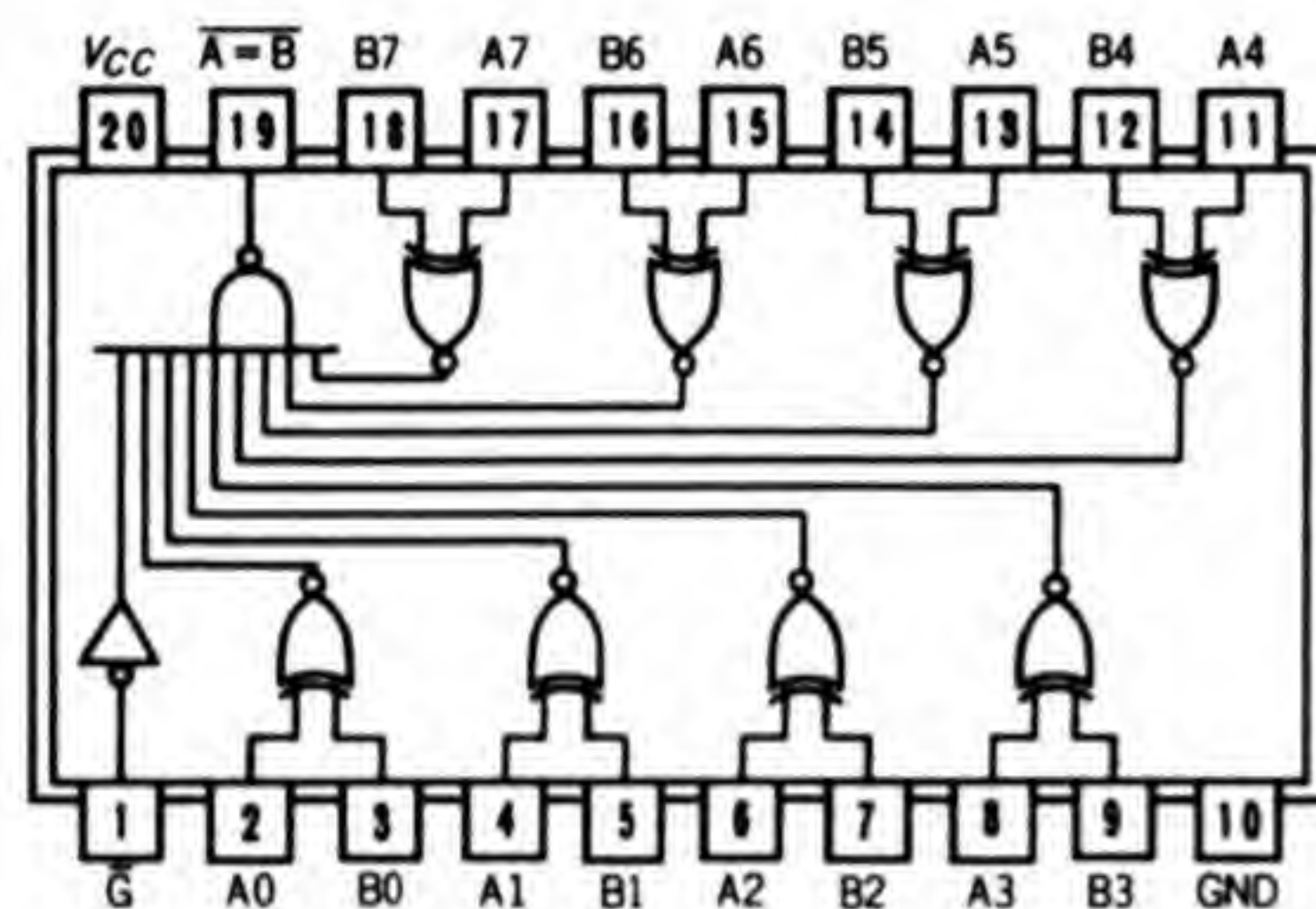
○74521と同じ

ナンバー	入 力	出 力
74518	20KP. U.	一 致 O. C.
74519	—	一 致 O. C.
74520	20KP. U.	不一致 T. P.
74521	—	不一致 T. P.
74522	20KP. U.	不一致 O. C.
74689	—	不一致 O. C.

(74688, 25LS521)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	A, B	-(A=B)				23	20						53		53			ns
tpd	max	-G	-(A=B)				20	22						30		30			ns
Icc	max						65	19						0.08		0.08			mA
I _{IH}	max	ALL	H				20	20											μA
I _{IL}	max	ALL	L				0.2	0.1											mA
I _{OH}	max			ALL	H		0.4	2.6						4		6			mA
I _{OL}	max			ALL	L		24	24						4		6			mA
		社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立									DF		DF						
		MOT		D							DF								
		日電									DF		DF						
		NS									DF		DF						
		PHIL									DF		DF						
		RCA									DF		DF						
		SIGNE																	
		TI			DF	DF													
		東芝		D							DF		DF						
		SGS									DF		DF						
		CYPRES																	
		IDT																	

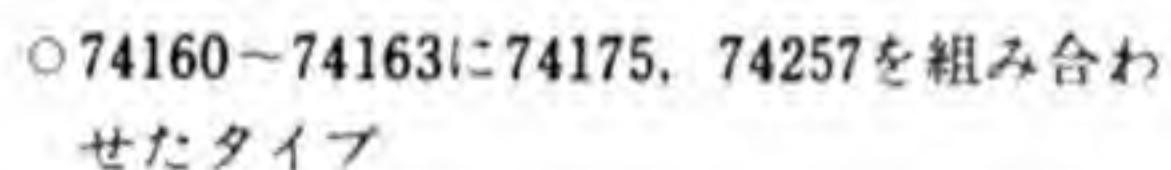
8-Bit Equal-to Comparator



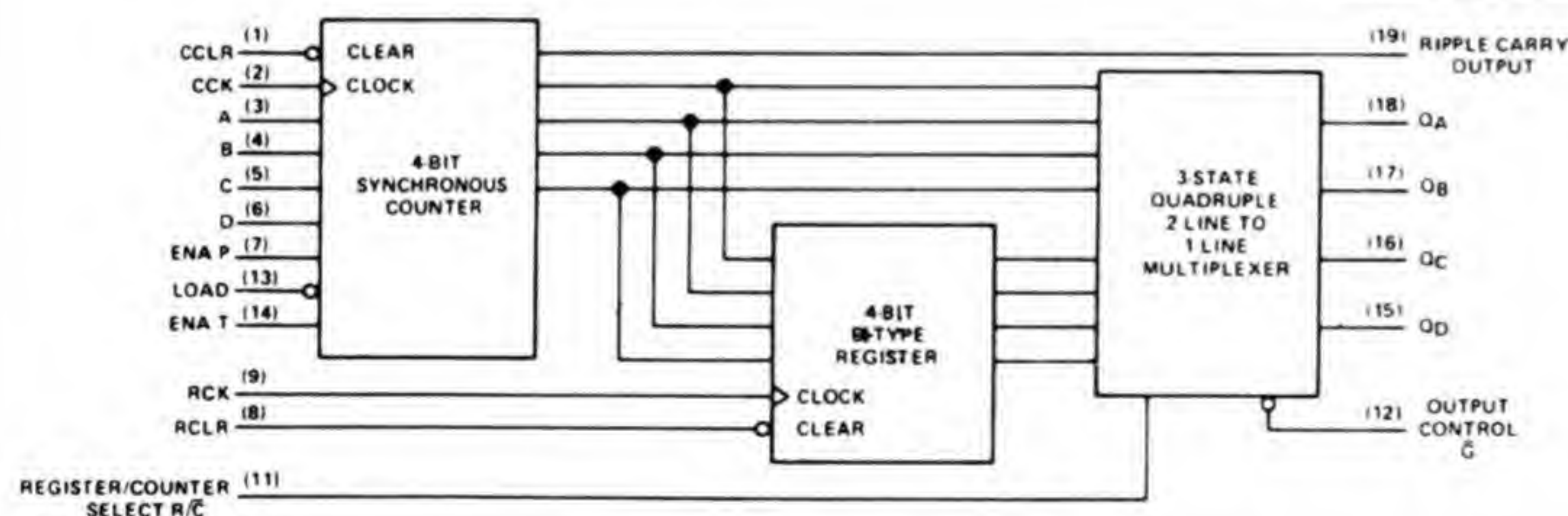
ナンバー	入 力	出 力	
74518	20K P. U.	一 致	O. C.
74519	—	一 致	O. C.
74520	20K P. U.	不一致	T. P.
74521	—	不一致	T. P.
74522	20K P. U.	不一致	O. C.
74689	—	不一致	O. C.

(74688, 25LS521)

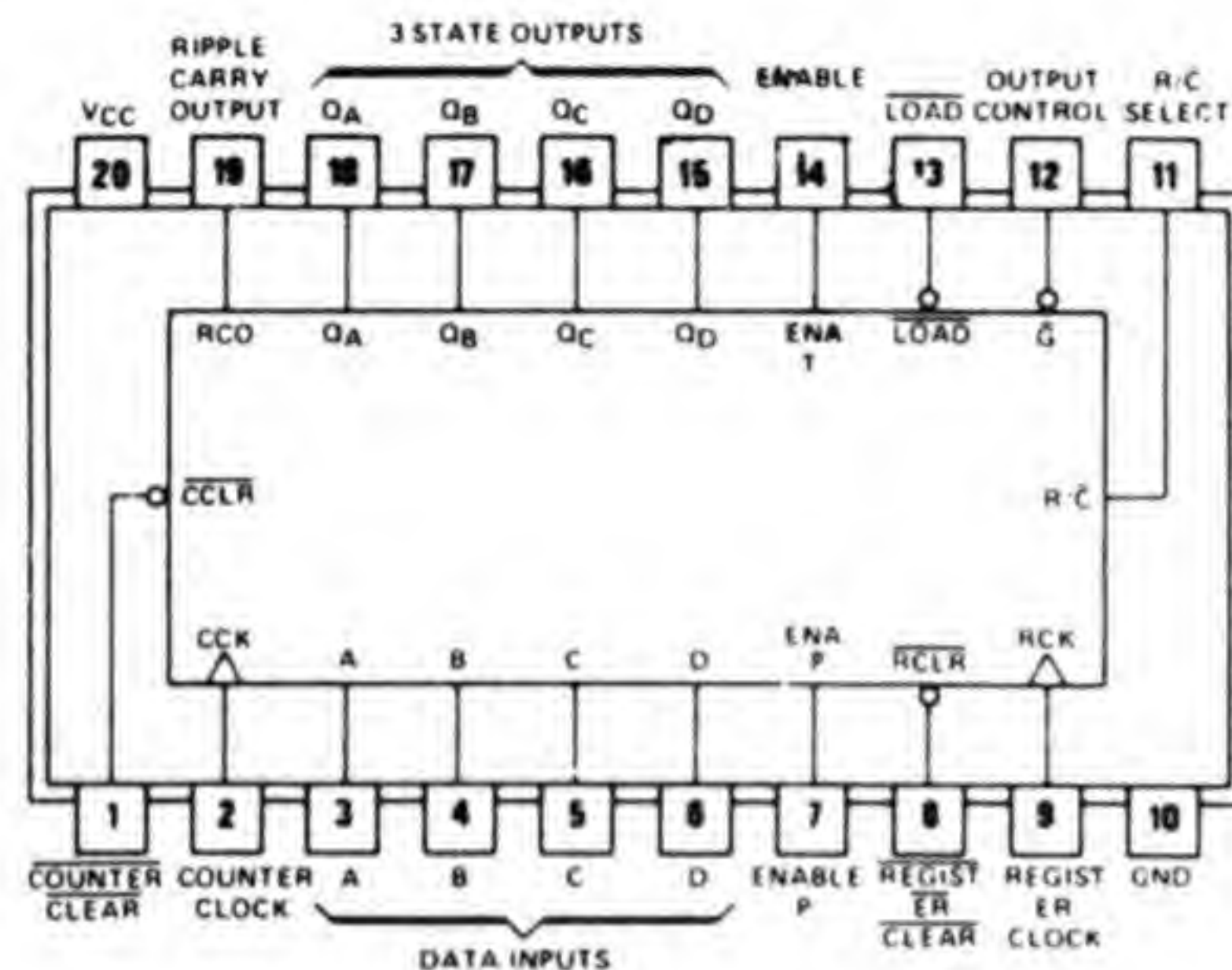
[illegible][illegible]



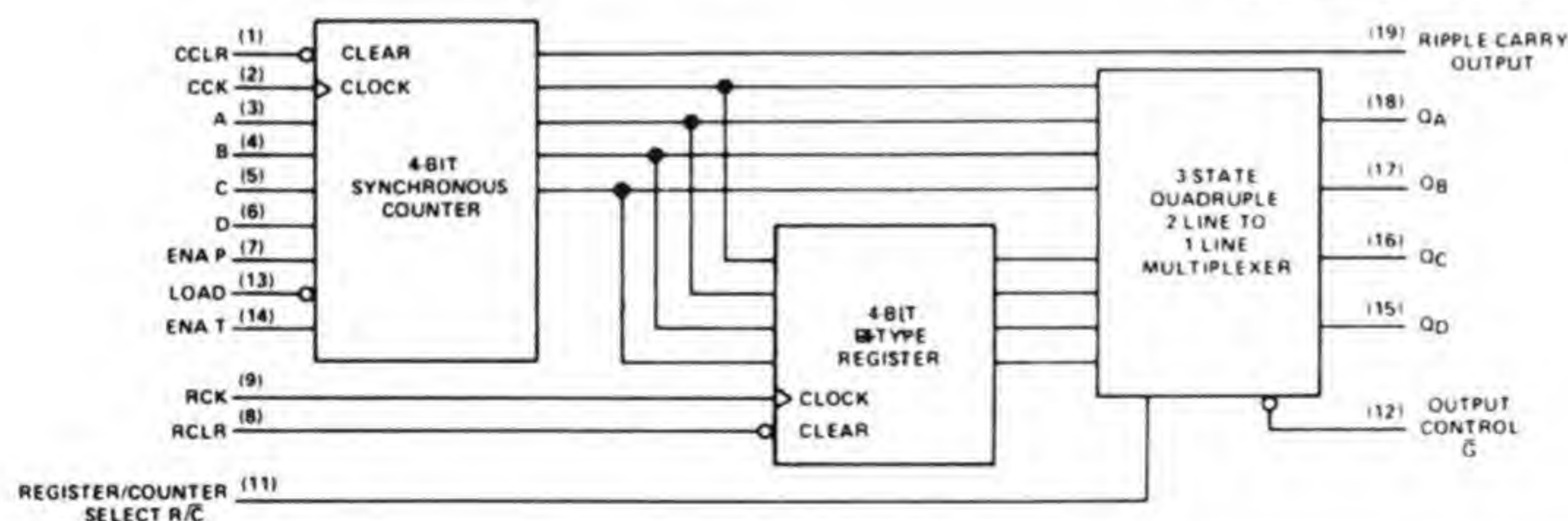
74690	B C D	非同期クリア
74691	16 進	非同期クリア
74692	B C D	同期クリア
74693	16 進	同期クリア

[illegible][illegible]

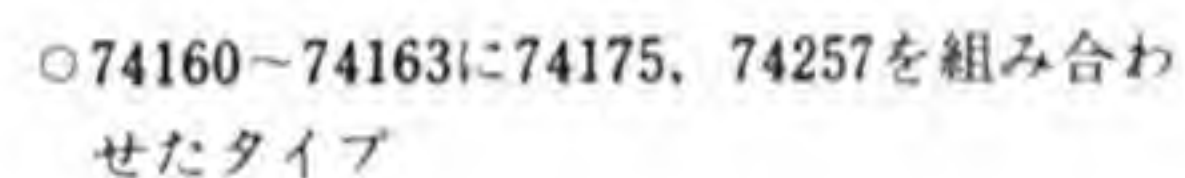
BCD Synchronous Counters



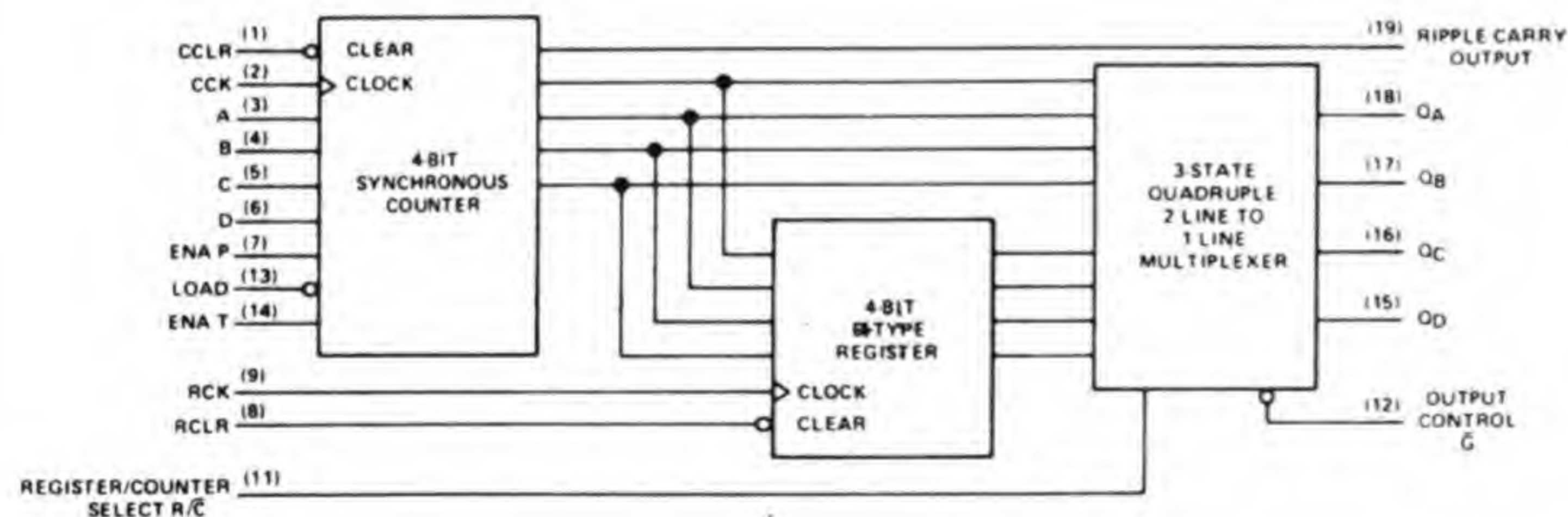
74690	B C D	非同期クリア
74691	16 進	非同期クリア
74692	B C D	同期クリア
74693	16 進	同期クリア

[illegible][illegible]

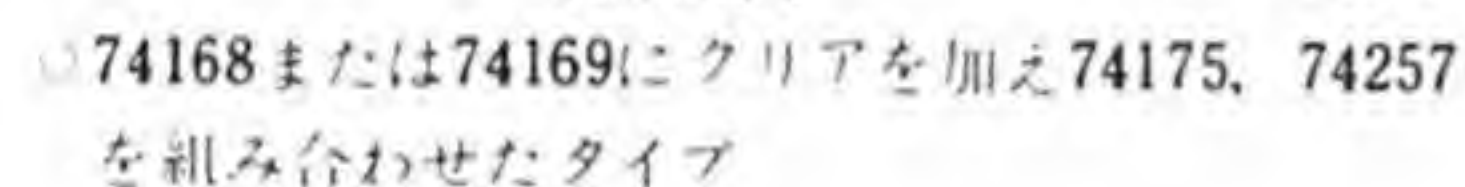
Binary Synchronous Counters



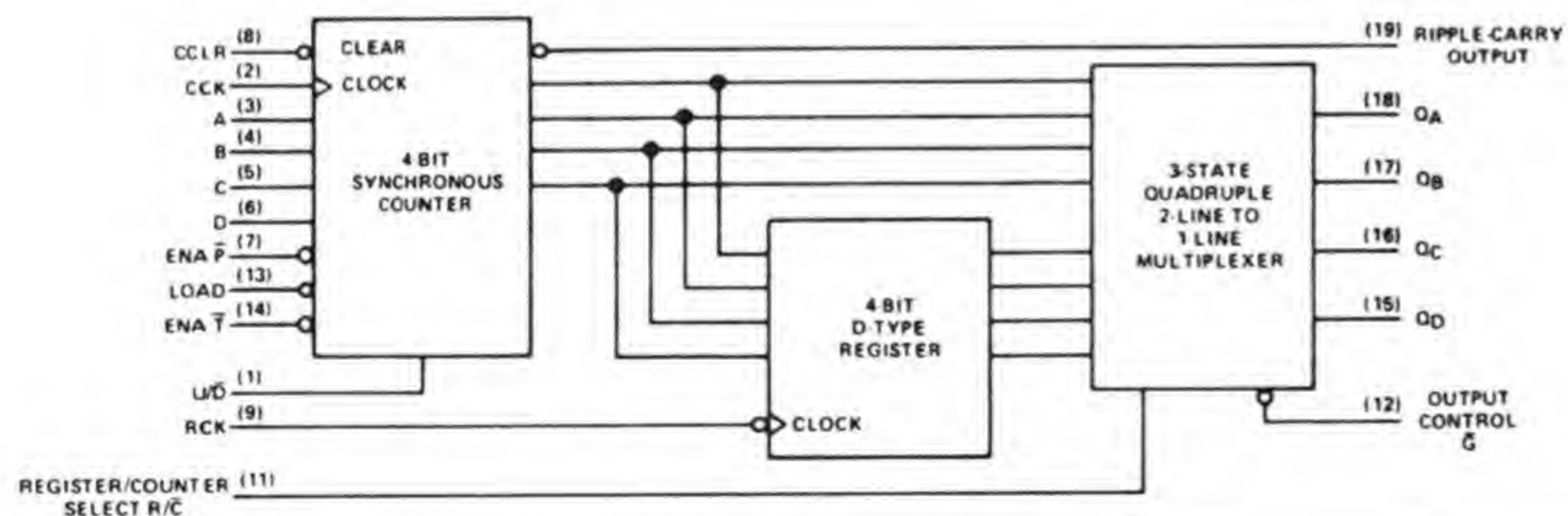
74690	B C D	非同期クリア
74691	16 進	非同期クリア
74692	B C D	同期クリア
74693	16 進	同期クリア

[illegible][illegible]

Binary Synchronous Up/Down Counters

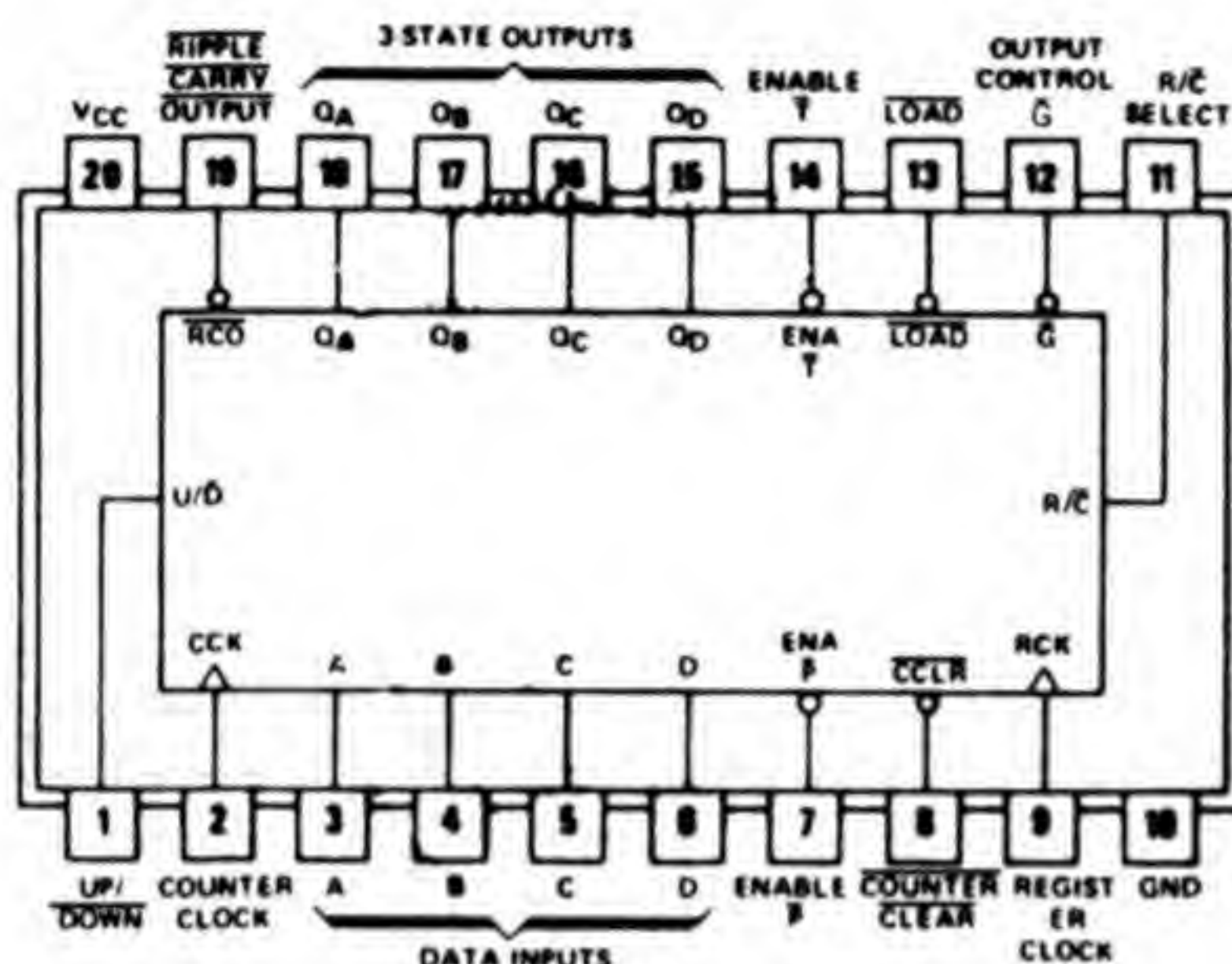


74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

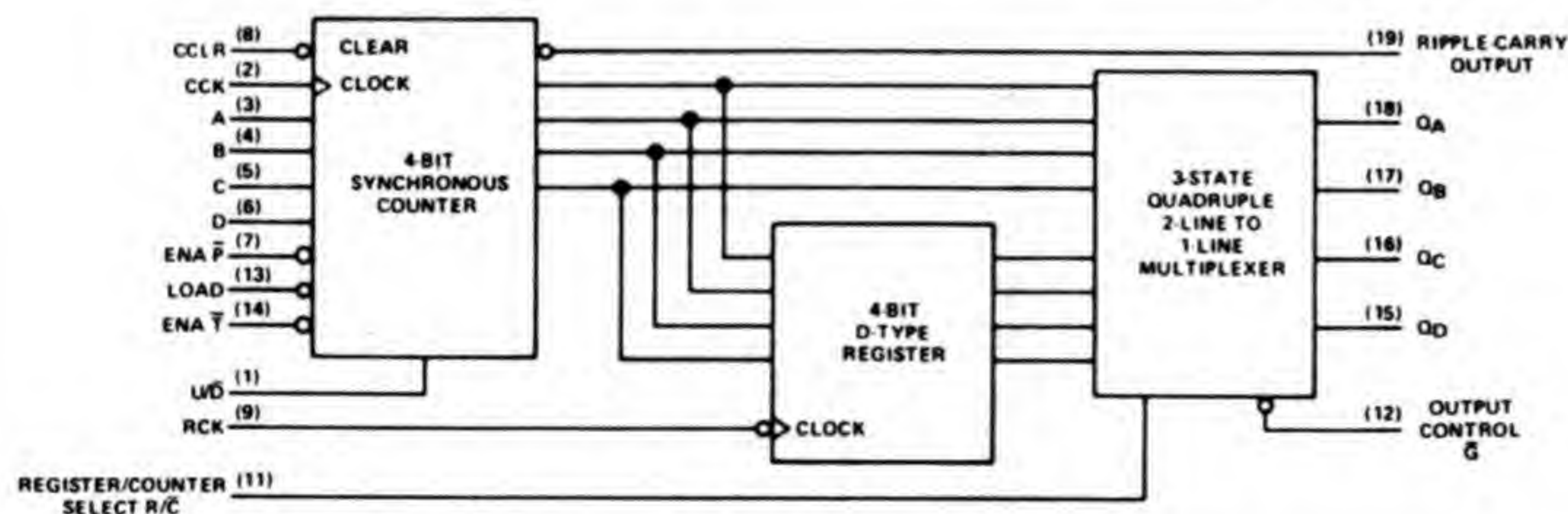
[illegible][illegible]

[illegible]

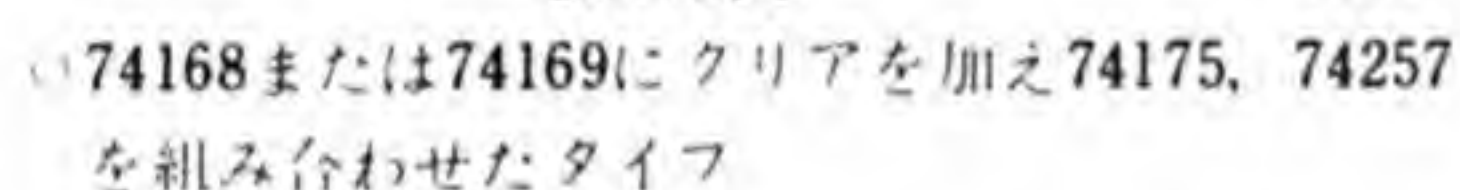
74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア



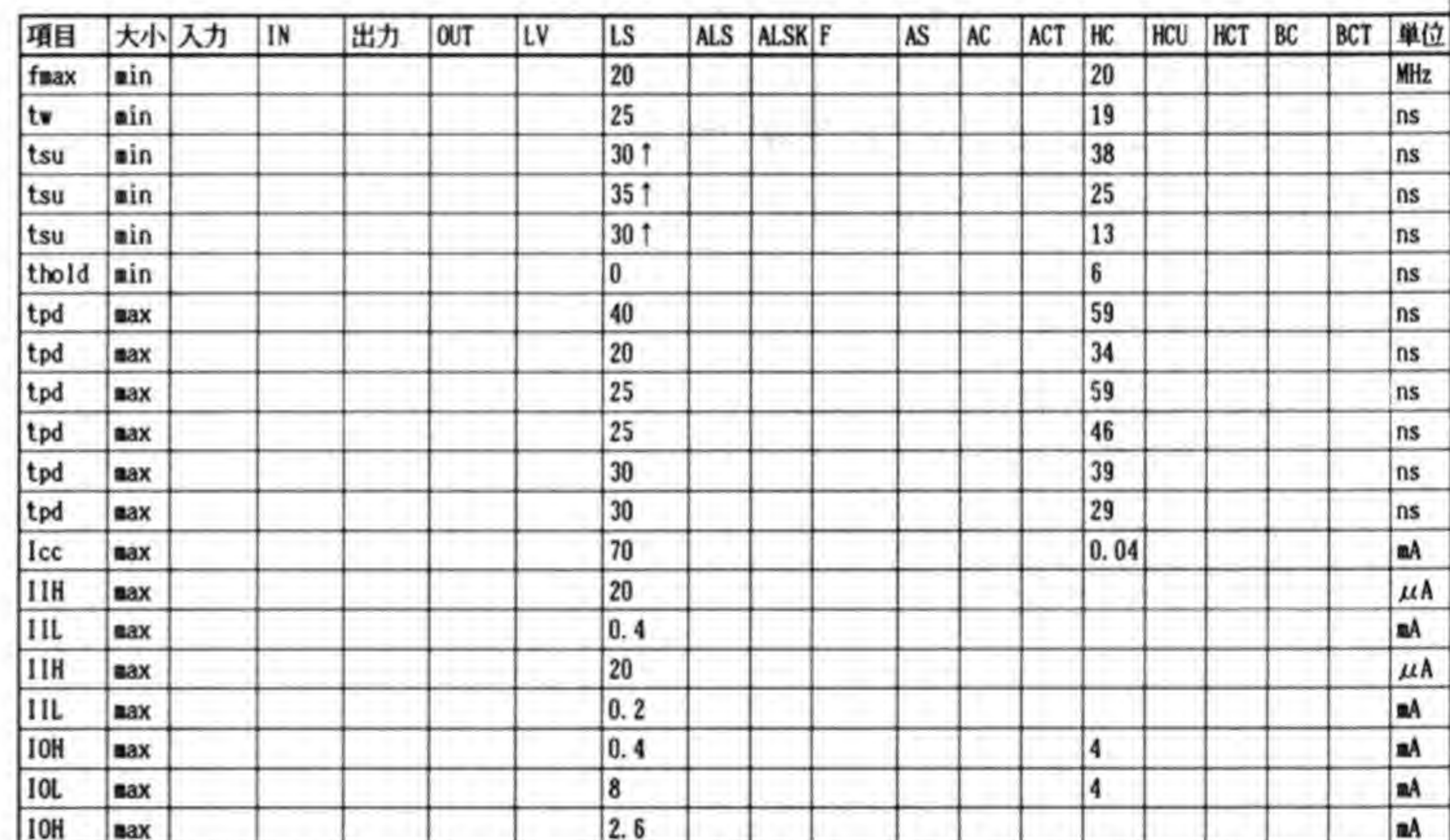
○74168または74169にクリアを加え74175、74257
を組み合わせたタイプ

[illegible][illegible]

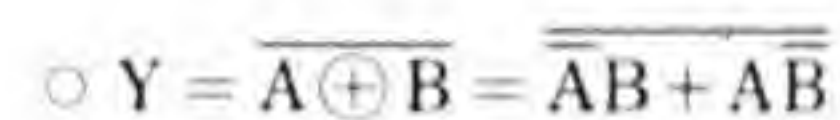
74699



74696	BCD U/D	非同期クリア
74697	16進 U/D	非同期クリア
74698	BCD U/D	同期クリア
74699	16進 U/D	同期クリア

[illegible]

Quad 2 Input EX-NOR

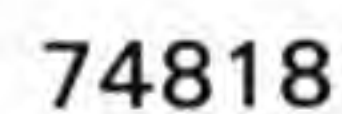


入力		出力 Y
A	B	
L	L	H
L	H	L
H	L	L
H	H	H

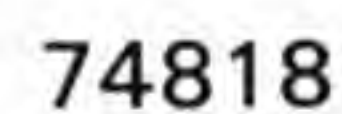
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	L, L→H	↑					20			6.5		10.5						ns
tpd	max	L, H→L	↓					14			6.5		10.5						ns
tpd	max	H, L→H	↑					18			7		11						ns
tpd	max	H, H→L	↓					14			7		11						ns
lcc	max							7.5			26		0.04						mA
IIH	max			A, B				20											μA
IIL	max			A, B				0.1											mA
IOH	max			Y				0.4			2		24						mA
IOL	max			Y				8			20		24						mA

[illegible]

74818



74818

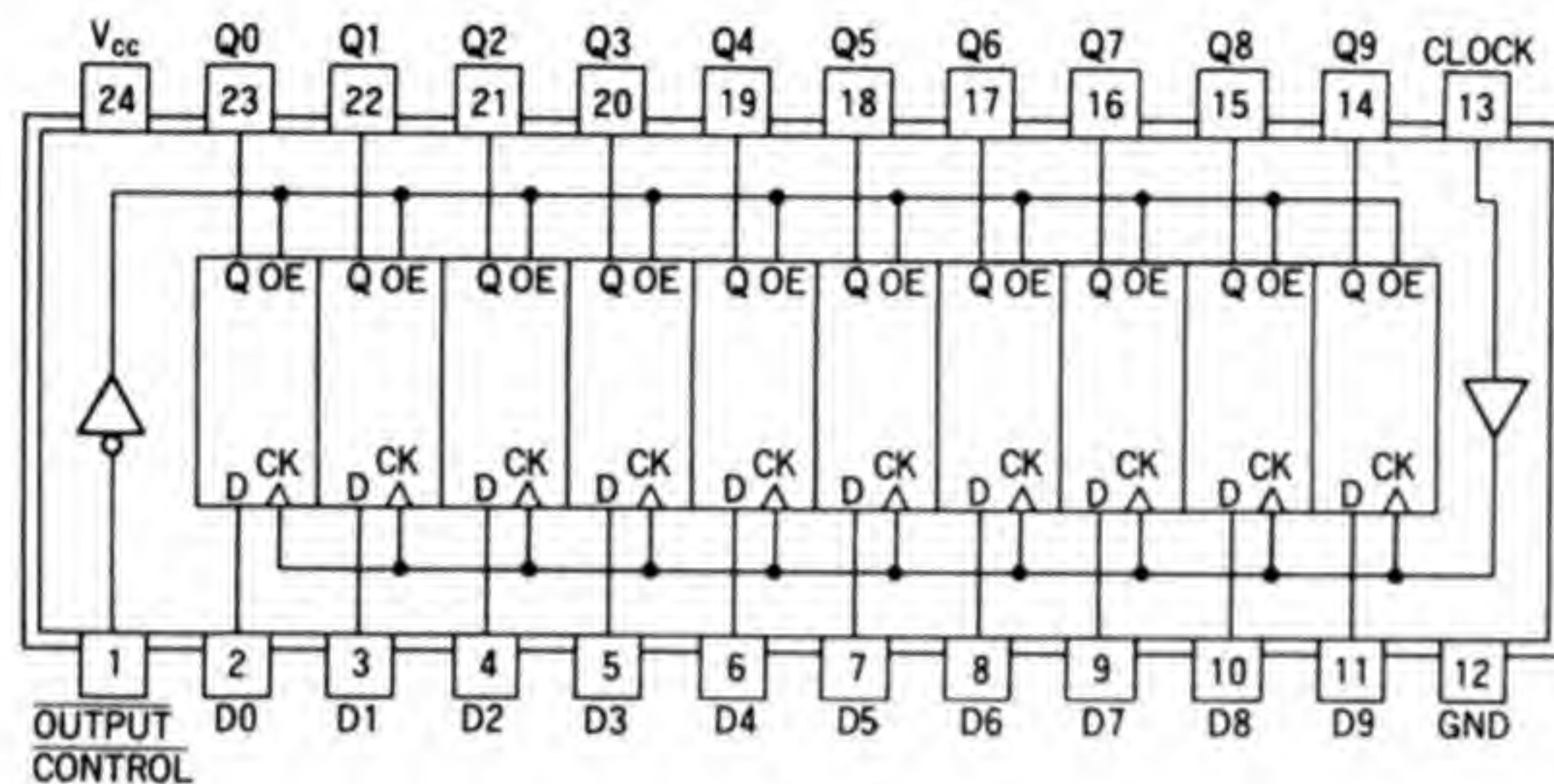


74818

74818

74821

10-Bit 3-State D-FFs



- 74574の10Bit版
- 74822は同じピン接の反転 (\bar{Q}) タイプ
- 使用法はどれも同じ

入 力		動 作
Output control	CK	
X	↑	データロード
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK								70									MHz
tw	min	CLK								6.0	8								ns
tsu	min	DATA								3.0	6								ns
thold	min	DATA								2.0	0								ns
tpd	max	CLK		Q						10.5	10.5								ns
tpd	max	OUT. C.	X→Z	Q						7.5	8								ns
tpd	max	OUT. C.	Z→X	Q						11.5	12								ns
lcc	max									100	113								mA
IIH	max	CLK	H							20	20								μA
IIL	max	CLK	L							1.2	0.1								mA
IIH	max	others	H		H					20	20								μA
IIL	max	others	L	-Q	L					0.6	0.1								mA
IOH	max			-Q	H					3	0.8								mA
IOL	max			-Q	L					24	24								mA
IZH	max			-Q						50	50								μA
IZL	max									50	50								μA

参考品種

74374

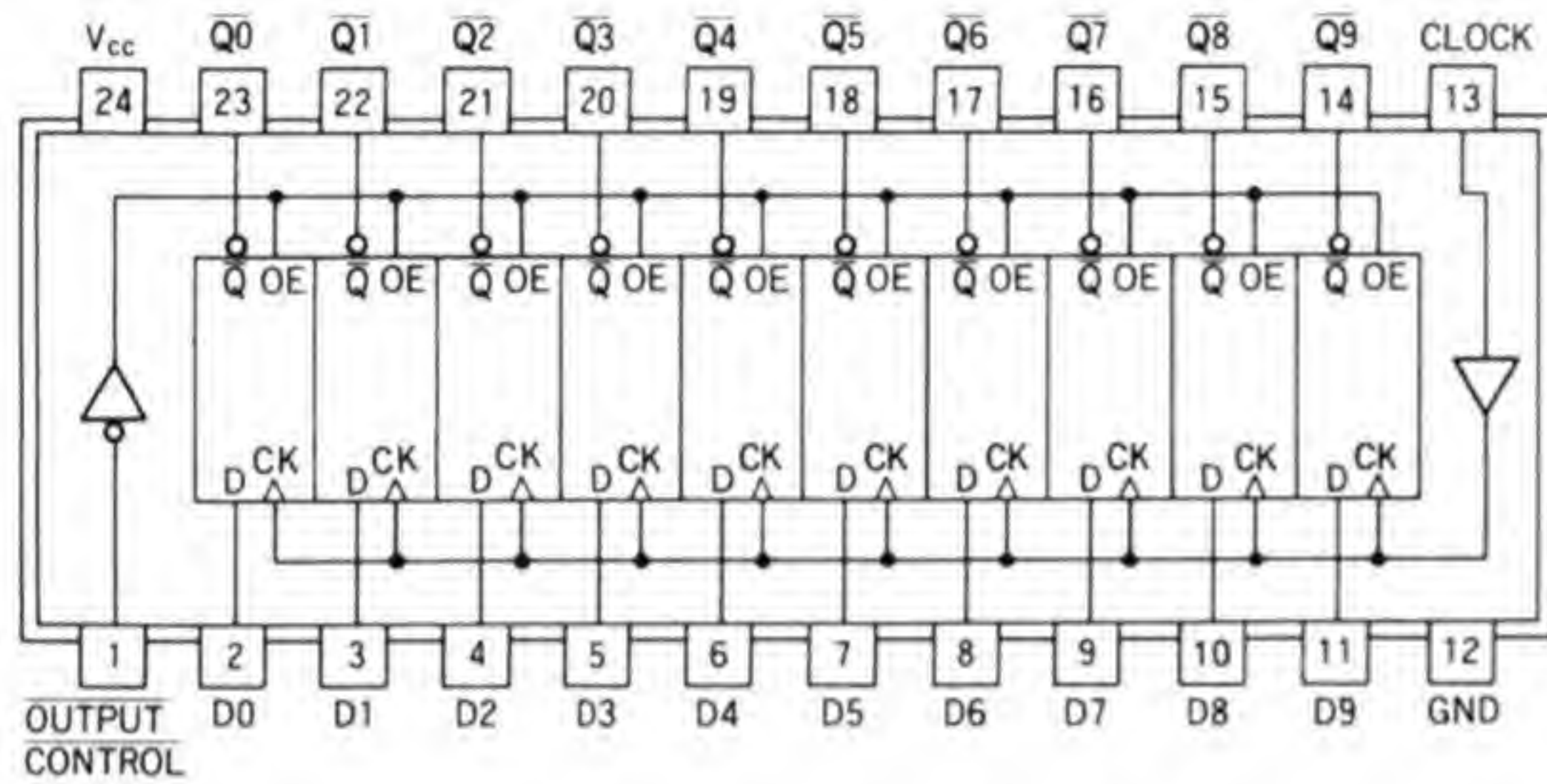
74574

74822

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS					DF									
PHIL														
RCA														
SIGNE					DF									
TI			D			D								
東芝														
SGS														
CYPRES					DF									
IDT							DF							

74822

10-Bit 3-State D-FFs(Inverted)



○74821の反転タイプ

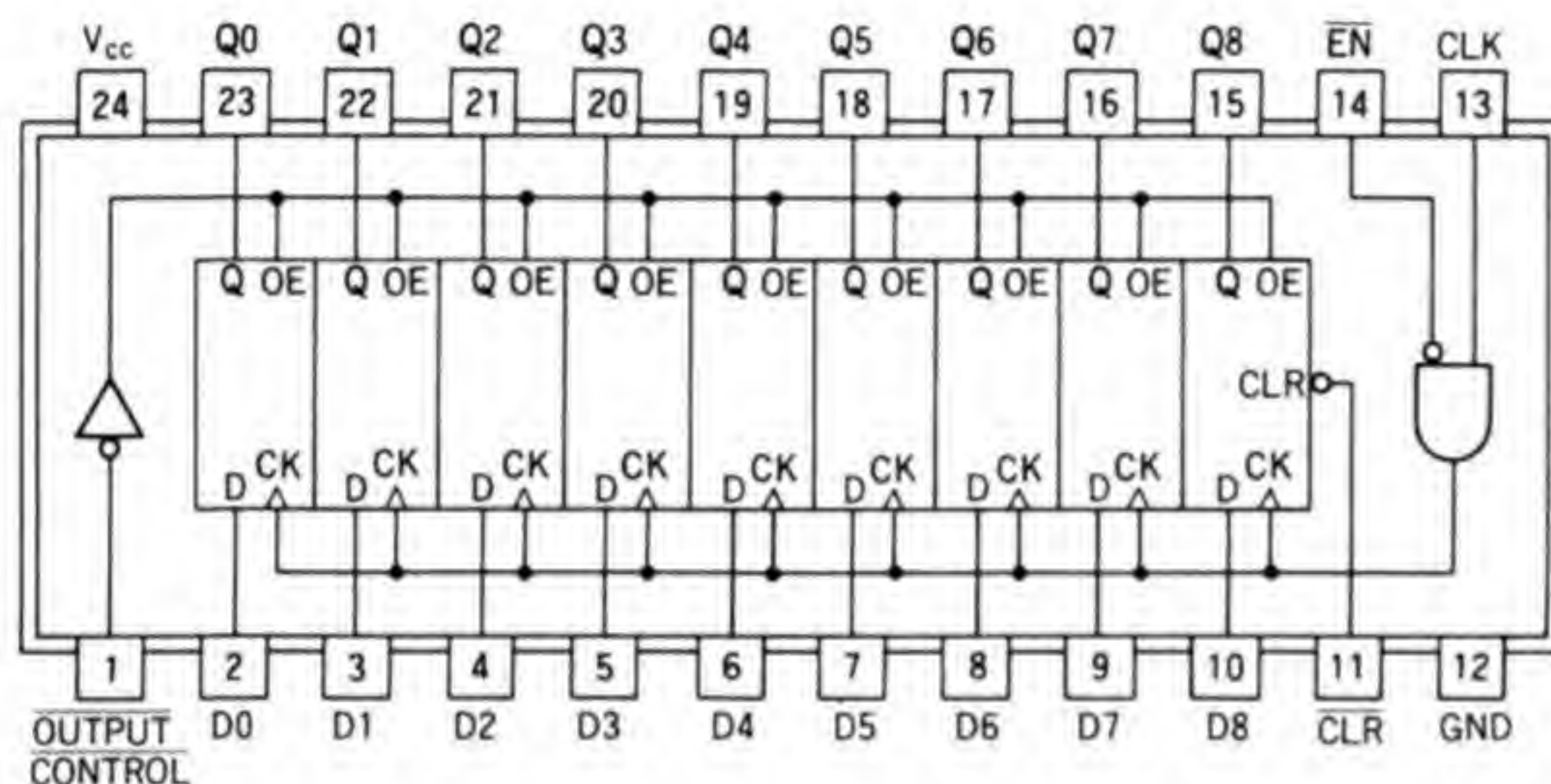
入 力		動 作
Output control	CK	
X	↑	データロード
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK																	MHz
tw	min	CLK									8								ns
tsu	min	DATA									6								ns
thold	min	DATA									0								ns
tpd	max	CLK		-Q							10.5								ns
tpd	max	OUT. C.	X→Z	-Q							8								ns
tpd	max	OUT. C.	Z→X	-Q							12								ns
Icc	max										113								mA
IIH	max	D	H								20								μA
IIL	max	D	L								0.1								mA
IIH	max	others	H		H						20								μA
IIL	max	others	L	-Q	L						0.1								mA
IOH	max			-Q	H						0.8								mA
IOL	max			-Q	L						24								mA
IZH	max			-Q							50								μA
IZL	max										50								μA

[illegible]

74823

9-Bit 3-State D-FFs with Clock Enable and Common Clear



○74574の9 Bit版 (クリア, クロックイネーブル付)

○74824は同じピン接の反転 (\overline{Q}) タイプ

○使用法はどれも同じ

入 力					内 部	出力	動 作
\overline{OE}	\overline{CLR}	\overline{EN}	CLK	Data	Q	\overline{Q}	
H	H	L	H	X	変化なし	High-Z	データホールド
H	H	L	L	X		High-Z	
H	H	H	X	X		High-Z	
L	H	H	X	X		変化なし	
H	L	X	X	X	H	High-Z	データクリア
L	L	X	X	X	H	L	
H	H	L	\uparrow	L	L	High-Z	データロード
H	H	L	\uparrow	H	H	High-Z	
L	H	L	\uparrow	L	L	H	データ出力有効
L	H	L	\uparrow	H	H	L	
L	H	L	H	X	変化なし	変化なし	データ無変化
L	H	L	L	X			

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK		Q						70									MHz
tw	min	CLK		Q						6.0	8								ns
tsu	min	DATA		Q						3.0	6								ns
tthold	min	DATA		Q						2.5	0								ns
tpd	max	CLK		Q						10.5	7.5								ns
tpd	max	CLR		Q						13.0	13								ns
tpd	max	OUT. C.	X→Z	Q						7.5	8								ns
tpd	max	OUT. C.	Z→X	Q						11.5	12								ns
Icc	max									100	103								mA
IIL	max	CLK	H							20	20								mA
IIL	max	CLK	L							1.2	0.1								μA
IIL	max	others	H							20	20								mA
IIL	max	others	L							0.6	0.1								mA
IOH	max			Q	H					3	24								mA
IOL	max			Q	L					24	48								mA
IZH	max			Q						50	50								μA
IZL	max			Q						50	50								μA

参考品種

74374

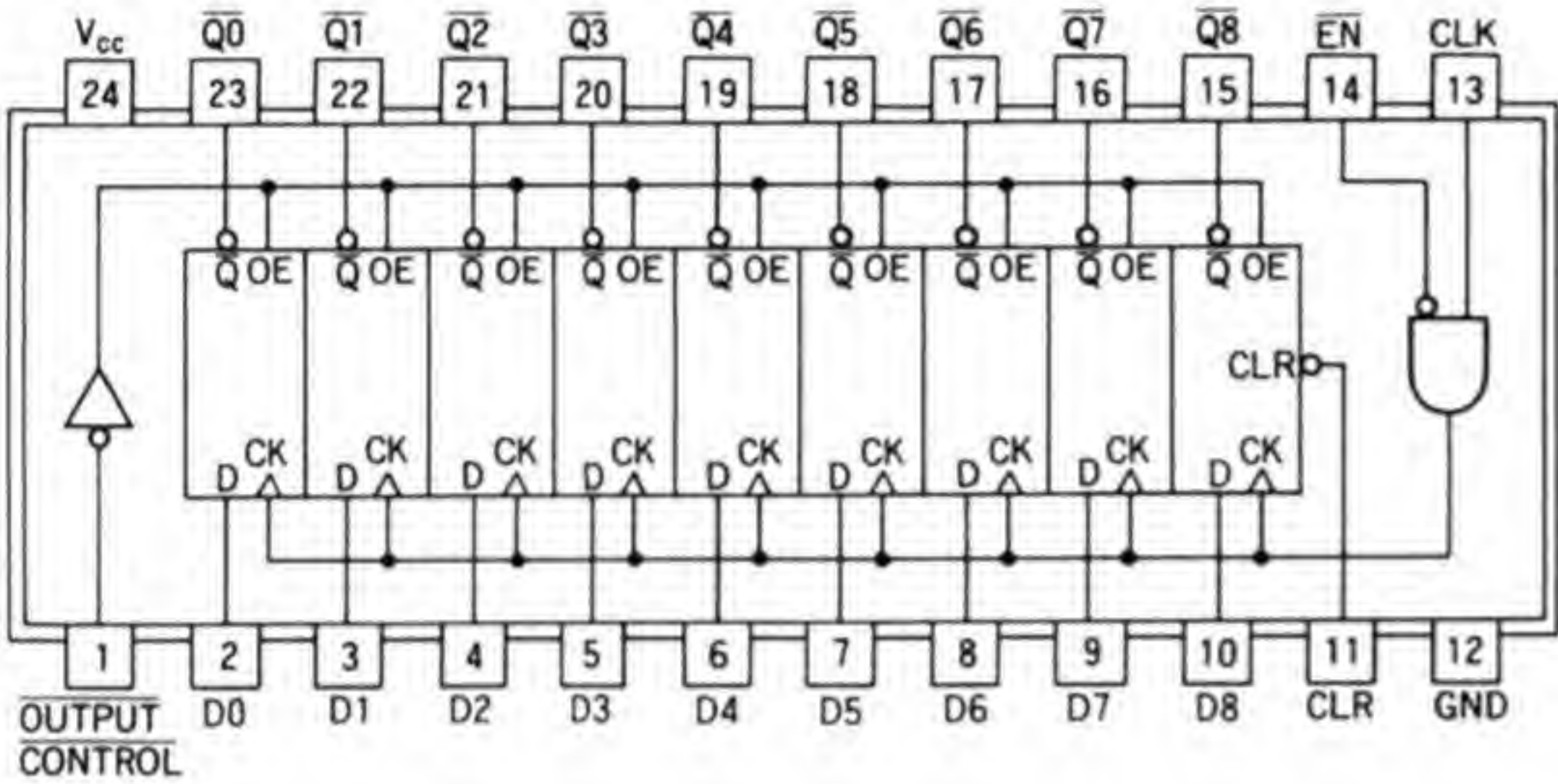
74574

74824

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT					D									
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI						D								
東芝														
SGS														
CYPRES					DF									
IDT							DF							

74824

9-Bit 3-State D-FFs(Inverted) with Clock Enable and Common Clear



○74823の反転タイプ

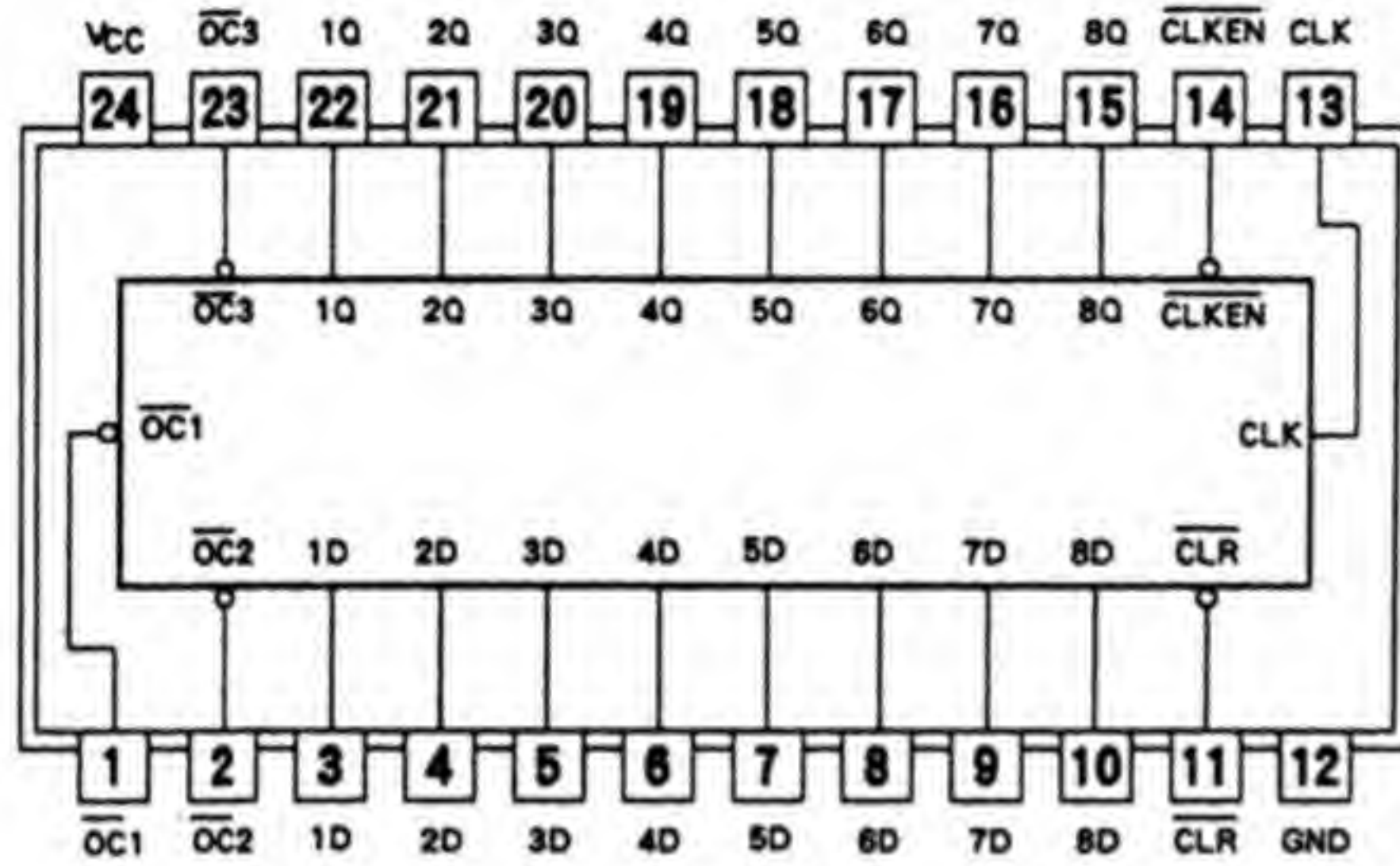
入 力					内 部	出力	動 作
OE	CLR	EN	CLK	Data	Q	\bar{Q}	
H	H	L	H	X	変化なし	High-Z	データホールド
H	H	L	L	X		High-Z	
H	H	H	X	X		High-Z	
L	H	H	X	X		変化なし	
H	L	X	X	X	H	High-Z	データクリア
L	L	X	X	X	H	L	
H	H	L	↑	L	H	High-Z	データロード
H	H	L	↓	H	L		
L	H	L	↑	L	H	L	データ出力有効
L	H	L	↓	H	L	H	
L	H	L	H	X	変化なし	変化なし	データ無変化
L	H	L	L	X			

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK		-Q															MHz
tw	min	CLK		-Q							8								ns
tsu	min	DATA		-Q							6								ns
thold	min	DATA		-Q							0								ns
tpd	max	CLK		-Q							7.5								ns
tpd	max	CLR		-Q							13								ns
tpd	max	OUT. C.	X→Z	-Q							8								ns
tpd	max	OUT. C.	Z→X	-Q							12								ns
Icc	max										103								mA
IIL	max	D	H								20								mA
IIL	max	D	L								0.1								μA
IIL	max	others	H								20								mA
IIL	max	others	L								0.1								mA
IOH	max			-Q	H						24								mA
IOL	max			-Q	L						48								mA
I2H	max			-Q							50								μA
I2L	max			-Q							50								μA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL														
RCA														
SIGNE					DF									
TI						D								
東芝														
SGS														
CYPRES														
IDT							DF							

74825

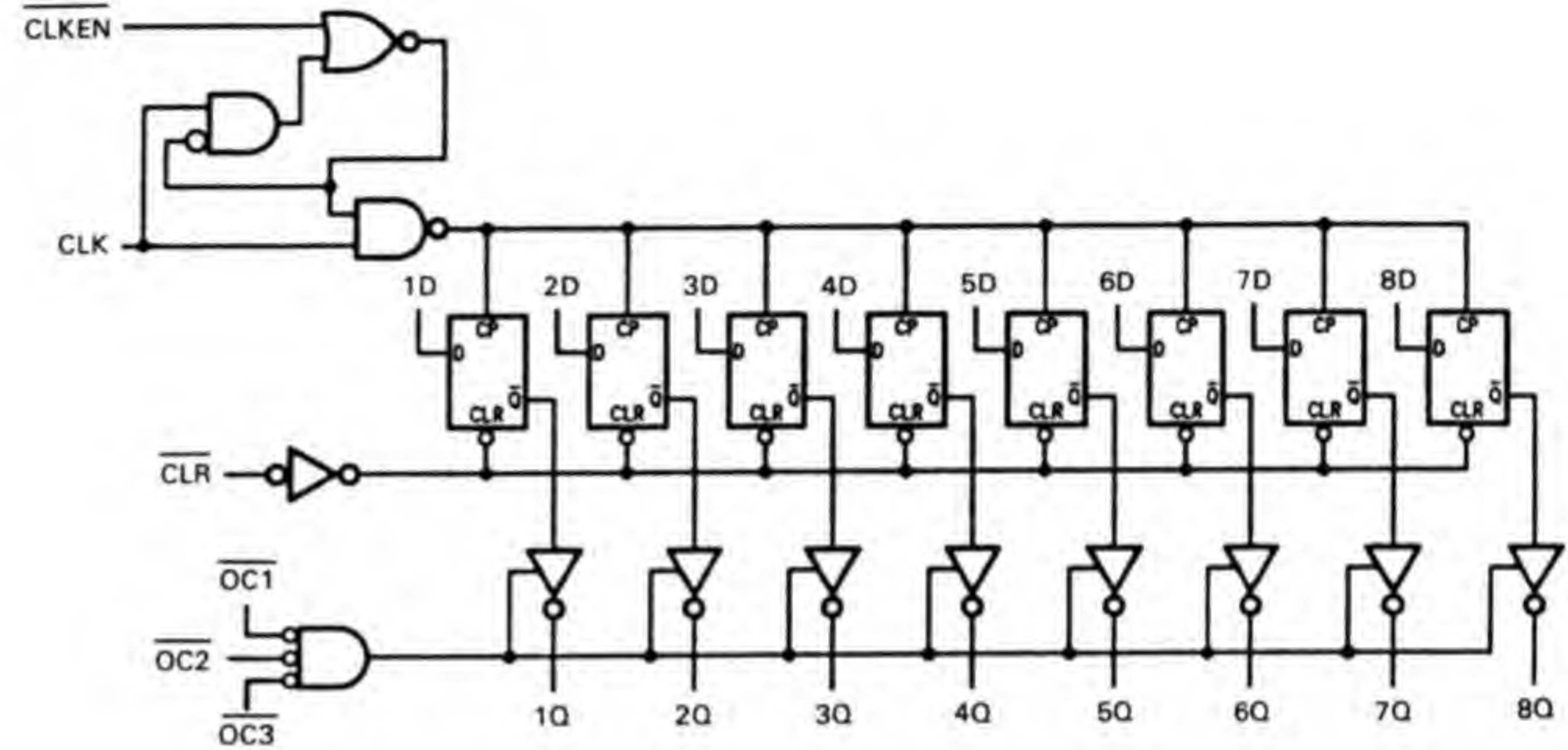
8-BIT BUS INTERFACE FLIP-FLOP WITH 3-STATE OUTPUT



- AS574の上位機能—クロック・イネーブル、クリア、多入力による出力コントロール付
- I_{OH}を改良(−24mA最大)
- 出力のアンダーシュートを防止
- 電源投入時には、ハイ・インピーダンス状態を保持
- 74AC11XXXファミリーはセンタ・ピン・タイプ

機能表

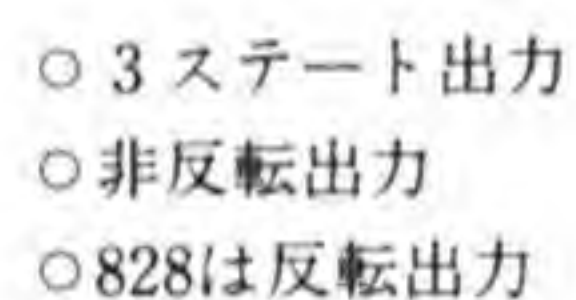
入 力					出 力
OC	CLR	CLKEN	CLK	D	
L	L	X	X	X	L
L	H	L	•	H	H
L	H	L	•	L	L
L	H	H	X	X	Q ₀
H	X	X	X	X	Z



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	CLK		Q	L→H					10	7.5		9.5						ns
tpd	max	CLK		Q	H→L					10	13		9.5						ns
tpd	max	OC		Q	Z→H					12	11		13.5						ns
tpd	max	OC		Q	Z→L					12	12		10.5						ns
tpd	max	OC		Q	L→Z					7	8		11						ns
tpd	max	OC		Q	H→Z					7	8		11						ns
I _{cc}	max									1.5			.008						mA
I _{cc}	max																		mA
I _{IH}	max									5									μA
I _{IL}	max																		μA
I _{OH}	max																		mA
I _{OL}	max																		mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS					DF			DF						
PHIL														
RCA														
SIGNE					DF									
TI						D		D						
東芝							D	D						
SGS														
CYPRES					DF									
IDT								DF						

10-Bit 3-State Buffer

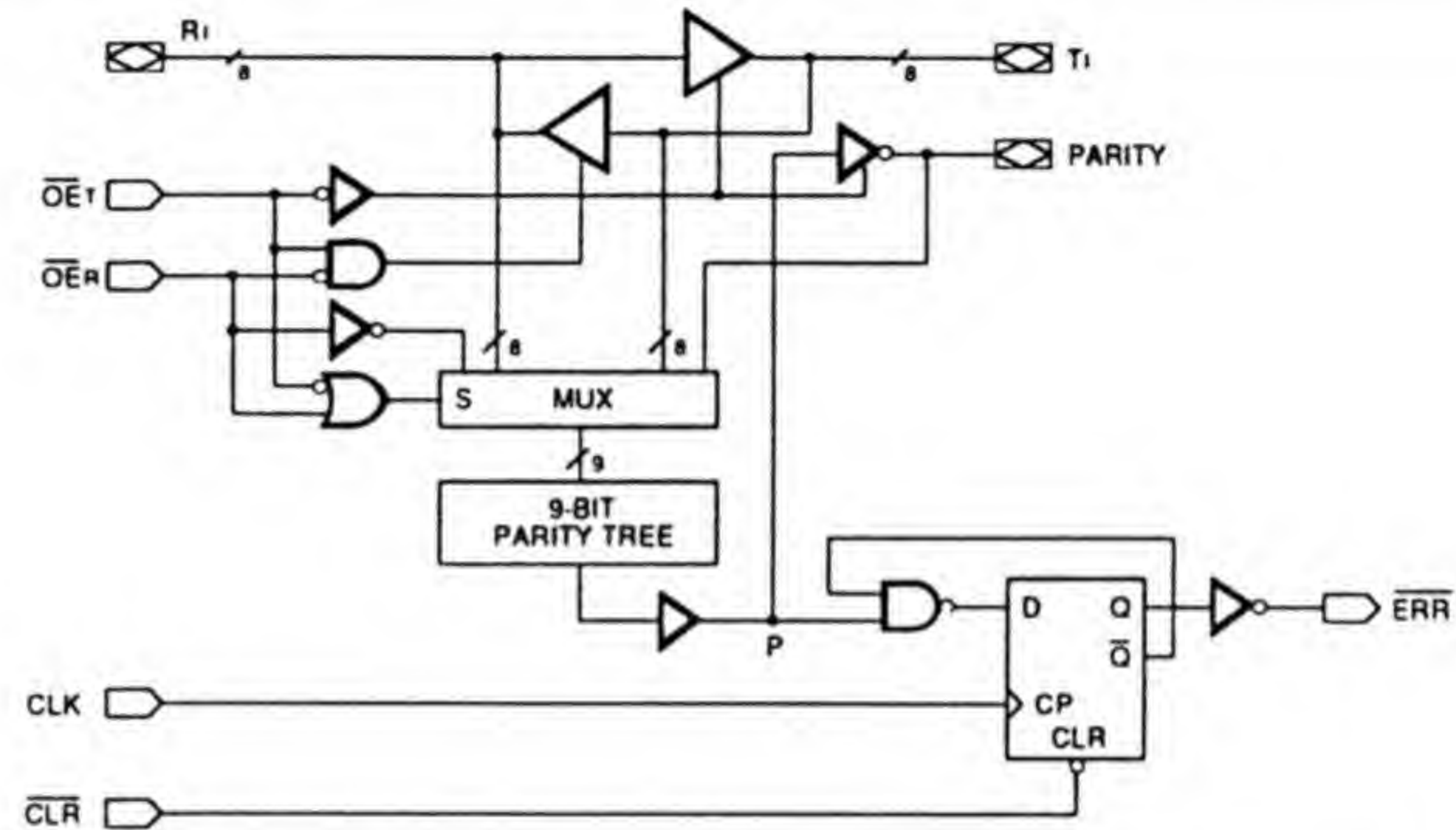
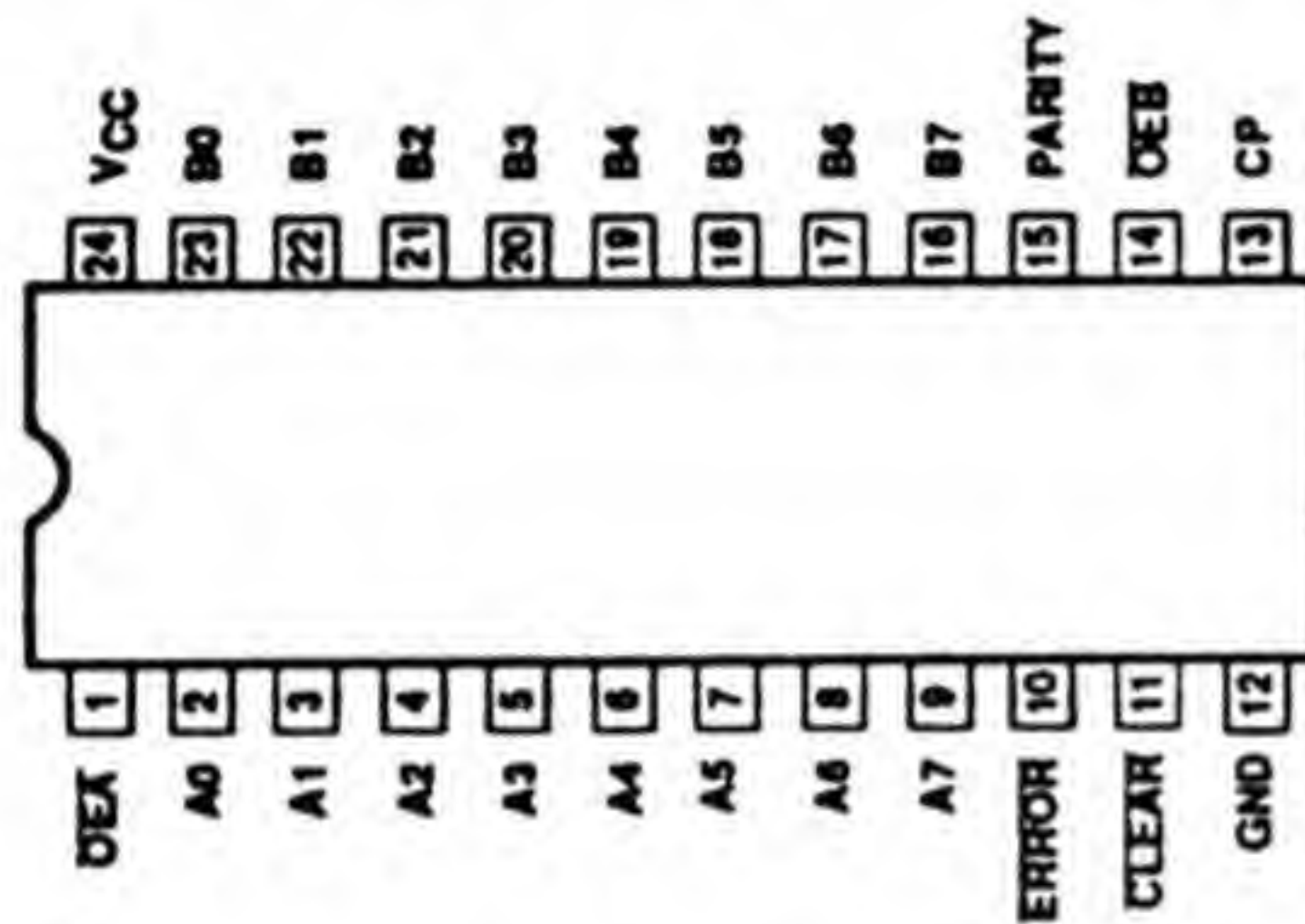


入 力		出 力
E ₁	E ₂	
L	L	D
X X	X H	High-Z

[illegible][illegible]

74833

Octal transceiver with parity generator/checker



項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Ax	H→L	Bx	L→H							10					4.8		ns
tpd	max		L→H		H→L							17.5					4.0		ns
tpd	max		H→L		Z→H							12					5.1		ns
tpd	max		L→H		Z→L							19.5					5.8		ns
tpd	max		H→L		H→Z							10.7					7.3		ns
tpd	max		L→H		L→Z							12					7.7		ns
Icc	max				H							1.5					0.25		mA
Icc	max				L												30		mA
IIH	max		H									15					50		μA
IIL	max		L																μA
IOH	max				H														mA
IOL	max				L							48					64		mA

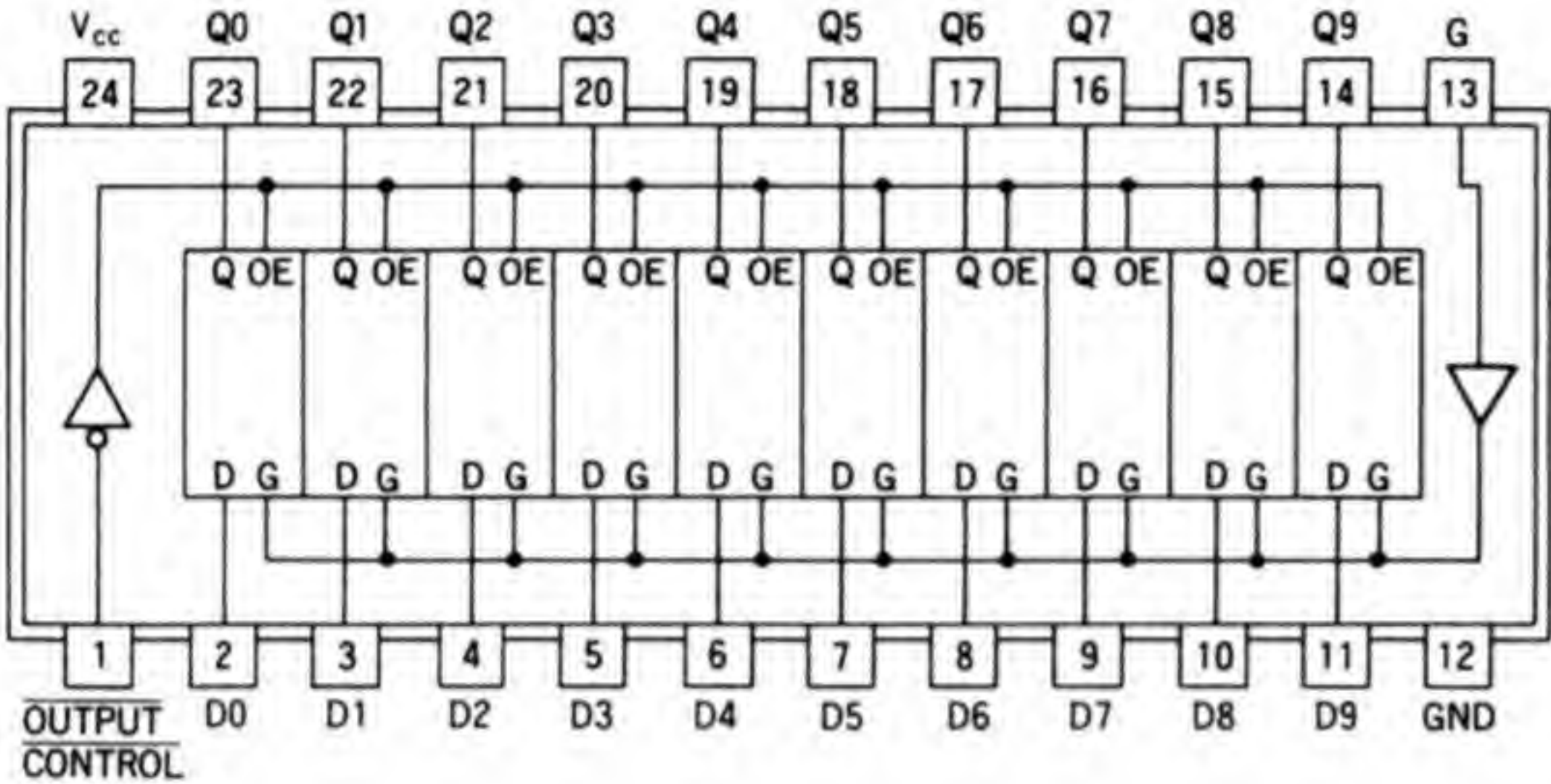
機能表

MODE	INPUTS				OUTPUTS		
	OEB	OEA	An Σ of Highs	Bn + Parity Σ of Highs	An	Bn	PARITY
A data to B bus and generate odd parity output	L	H	Odd Even	(output)	(input)	An	L H
B data to A bus and check for parity error ¹	H	L	(output)	X	Bn	(input)	(input)
A bus and B bus disabled ²	H	H	X	X	Z	Z	Z
A data to B bus and generate inverted parity output	L	L	Odd Even	(output)	(input)	An	H L

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS														
PHIL												DF		
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT							DF							

74841

10-Bit 3-State D-Latches



- 74573の10Bit版
- 74842は同じピン接の反転 (\bar{Q}) タイプ
- 使用法はどれも同じ

入 力		動 作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	Q=D
H	X	High-Z

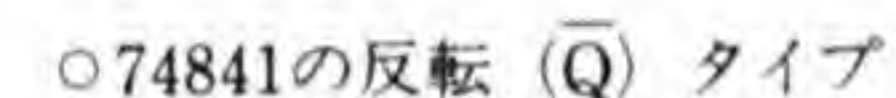
項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE						20			4								ns
tsu	min	DATA						5 ↓			2.5								ns
thold	min	DATA						5 ↓			2.5								ns
tpd	max	DATA		Q				13			6.5								ns
tpd	max	LE		Q				26			12								ns
tpd	max	-OE		Q	X→Z			12			8								ns
tpd	max	-OE		Q	Z→X			12			13.5								ns
Icc	max							62			94								mA
IIH	max	ALL	H					20			20								μA
IIL	max	ALL	L					0.1			0.5								mA
IOH	max			ALL	H			2.6			15								mA
IOL	max			ALL	L			24			48								mA
IZL	max			ALL	L			20			50								μA
IZH	max			ALL	H			20			50								μA

参考品種

- 74373
- 74573
- 74842

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS					DF			DF						
PHIL														
RCA														
SIGNE					DF									
TI			D			D								
東芝							D	D						
SGS														
CYPRES					DF									
IDT								DF						

74842

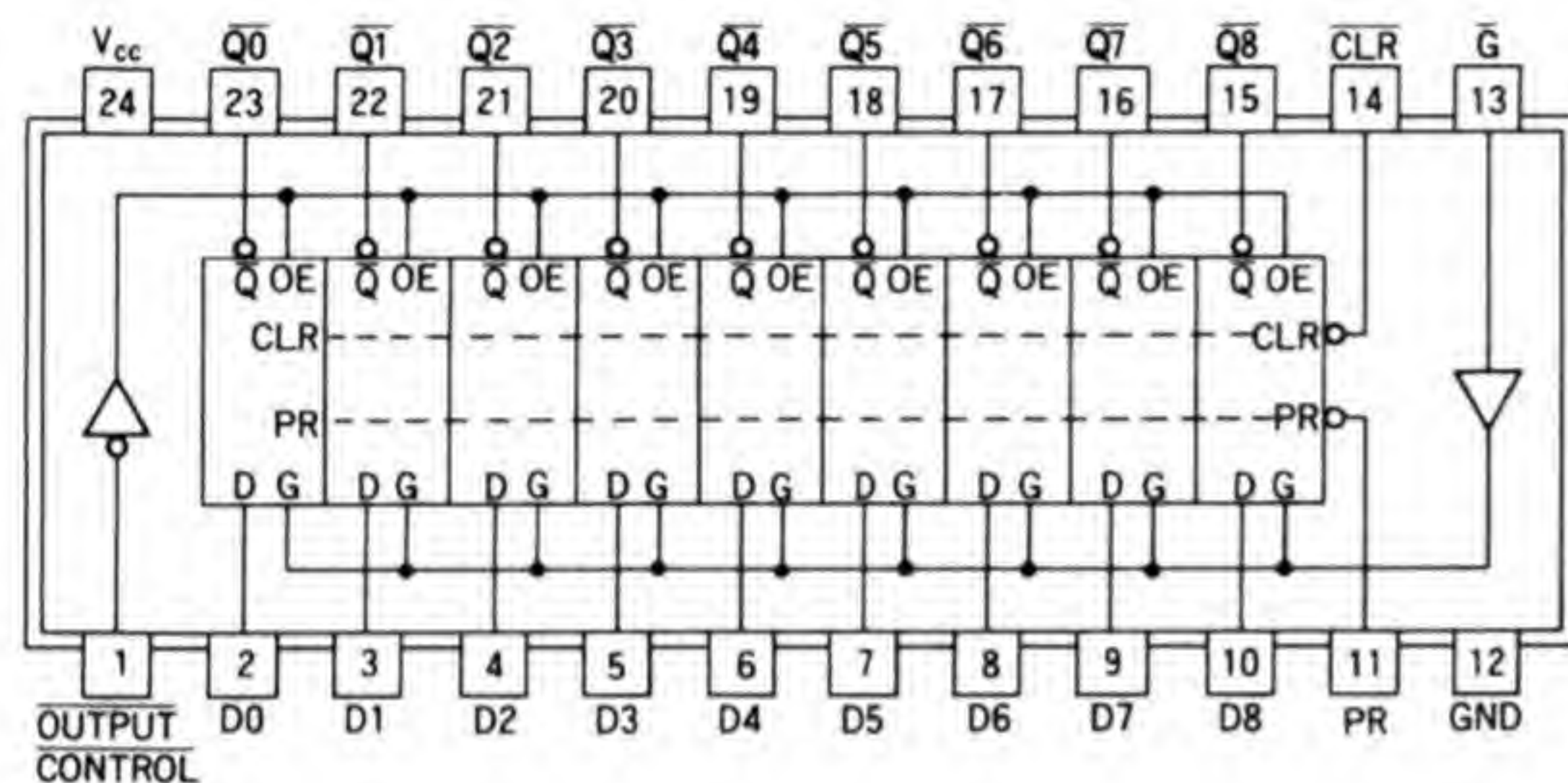


入 力		動 作
Output Control	Latch Enable	
L	L	ラッチ(ホールド)
L	H	$Q = \bar{D}$
H	X	High-Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						20			5								ns
tsu	min	DATA						10			2.5								ns
thold	min	DATA						5			2.5								ns
tpd	max	ENABLE		-Q				27			12								ns
tpd	max	DATA		-Q				18			9								ns
tpd	max	OUT. C.		-Q	X→Z			12			8								ns
tpd	max	OUT. C.		-Q	Z→X			12			12.5								ns
lcc	max							74			97								mA
IIH	max	ALL	H					20			20								μA
ILL	max	ALL	L					0.1			0.5								mA
IOH	max			Q	H			2.6			15								mA
IOL	max			Q	L			24			48								mA
IZH	max			Q	H			20			50								μA
IZL	max			Q	L			20			50								UA

[illegible]

9-Bit 3-State D-Latches(Inverted) with Common Preset and Common Clear



○74843の反転 (\bar{Q}) タイプ

入 力				動 作
$\overline{\text{PR}}$	$\overline{\text{CLR}}$	$\overline{\text{OE}}$	G	
H	H	L	L	ラッチ(ホールド)
H	H	L	H	$Q = \overline{D}$
X	X	H	X	High-Z
L	X	L	X	プリセット(L)
H	L	L	X	クリア(L)

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	LE						20		3.0	4								ns
tsu	min	DATA						10		0	2.5								ns
thold	min	DATA						5		4.0	2.5								ns
tpd	max	DATA		Q				20		9.5	10								ns
tpd	max	LE		Q				29		10.5	13								ns
tpd	max	-OE	N	Q	X→Z			12		8.5	8								ns
tpd	max	-OE	A	Q	Z→X			20		12.5	13.5								ns
tpd	max	CLR		Q				23		10.5	13.5								ns
tpd	max	PR		Q				22		9.5	10								ns
Icc	max							72		95	95								mA
I _{IH}	max	ALL	H					20		20	20								μA
I _{IL}	max	ALL	L					0.1		0.2	0.5								mA
I _{OH}	max			ALL	H			2.6		15	15								mA
I _{OL}	max			ALL	L			24		48	48								mA
I _{ZL}	max			ALL	L			20		50	50								μA
I _{ZH}	max			ALL	H			20		50	50								μA

[illegible]

[illegible]

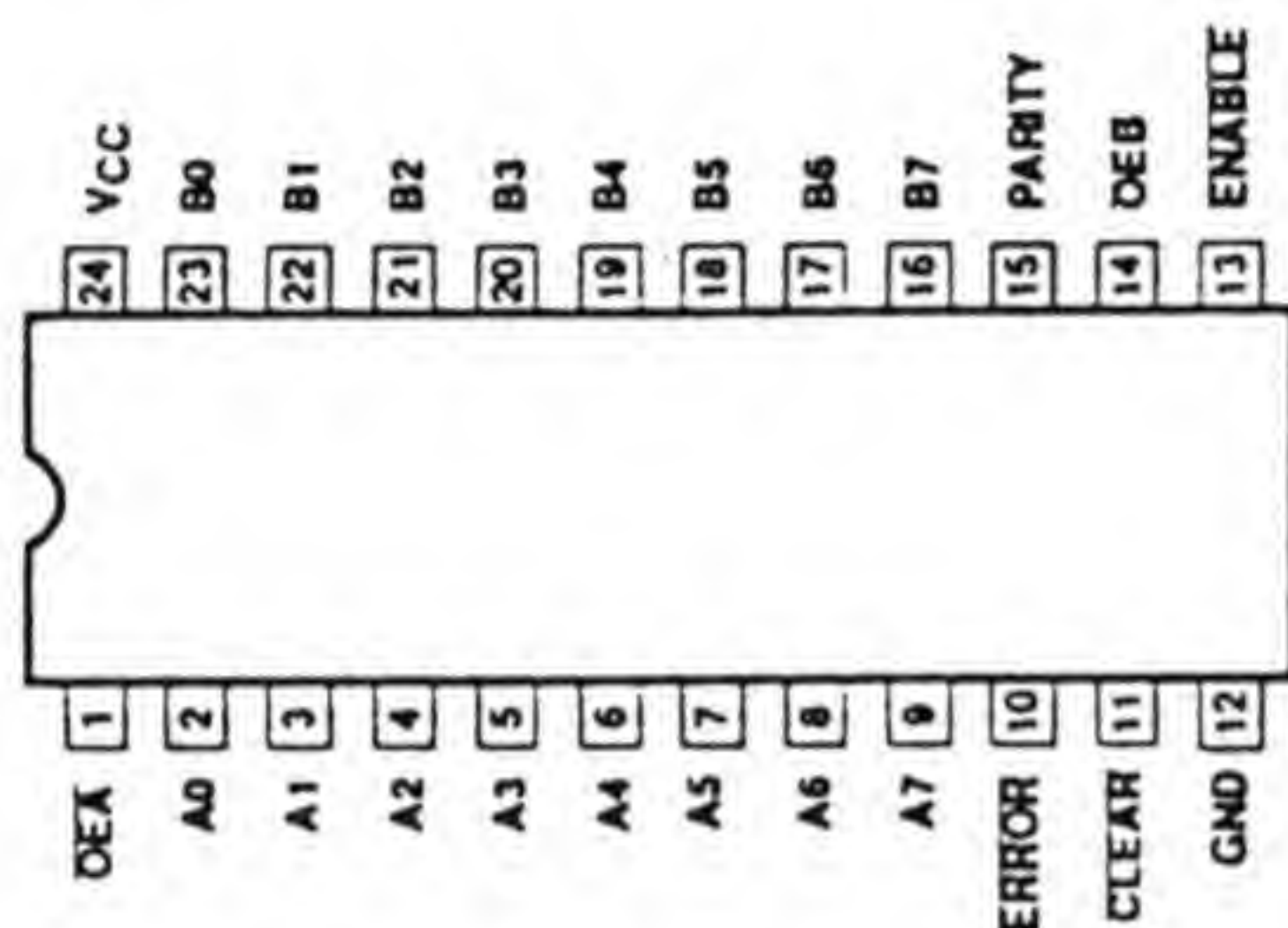
機能表

INPUTS					OUTPUTS	OPERATING MODE
OE _n	PRE	MR	LE	D _n	Q _n	
L	L	X	X	X	H	Preset
L	H	L	X	X	L	Clear
L L	H H	H H	H H	L H	L H	Transparent
L L	H H	H H	↓ ↓	l h	L H	Latched
H	X	X	X	X	Z	High impedance
L	H	H	L	X	NC	Hold

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	Dn	L→H	Qn	L→H								9.5				5.4		ns
tpd	max	Dn	L→H	Qn	H→L								9.5				6.8		ns
tpd	max	OE	H→L	Qn	Z→H								9.5				5.4		ns
tpd	max	OE	L→H	Qn	Z→L								9.5				6.1		ns
tpd	max	OE	H→L	Qn	H→Z								10.5				6.2		ns
tpd	max	OE	L→H	Qn	L→Z								10.5				6.4		ns
Icc	max				H								0.08				0.25		mA
Icc	max				L												30		mA
I IH	max	ALL	H														50		μA
I IL	max	ALL	L																μA
IOH	max			ALL	H														mA
IOL	max			ALL	L								24				64		mA

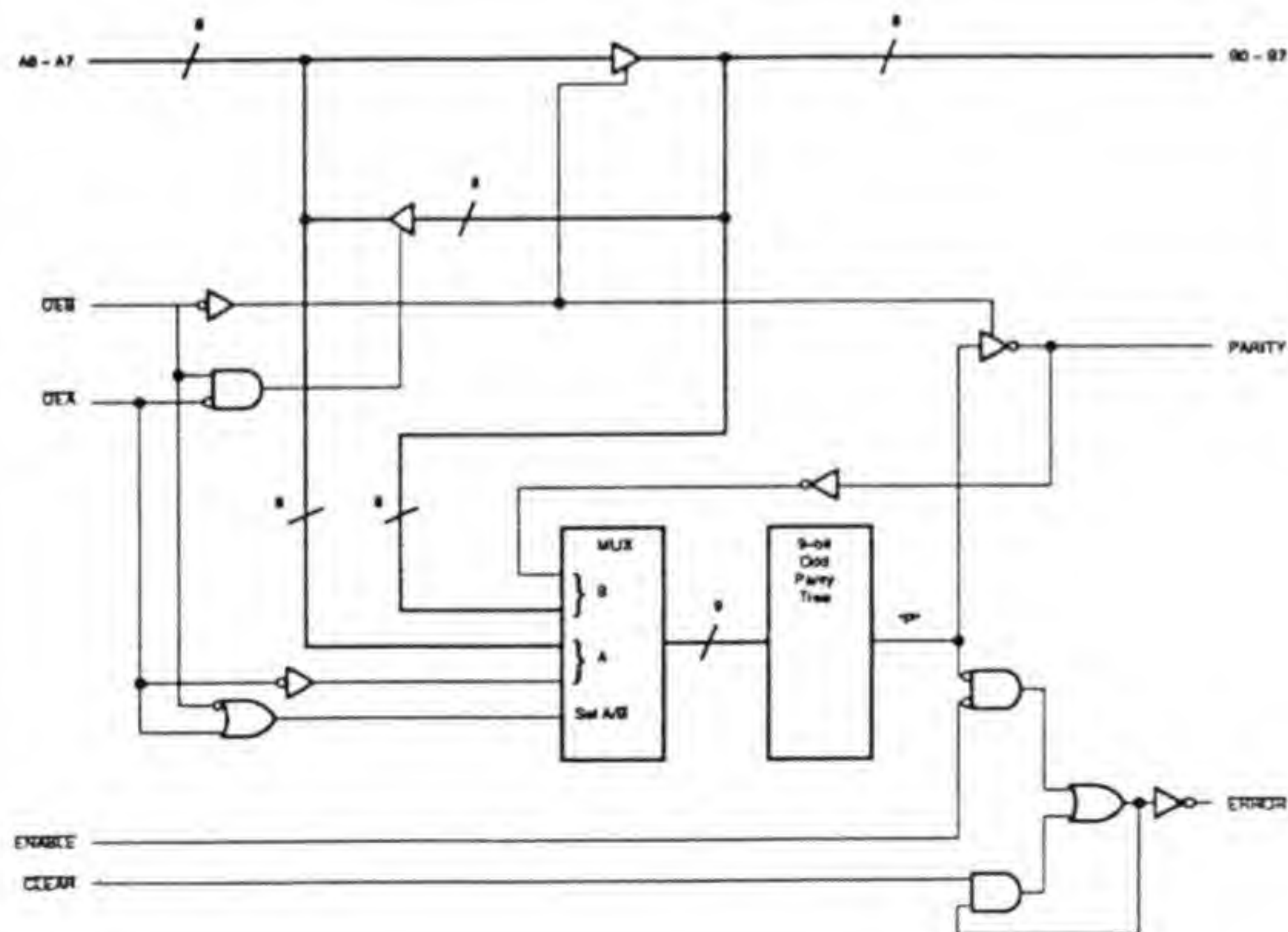
[illegible]

8-bit transceiver with 9-bit parity checker/generator and flag latch (3-State)



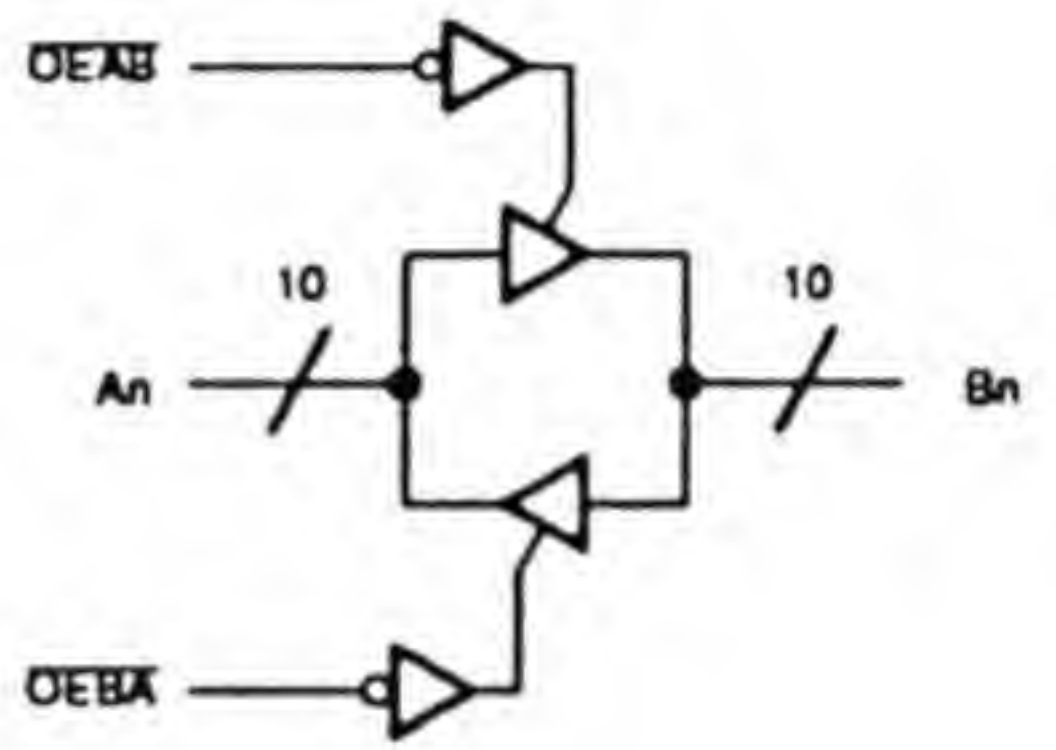
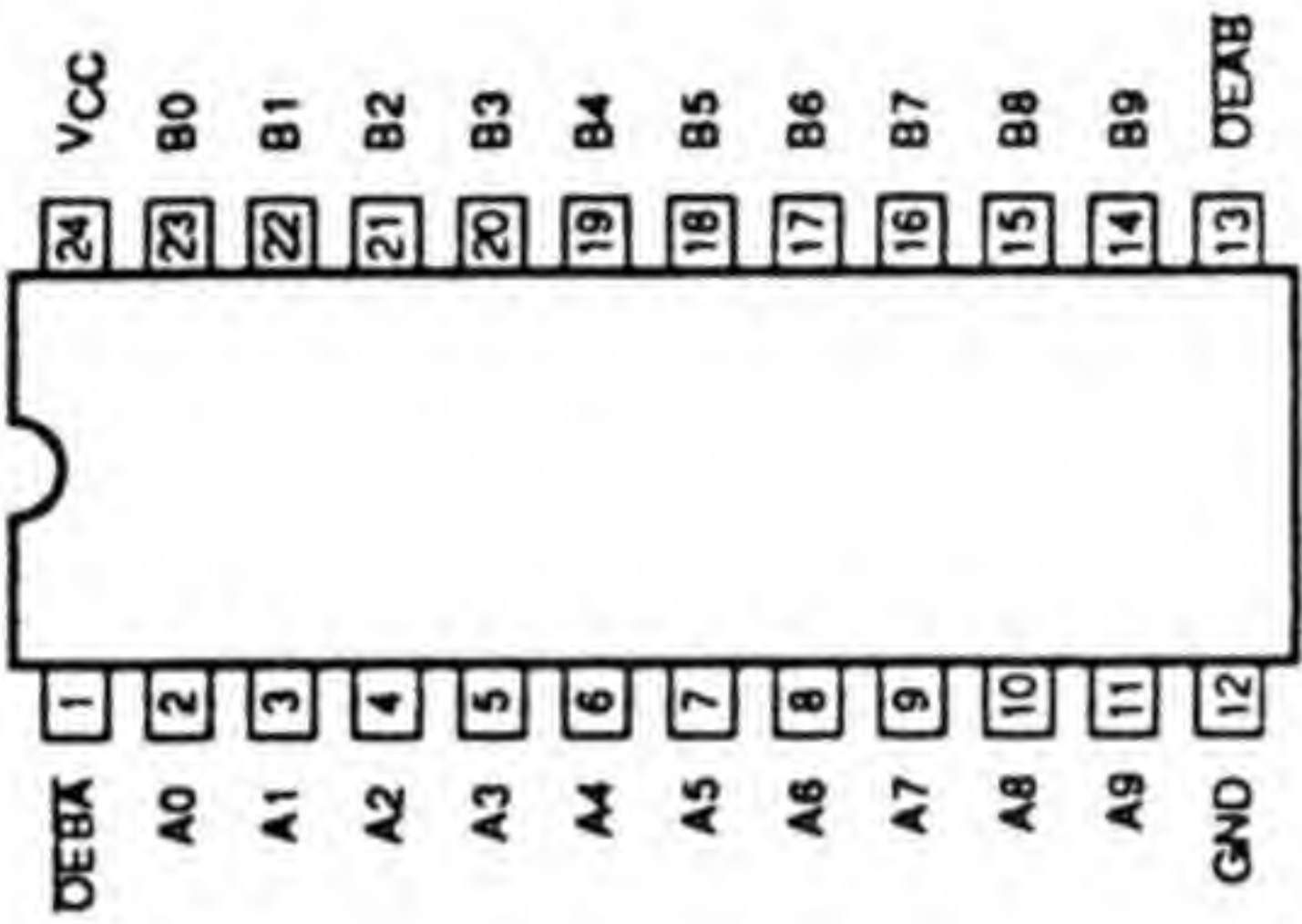
機能表

MODE	INPUTS				OUTPUTS		
	\overline{OE}	\overline{EA}	An Σ OF HIGHS	Bn + PARITY Σ OF HIGHS	An	Bn	PARITY
A data to B bus and generate odd parity output	L	H	Odd Even	(output)	(input)	An	L H
B data to A bus and check for parity error ¹	H	L	(output)	X	Bn	(input)	(input)
A bus and B bus disabled ²	H	H	X	X	Z	Z	Z
A data to B bus and generate inverted parity output	L	L	Odd Even	(output)	(input)	An	H L

[illegible][illegible]

74861

10-bit bus transceiver (3-State)



機能表

INPUTS		OPERATING MODE
OEAB	OEBA	
L	H	A data to B bus
H	L	B data to A bus
H	H	Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位					
tpd	max	An	L→H	Bn	L→H												4.9		ns					
tpd	max		H→L		H→L												4.9		ns					
tpd	max		H→L		Z→H												5.0		ns					
tpd	max		H→L		Z→L												6.0		ns					
tpd	max		L→H		H→Z												6.5		ns					
tpd	max		L→H		L→Z												6.6		ns					
Icc	max				H												0.05		mA					
Icc	max				L												38		mA					
I _{IH}	max		H														0.05		mA					
I _{IL}	max		L																mA					
I _{OH}	max				H														mA					
I _{OL}	max				L												64		mA					
						社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT					
						日立																		
						MOT																		
						日電																		
						NS																		
						PHIL																	DF	
						RCA																		
						SIGNE																		
						TI																		
						東芝																		
						SGS																		
						CYPRES																		
IDT												DF												

[illegible]

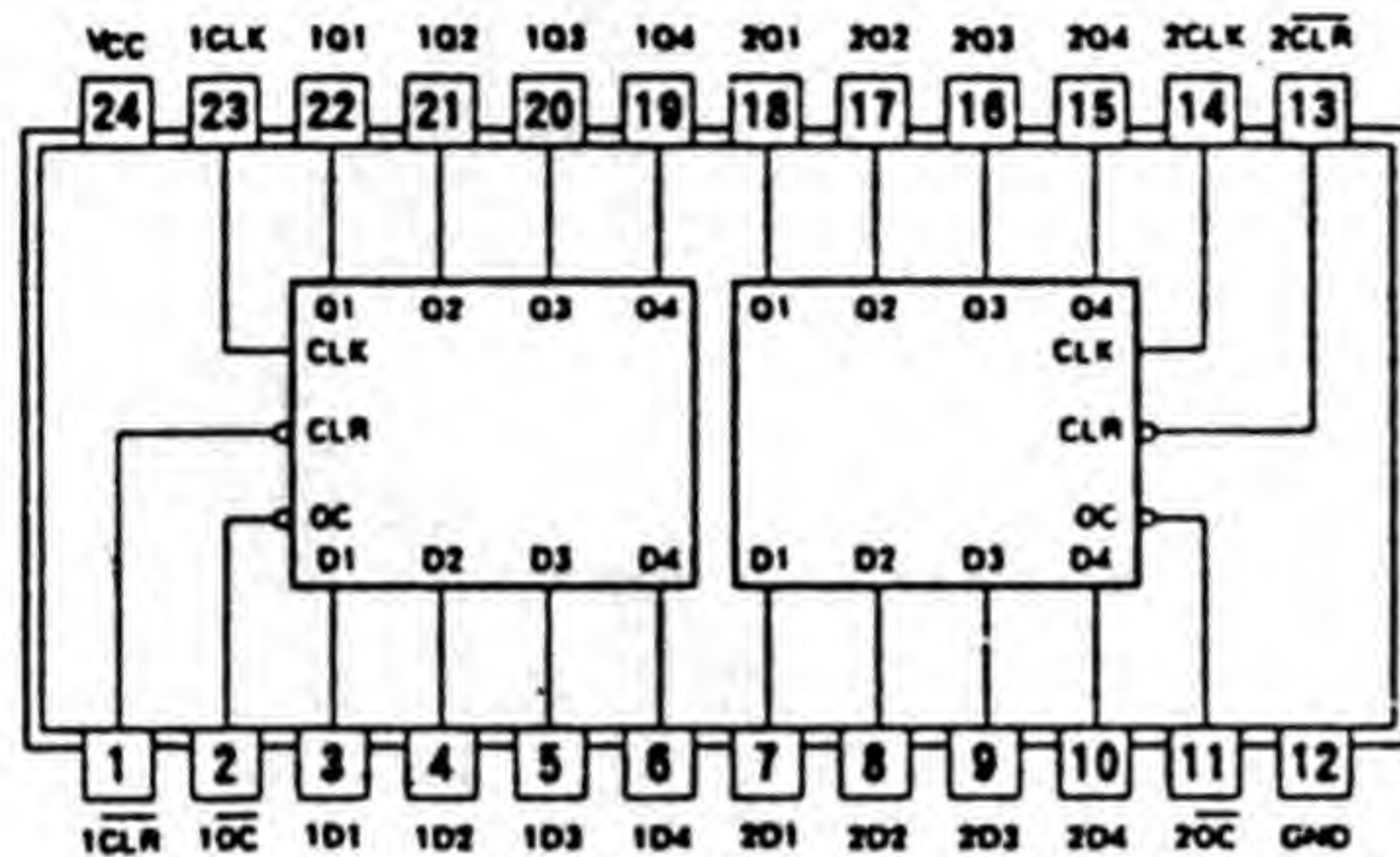
○3 ステート出力

入 力				出 力
OC	CLR	イネーブルC	D	Q
L	L	X	X	L
L	H	H	H	H
L	H	H	L	L
L	H	L	X	Q ₀
H	X	X	X	Z

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tw	min	ENABLE						15			4.5								ns
tsu	min	DATA						10 ↓			2 ↓								ns
thold	min	DATA						7 ↓			3 ↓								ns
tpd	max	C		Q				22			11.5								ns
tpd	max	DATA		Q				14			6								ns
tpd	max	OUT. C.	N	Q	X→Z			13			7.5								ns
tpd	max	OUT. C.	A	Q	Z→X			18			9.5								ns
Icc	max							31			129								mA
I1H	max	ALL	H					20			20								μA
I1L	max	ALL	L					0.1			0.5								mA
I0H	max			Q	H			2.6			15								mA
I0L	max			Q	L			24			48								mA
I2L	max			Q	L			20			50								μA
I2H	max			Q	H			20			50								μA

[illegible]

Dual 4-Bit 3-State D-FFs

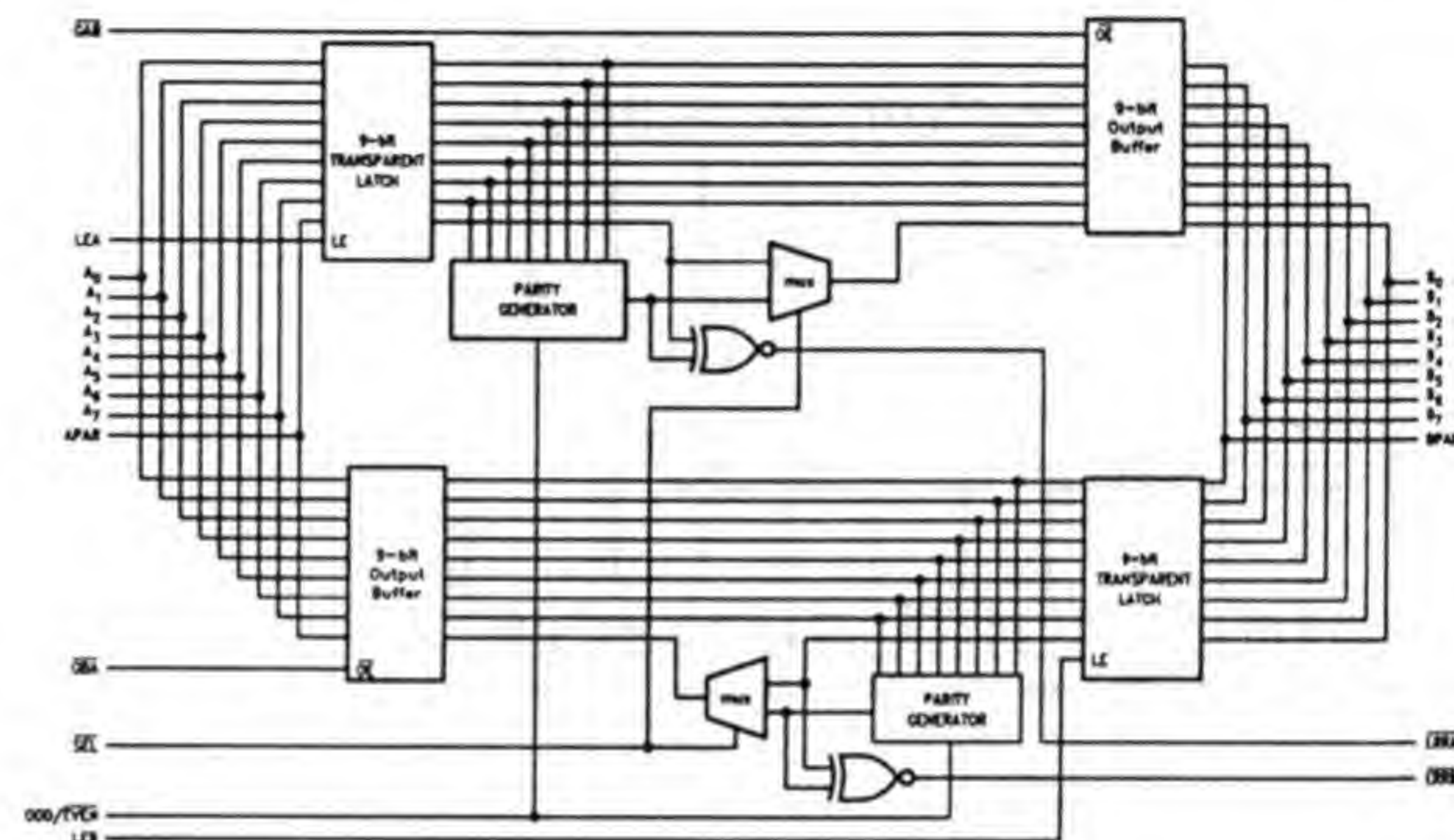


- | 入 力 | | | | 出 力 |
|-----|-----|-----|---|----------------|
| OC | CLR | CLK | D | Q |
| L | L | X | X | L |
| L | H | ↑ | H | H |
| L | H | ↑ | L | L |
| L | H | L | X | Q ₀ |
| H | X | X | X | Z |

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min	CLK						30			125								MHz
tw	min	CLK						16.5			4								ns
tsu	min	DATA						15↑			2↑								ns
thold	min	DATA						0↑			1↑								ns
tpd	max	CLK		Q				14			10.5								ns
tpd	max	OUT. C.	N	Q	X→Z			12			7.5								ns
tpd	max	OUT. C.	A	Q	Z→X			18			10.5								ns
Icc	max							32			160								mA
I1H	max	OC, CLK	H					20			20								μA
I1L	max	OC, CLK	L					0.2			0.5								mA
I1H	max	DATA	H					20			20								μA
I1L	max	DATA	L					0.2			2								mA
I0H	max			Q	H			2.6			15								mA
I0L	max			Q	L			24			48								mA
I2L	max			Q	H			20			50								μA
I2H	max			Q	L			20			50								μA

[illegible]

9-bit dual latch transceiver with 8-bit parity generator/checker (3-State)



機能表

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	An	L→H	Bn	L→H							15	11.5				4.5		ns
tpd	max		H→L		H→L							10	11.5				4.1		ns
tpd	max		H→L		Z→H							15.5	9				4.3		mA
tpd	max		H→L		Z→L							10.5	9				4.8		mA
tpd	max		L→H		H→Z							14	9.5				4.7		mA
tpd	max		L→H		L→Z							9.5	9.5				4.2		mA
Icc	max				H							0.08	0.08				0.25		mA
Icc	max				L												34		mA
IIH	max		H														0.05		mA
IIL	max		L																mA
IOH	max				H														mA
IOL	max				L							24	24				64		mA

[illegible]

ここには74シリーズICの中でもあまり使われなくなった番号のものや、まだ使う人が少ないものを収録してあります。

データ量の都合で、1ページを2～4分割にして載せてあります。そのため、伝搬遅延時間などの定量的なデータやセカンドソースのリストは割愛しました。今後セカンドソースが増えたり利用者が増えた時には、前半部の1ページタイプの規格表に移し、必要なデータを掲載す

る予定です。また、セカンドソースの減少など使われなくなった番号のものは、順次この2分割掲載に移します。

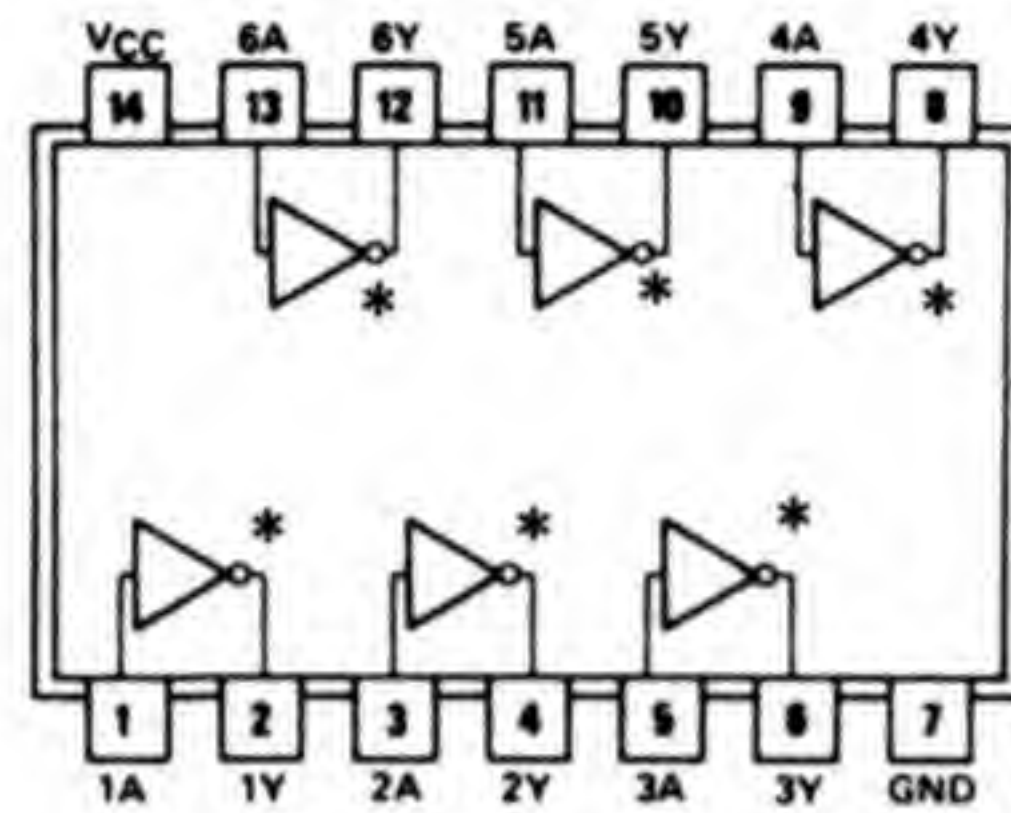
なおここにも掲載されていない番号は、64バイト以上のメモリとデータ不要と判断した番号です。非掲載の番号の規格は、メモリはメモリIC規格表を参照し、74シリーズは各社版の規格表を参照してください。

準推奨品一覧

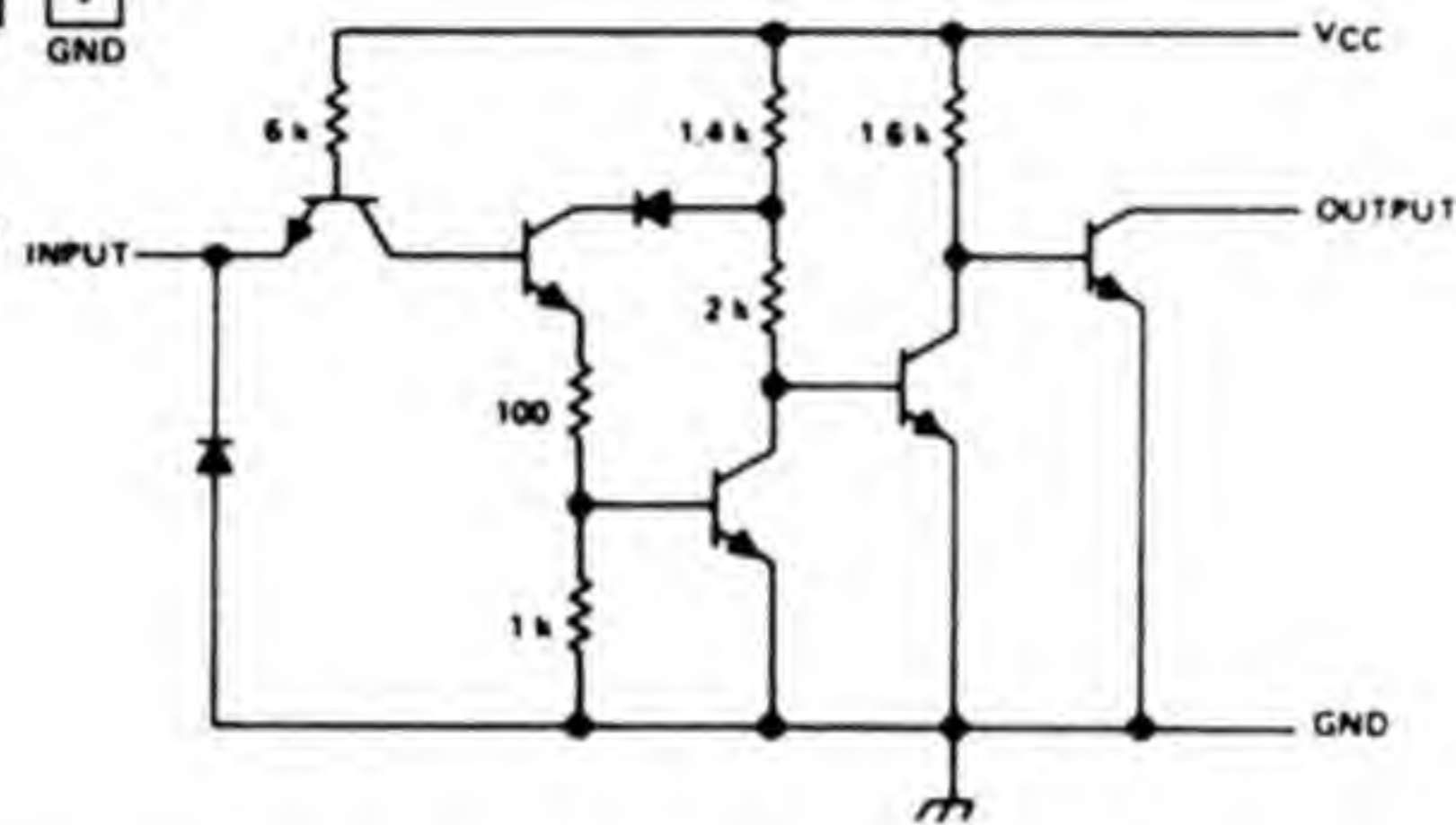
7416, 7417, 7418, 7424

7416

HEX O. C. INVERTERS

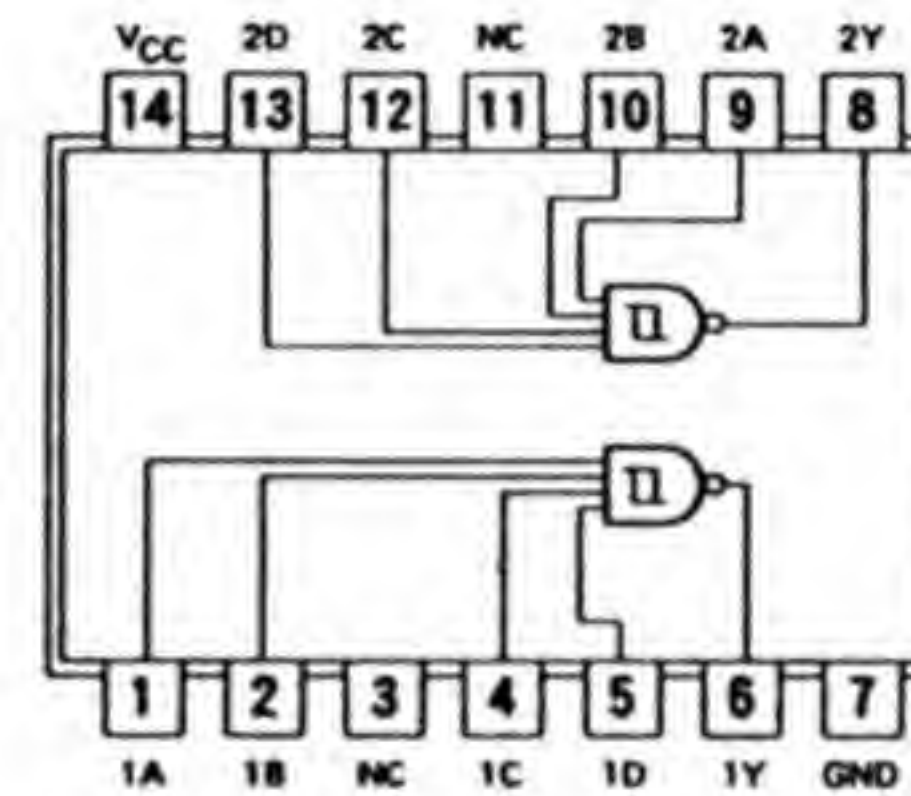


○7405の高耐圧出力型(15V)



7418

DUAL 4-INPUT POSITIVE-NAND SCHMITT TRIGGERS

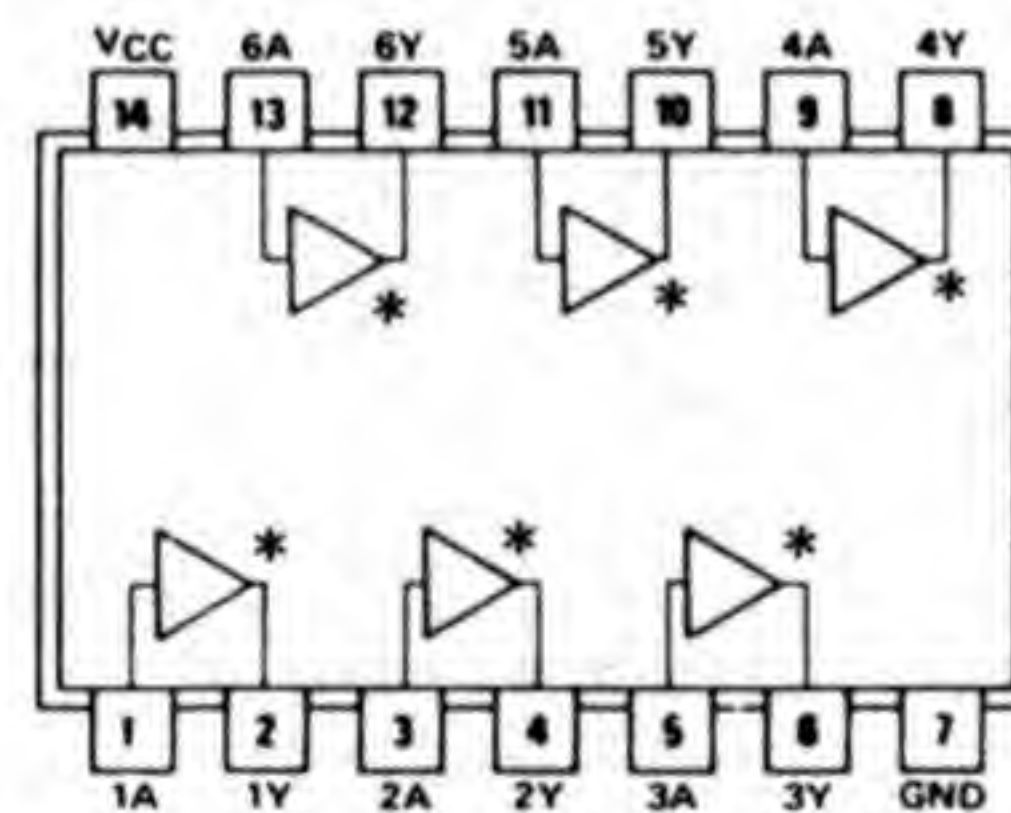


$$Y = \overline{ABCD}$$

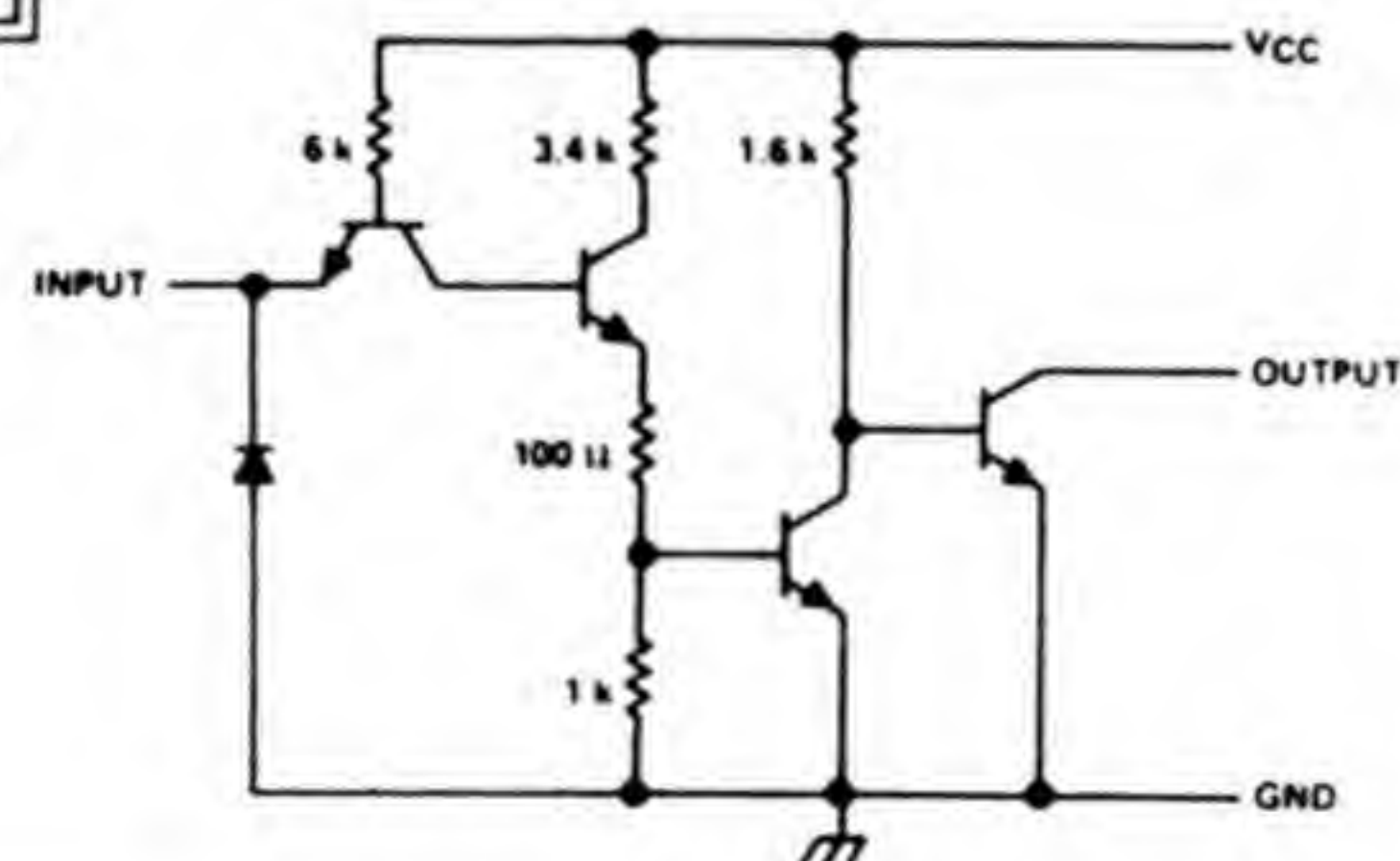
- PNP入力による低入力電流化
- ヒステリシス幅が0.9V (TYP) と広いため、波形整形などに最適

7417

HEX O. C. BUFFERS

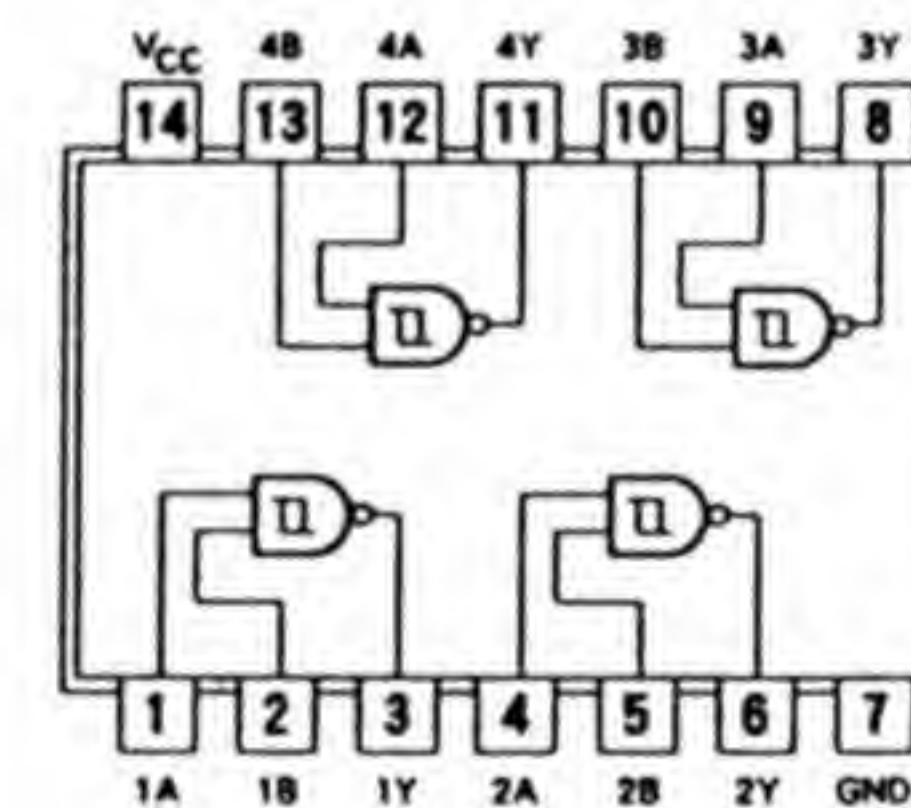


○高耐圧バッファ(15V)



7424

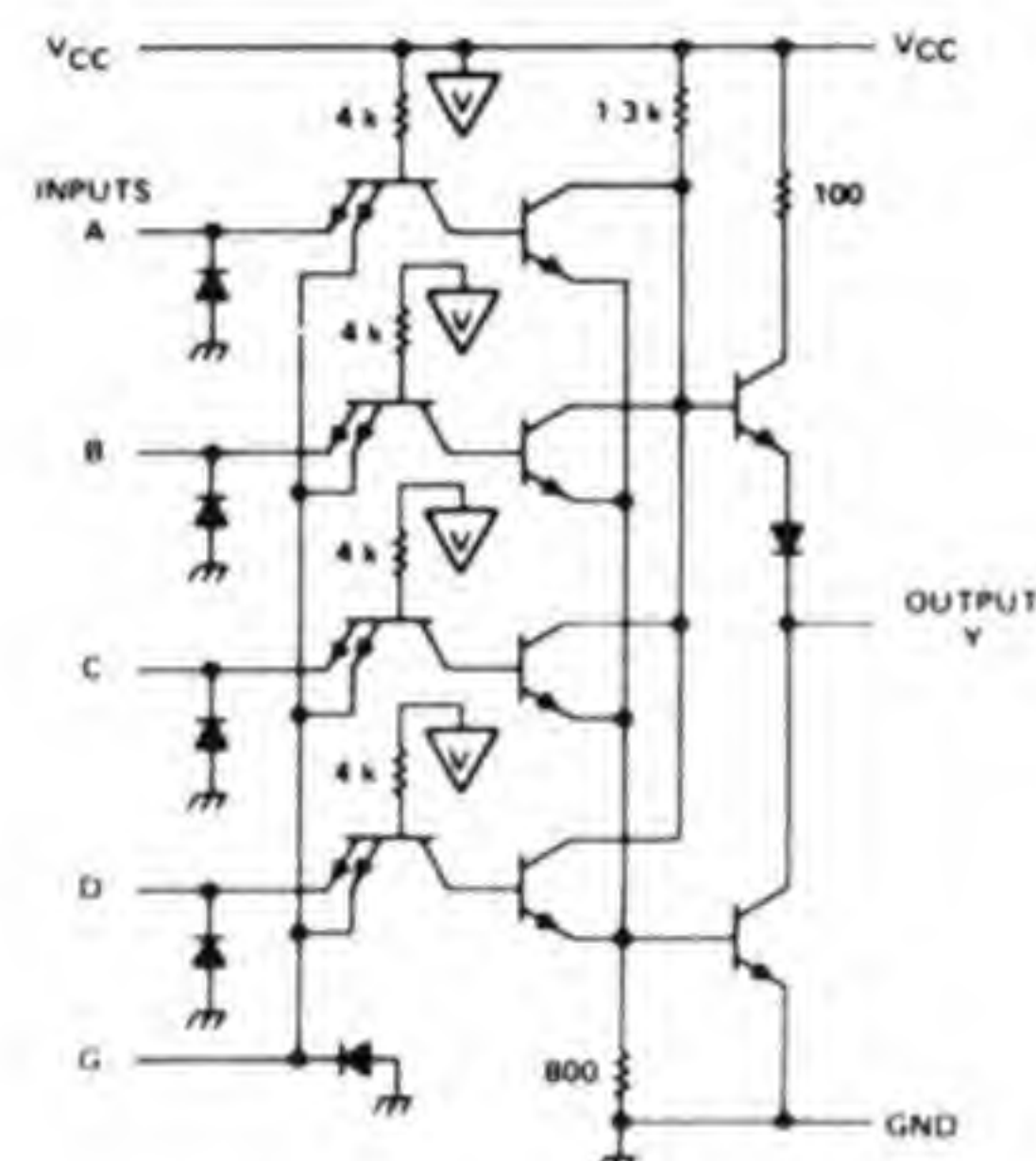
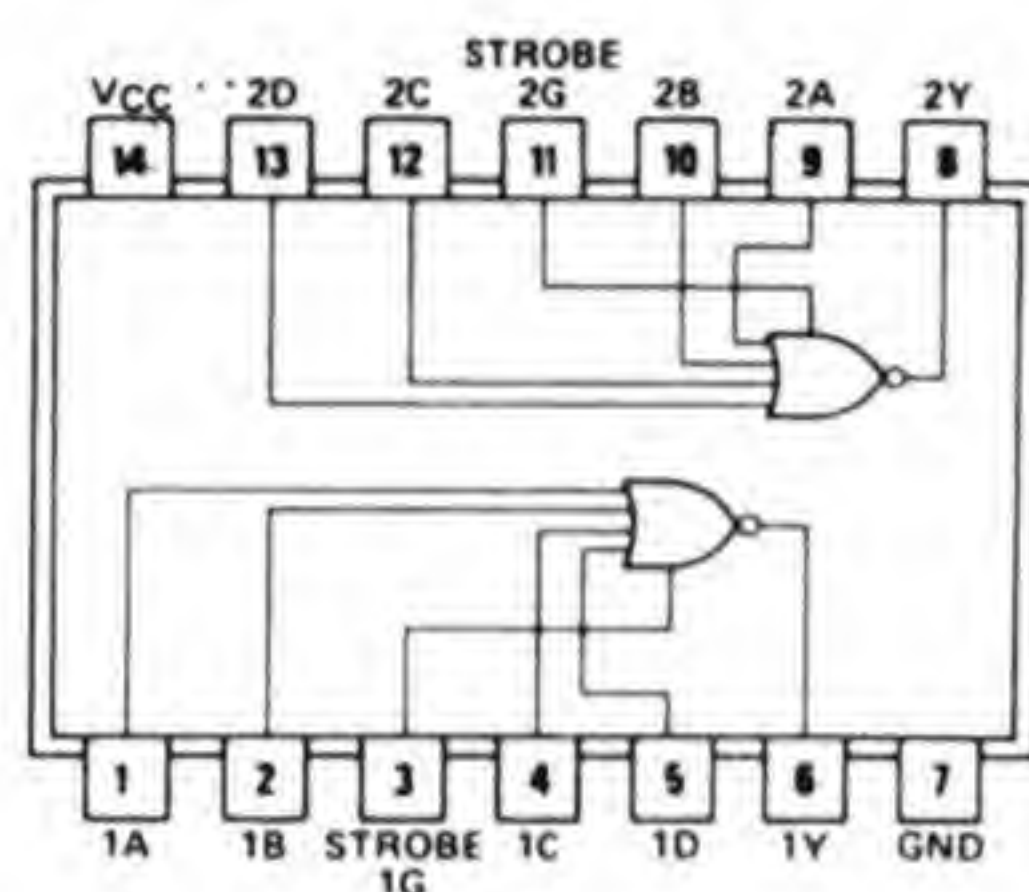
QUADRUPLE 2-INPUT POSITIVE-NAND SCHMITT TRIGGERS



$$Y = \overline{AB}$$

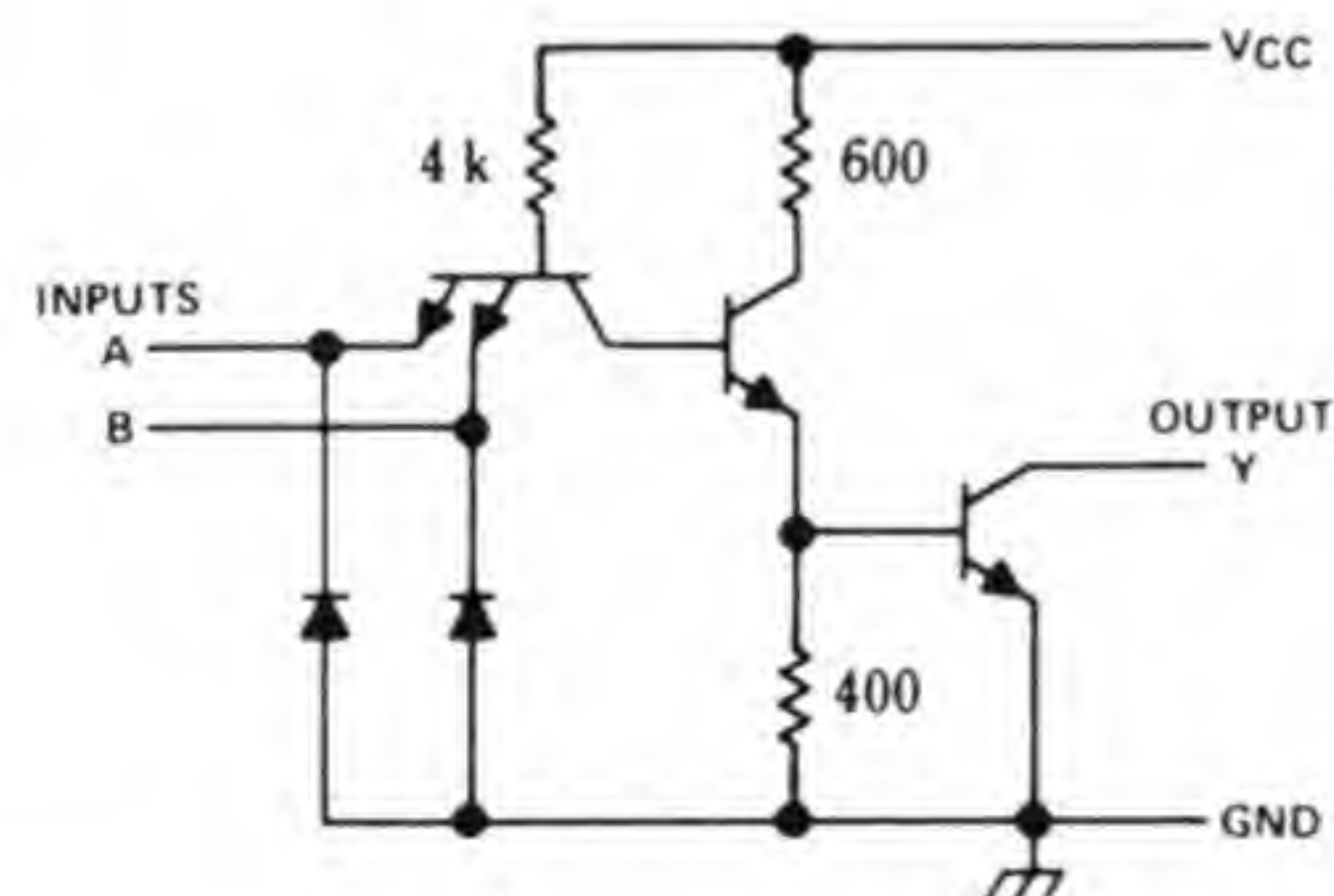
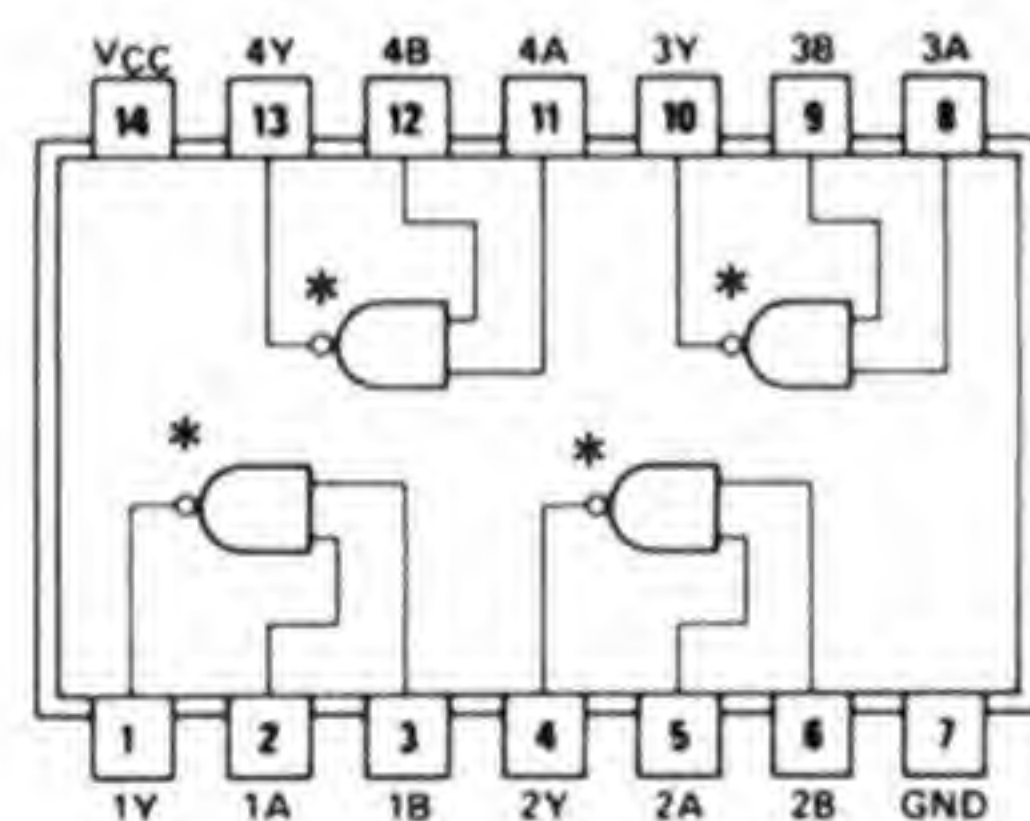
- PNP入力による低入力電流化
- ヒステリシス幅が0.9V (TYP) と広いため、波形整形などに最適

DUAL 4 INPUT NOR (WITH STROBE)



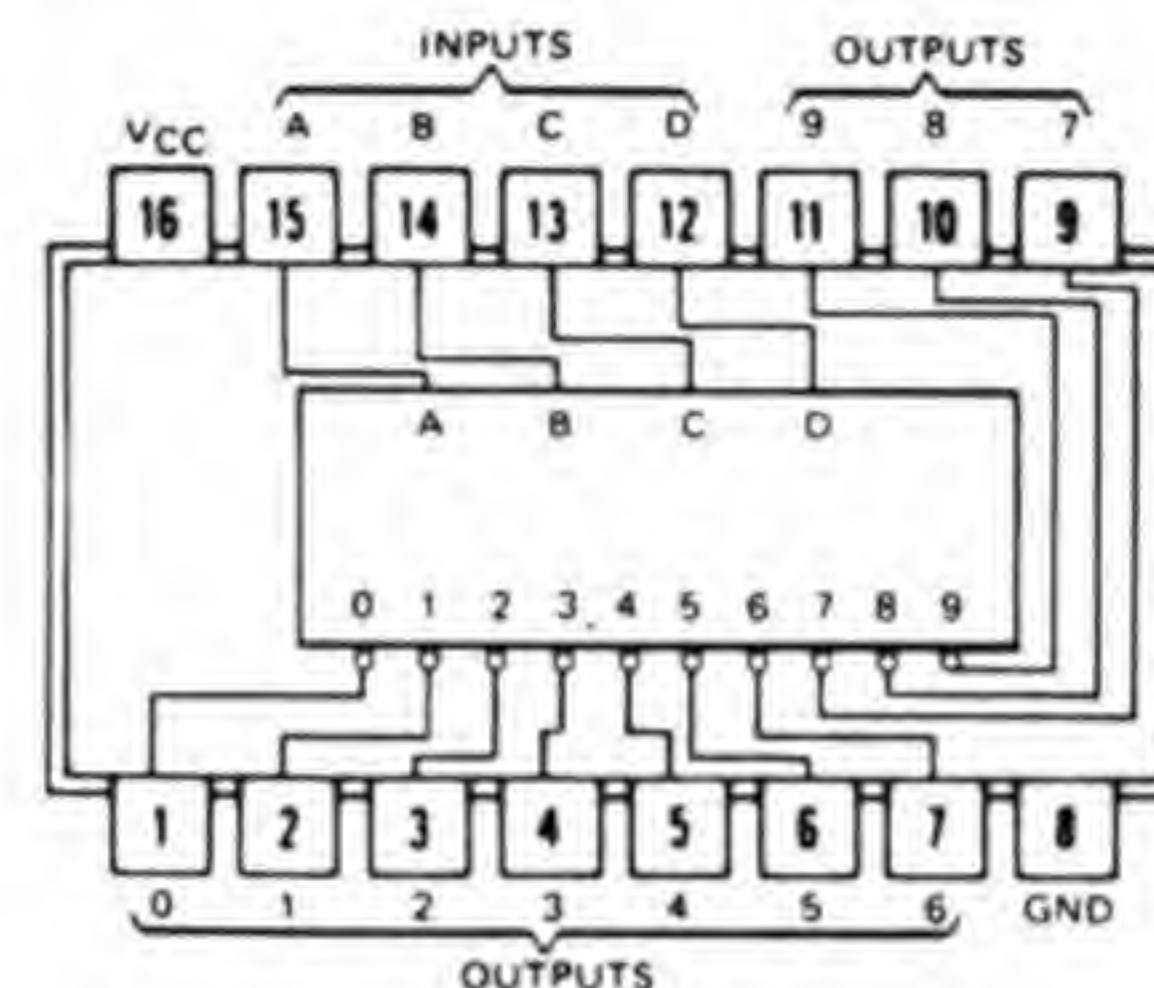
- 7423からEXP端子を省いたタイプ
- ストローブ入力是一般の入力に比べて4倍重いので注意

QUAD 2 INPUT O. C. NAND BUFFERS

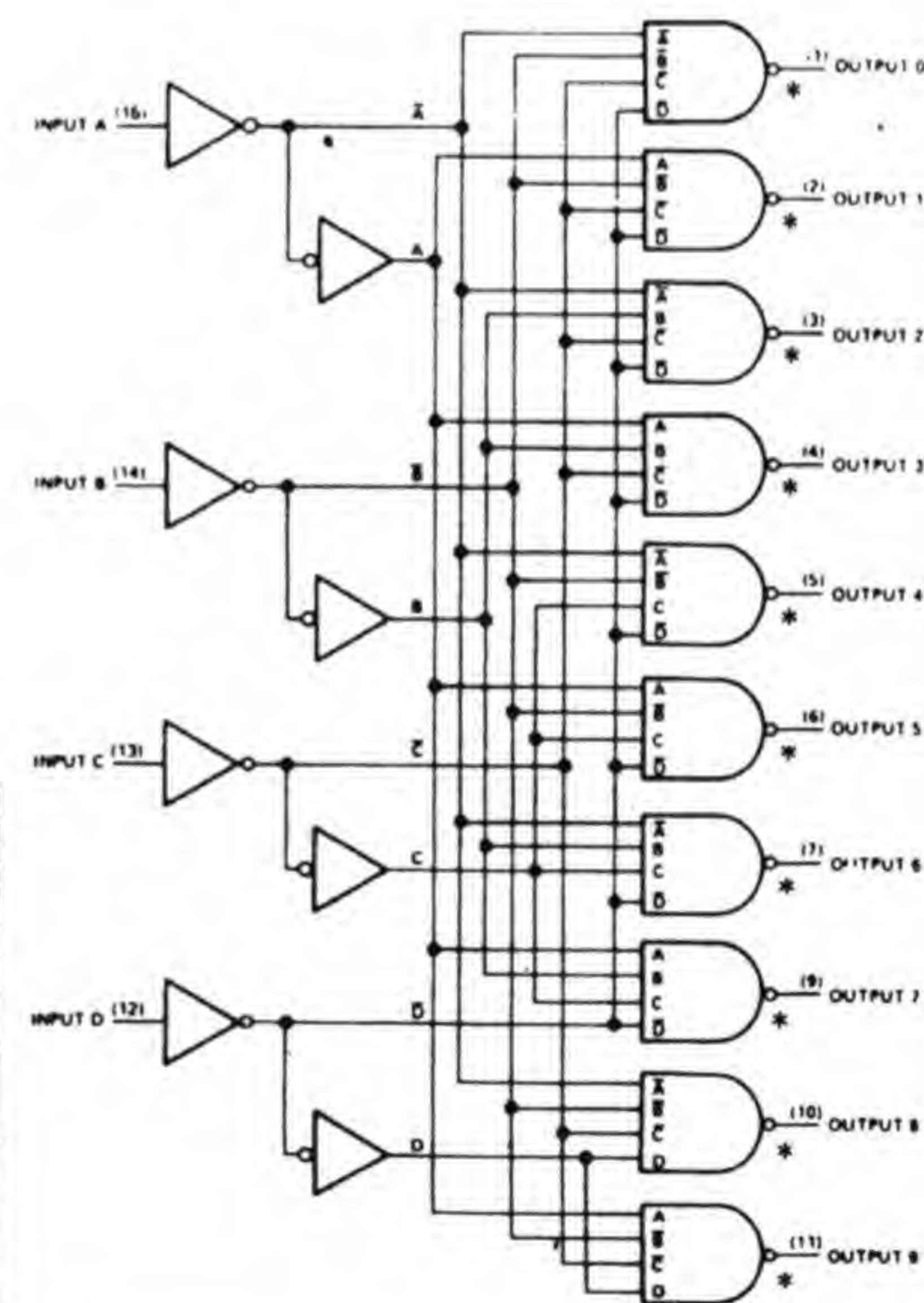


- 7401のバッファタイプ
- 入出力の向きは一般のゲートと逆
(7401と同じ)
- 特性は7438と同じ

O. C. BCD TO DECIMAL DECODER/DRIVER



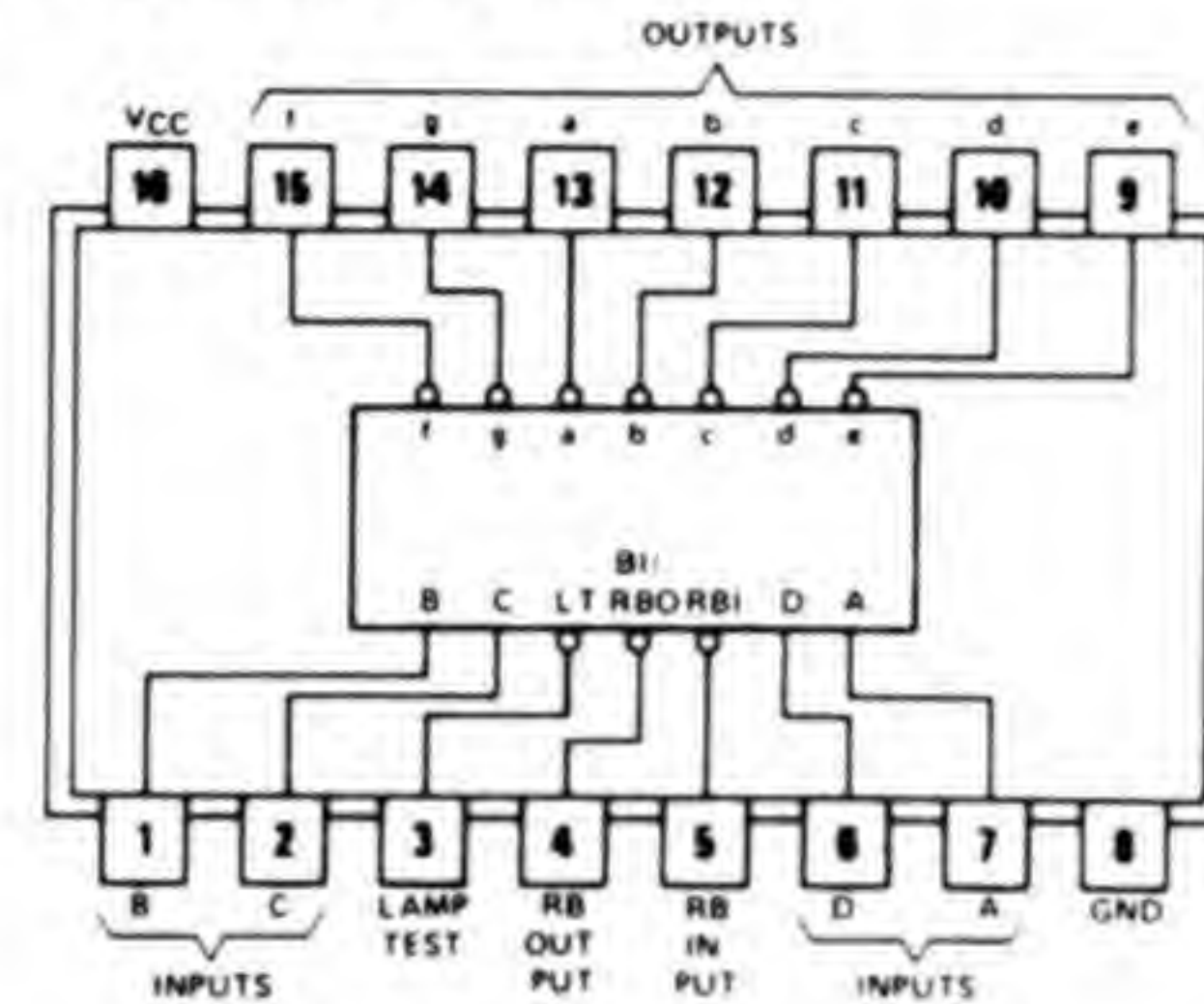
- 7442のオープンコレクタ、バッファタイプ
- 出力端子の最大流入電流80mA
- 74145の最大出力耐圧を30Vにしたタイプ
- 入力に加えた2進コードにより選ばれた出力がLになる

[illegible]

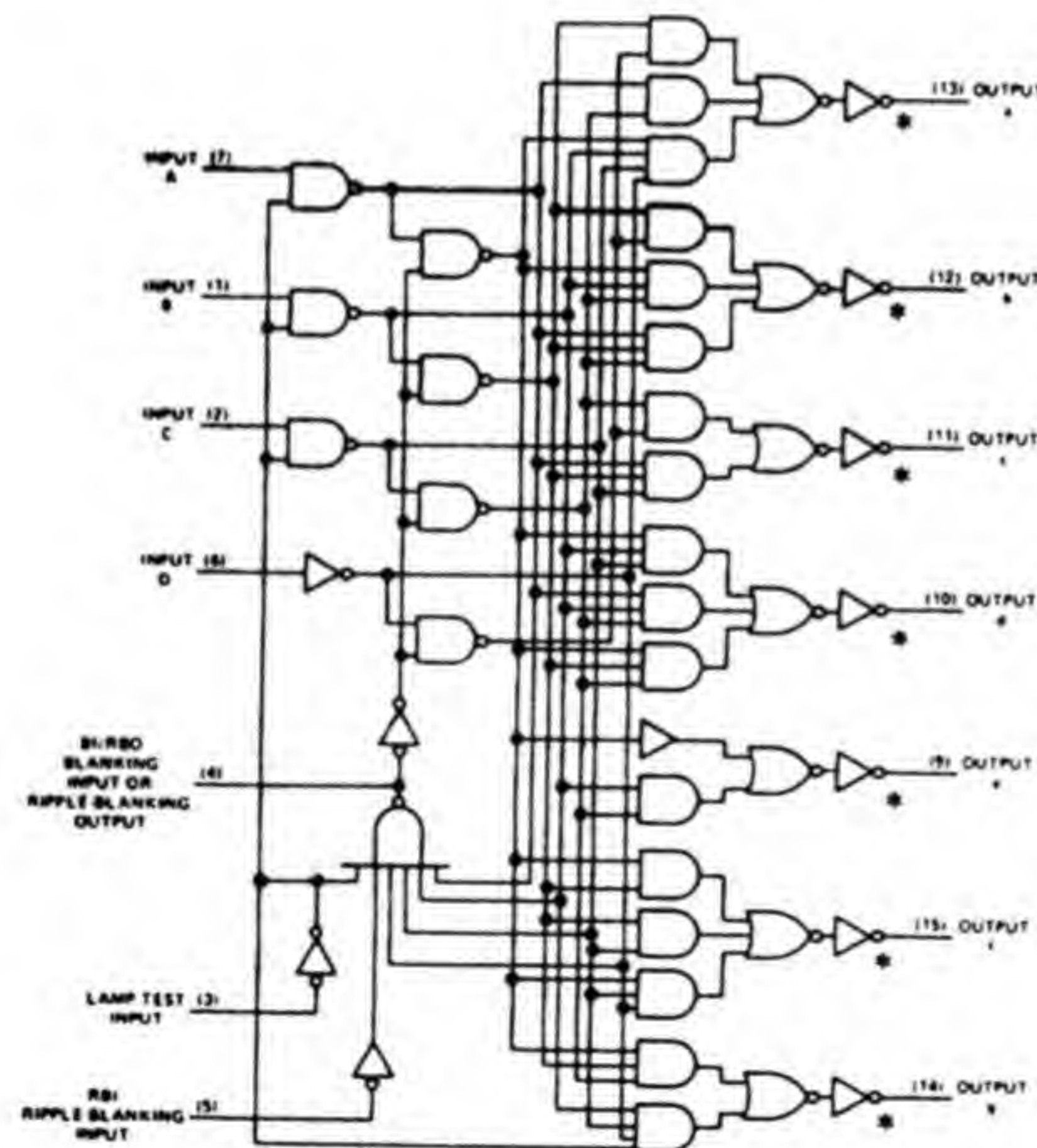
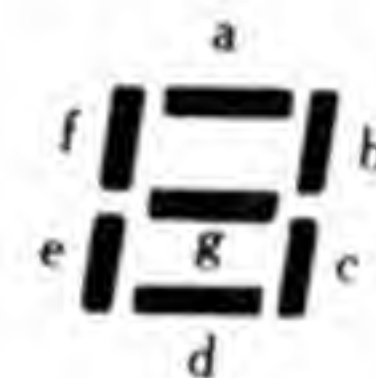
7446, 7450, 7453

7446

BCD TO 7 SEGMENT DECODER DRIVER

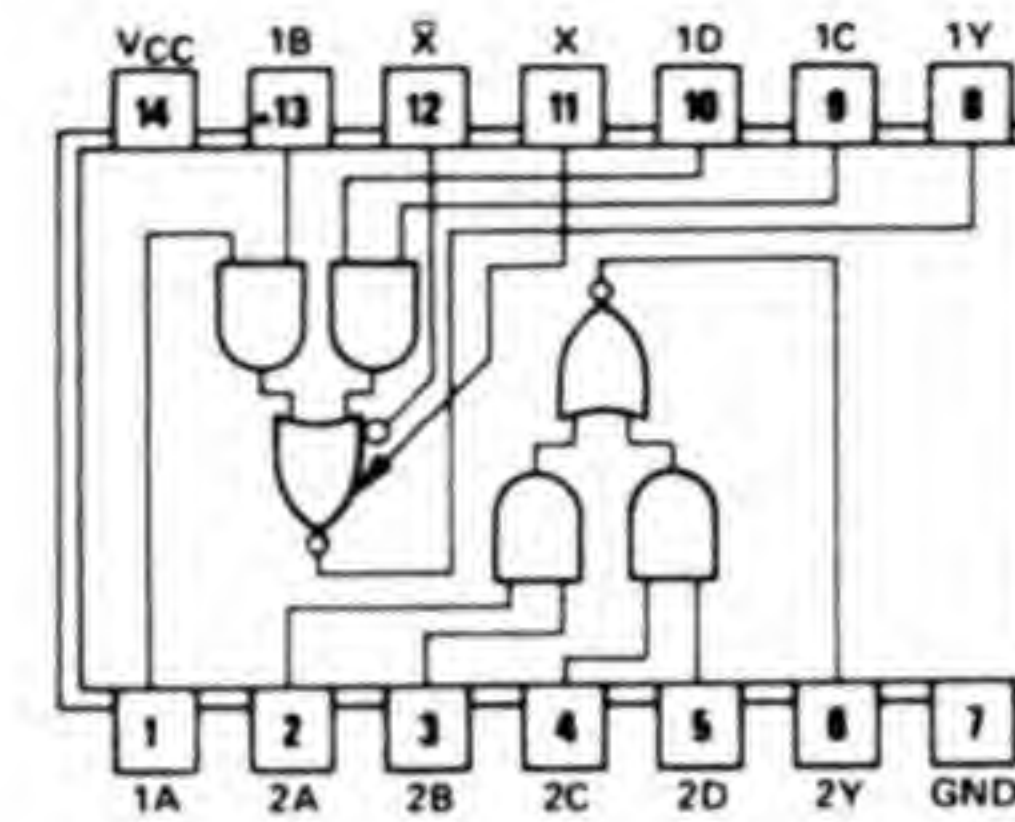


- オープンコレクタ出力
- 7446と7447は出力耐圧が異なるのみ他は同一
- 7446と74246, 7447と74247はそれぞれ6および9の字形が異なるのみで他は同一。したがって交換可能

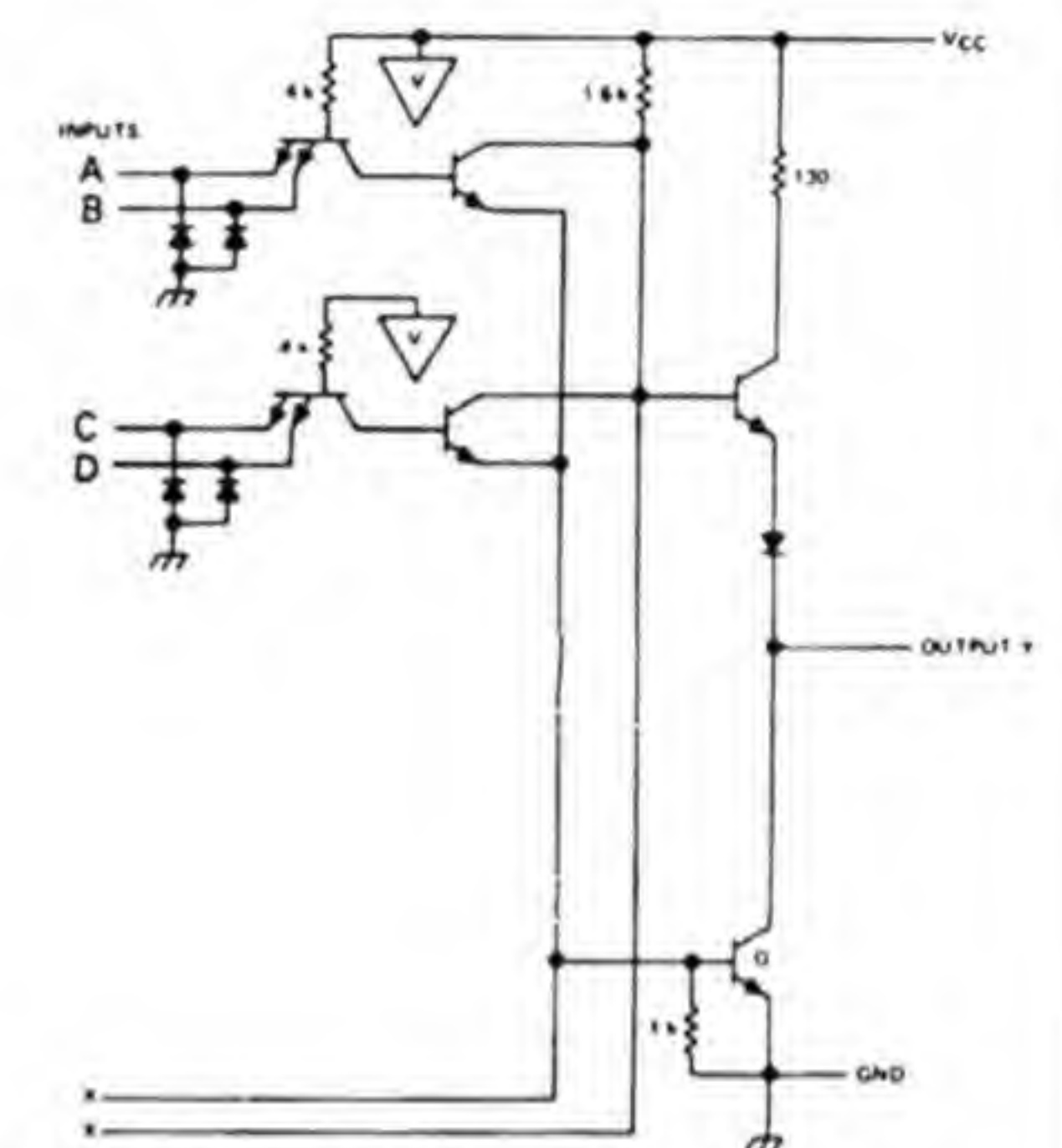


7450

DUAL EXP. 2W-2 INPUT AND-OR-INV



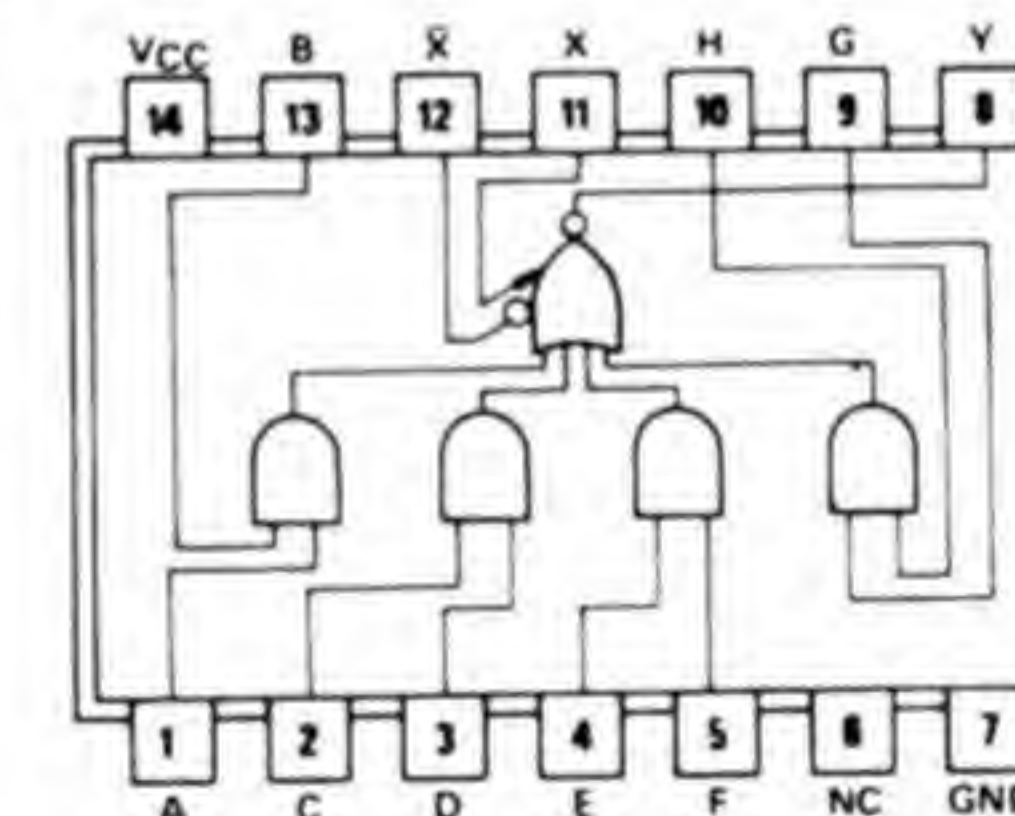
- 7451にExp端子を付けたタイプ
- 7460の項参照



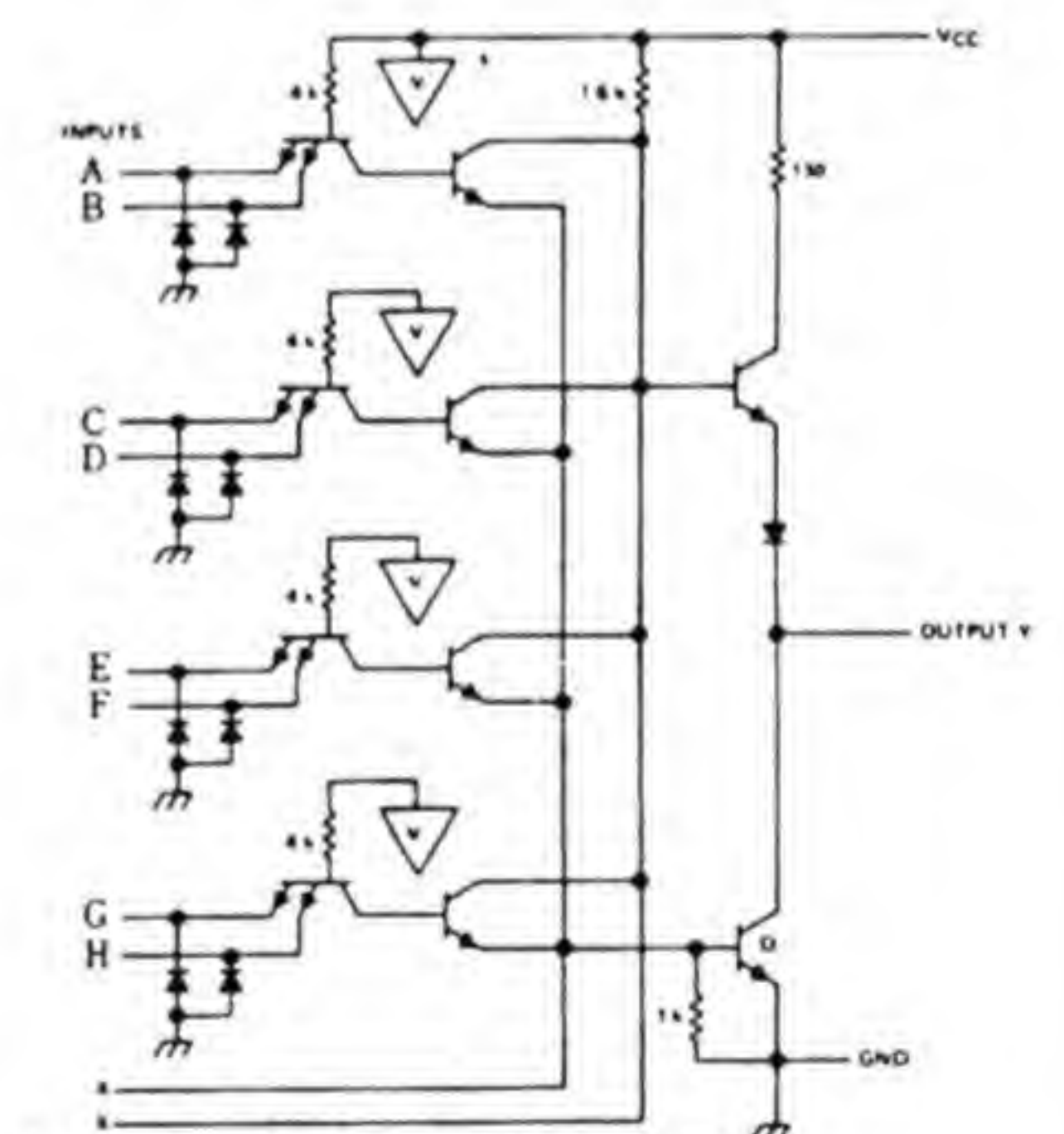
エキスパンダ・ゲートを付けないときは、
X, \bar{X} はオープンにする

7453

EXP. 4W-2 INPUT AND-OR-INV



- 7454にExp端子を付けたタイプ
- 7460の項参照

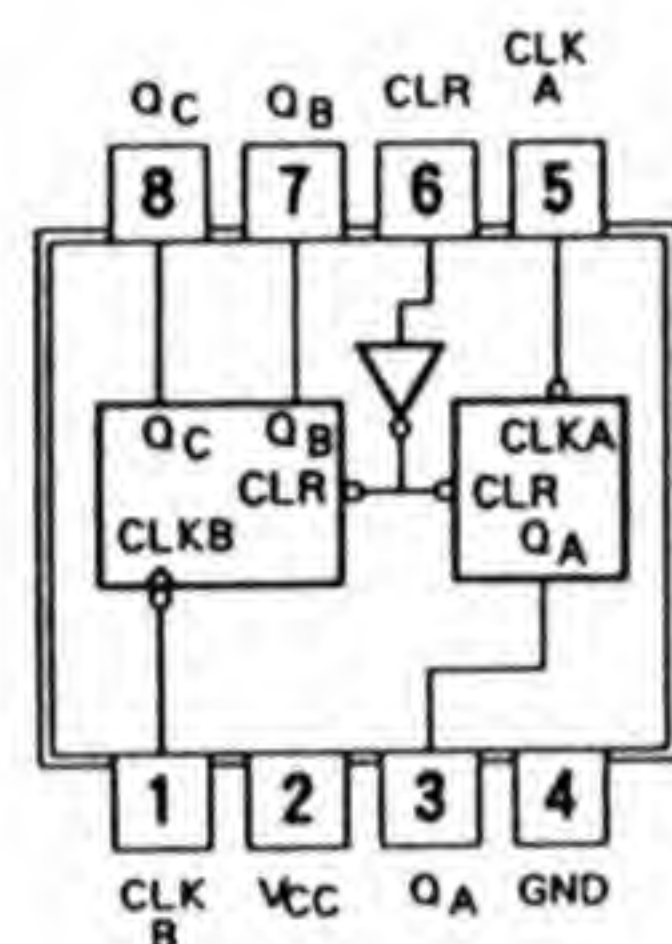


If expander is not used, leave X and \bar{X} open.

7456, 7457, 7463, 7465

7456

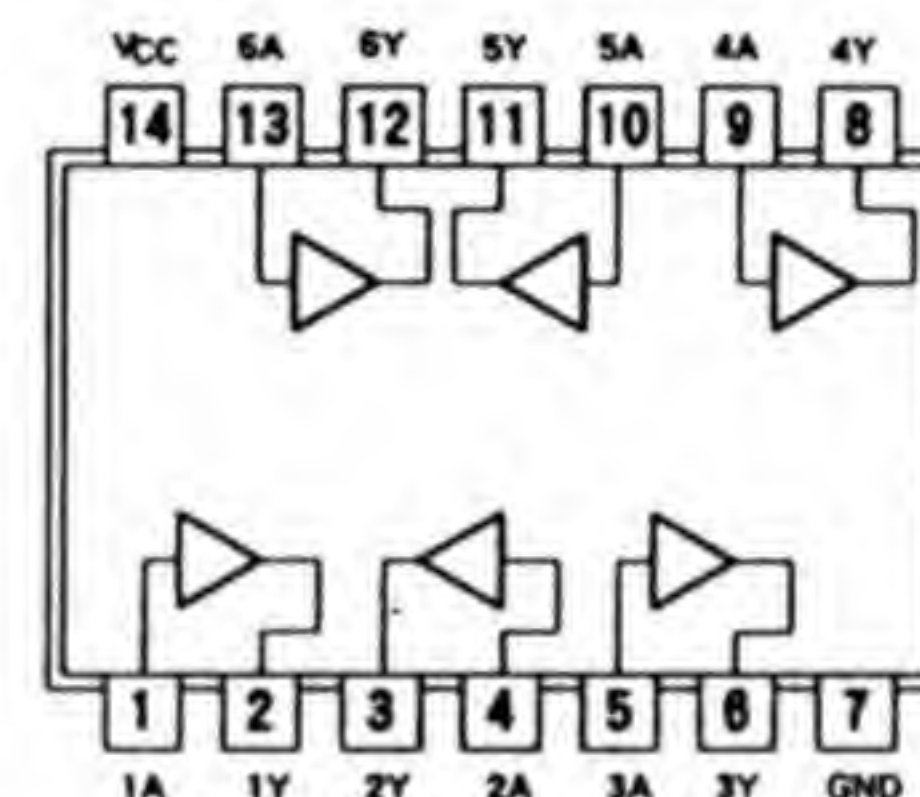
50-TO-1 FREQUENCY DIVIDERS



- 周波数を $1/5 (Q_A)$, $1/5 (Q_B)$, $1/2 (Q_C)$ で分周
- 8ピン・デュアル・インライン (Pパッケージ)
- 最大動作周波数は標準 25MHz

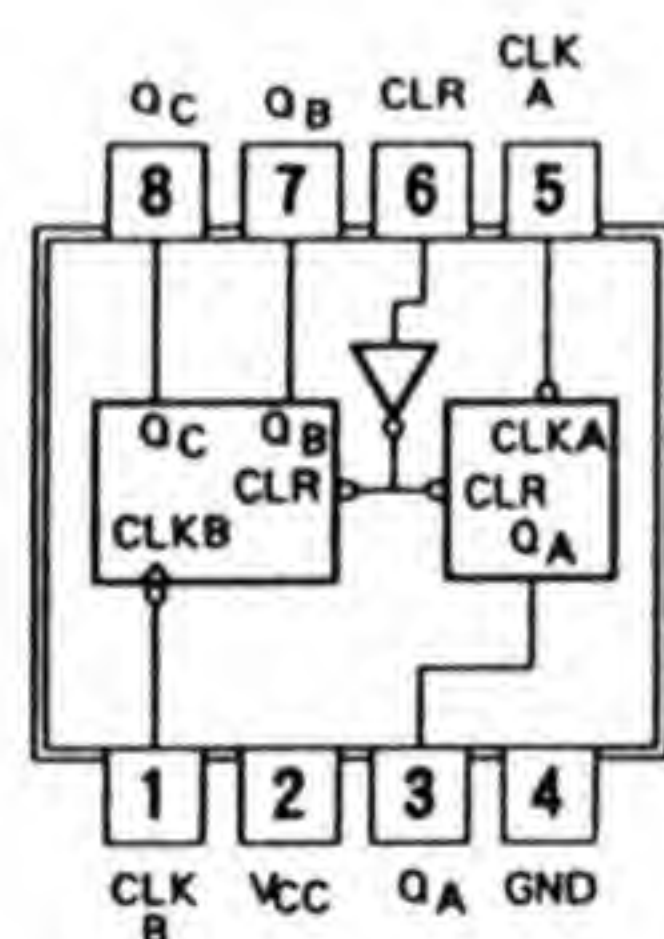
7463

HEX CURRENT-SENSING INTERFACE GATES



7457

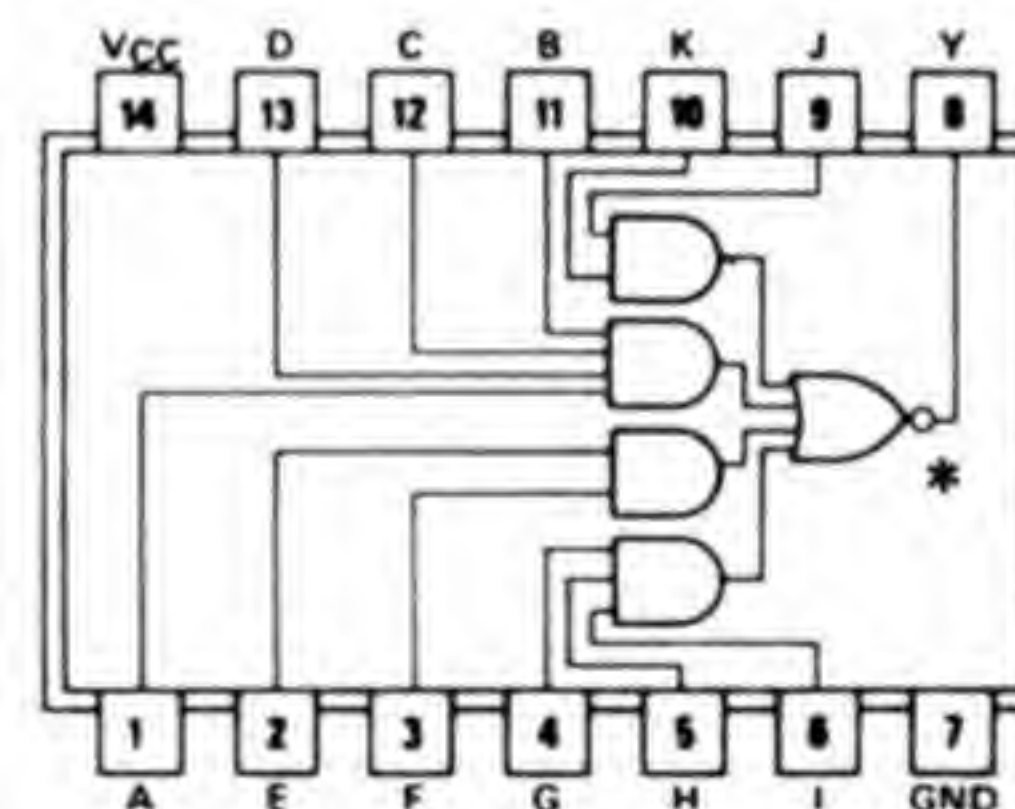
60-TO-1 FREQUENCY DIVIDERS



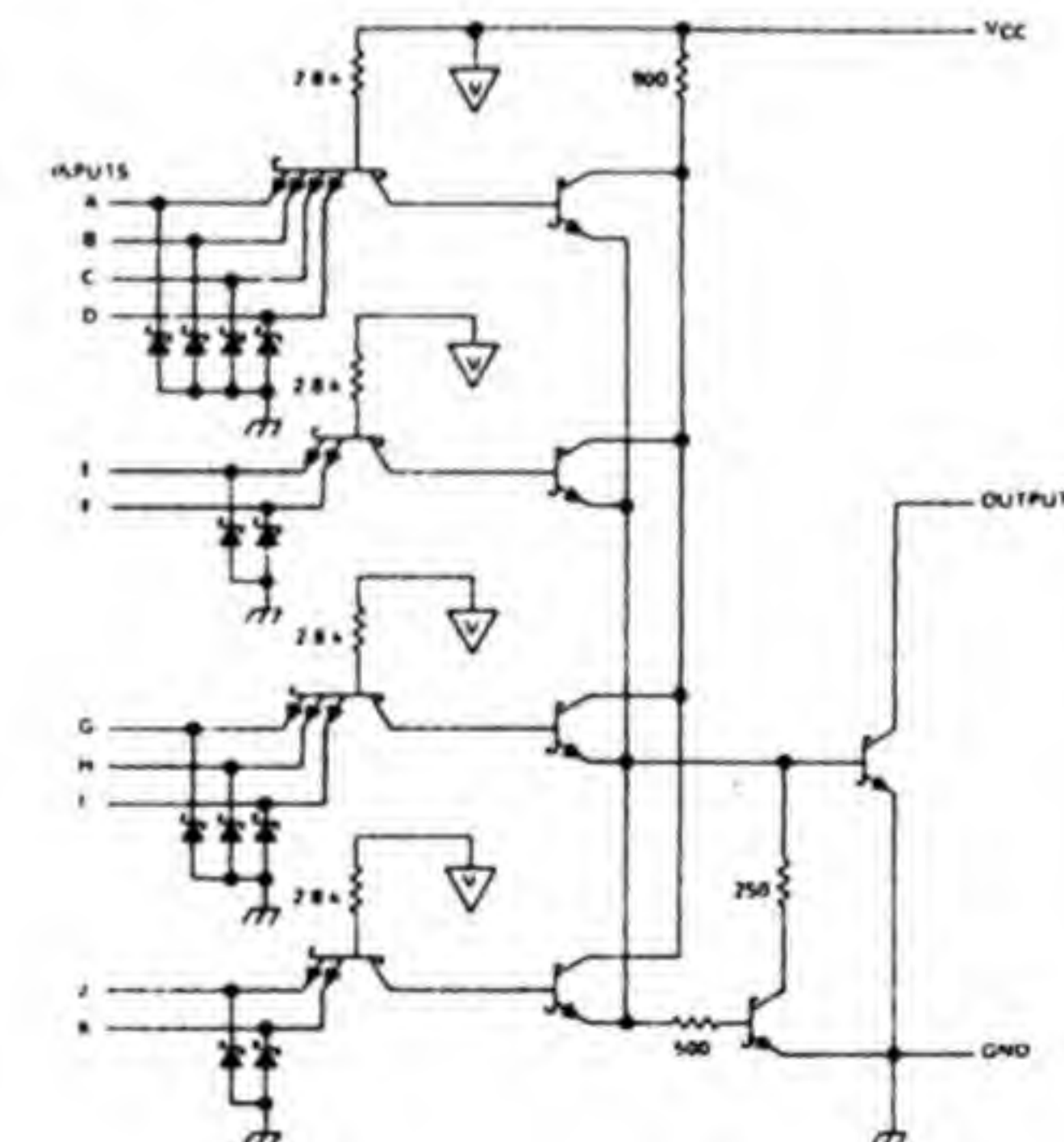
- 周波数を $1/5 (Q_A)$, $1/5 (Q_B)$, $1/2 (Q_C)$ で分周
- 8ピン・デュアル・インライン (Pパッケージ)
- 最大動作周波数は標準 25MHz

7465

4-2-3-2 INPUT O. C. AND-OR-INV

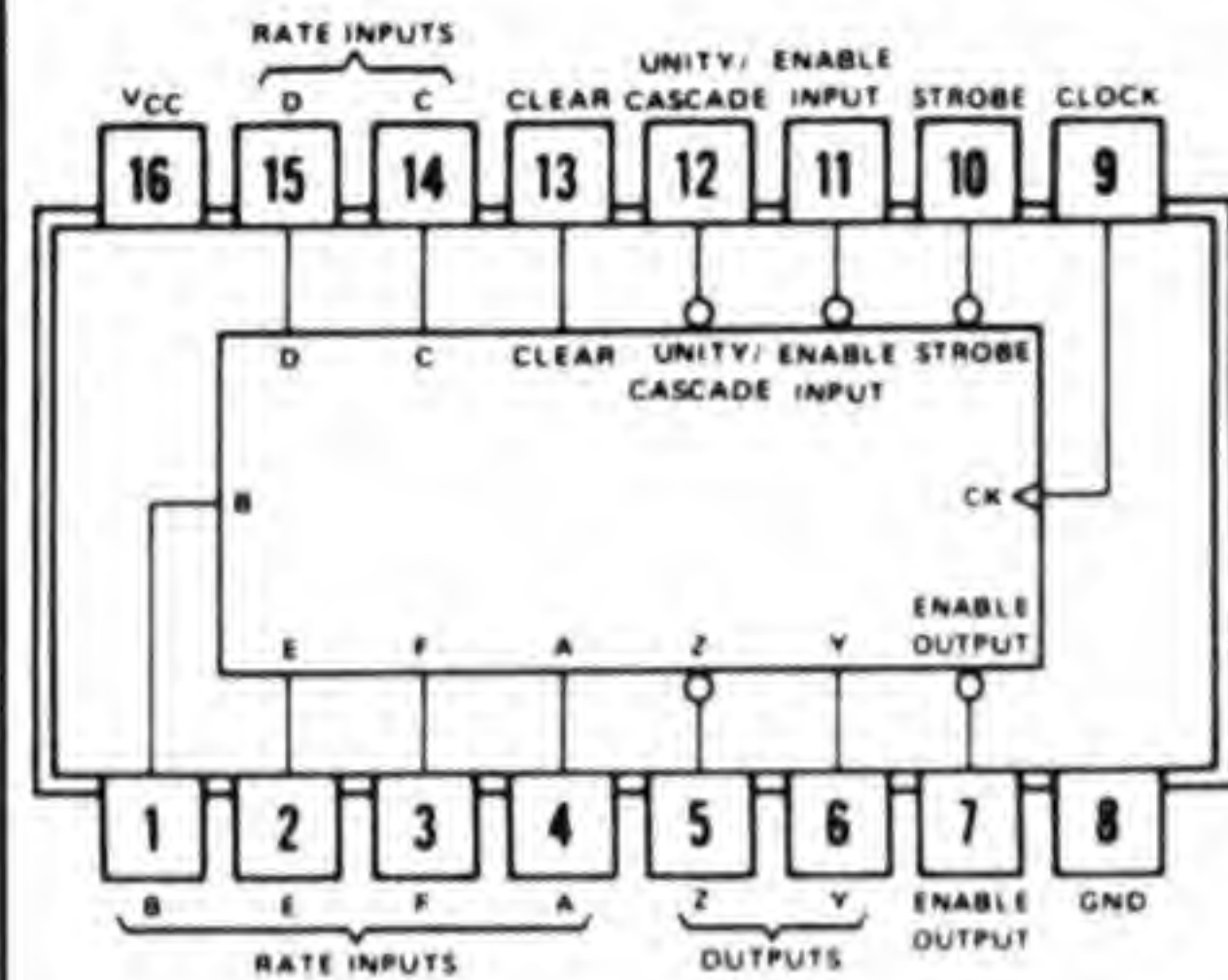


○74S64のオープンコレクタタイプ



7497, 74121, 74124, 74171

7497 6-BIT SYNCHRONOUS BINARY MULTIPLIERS

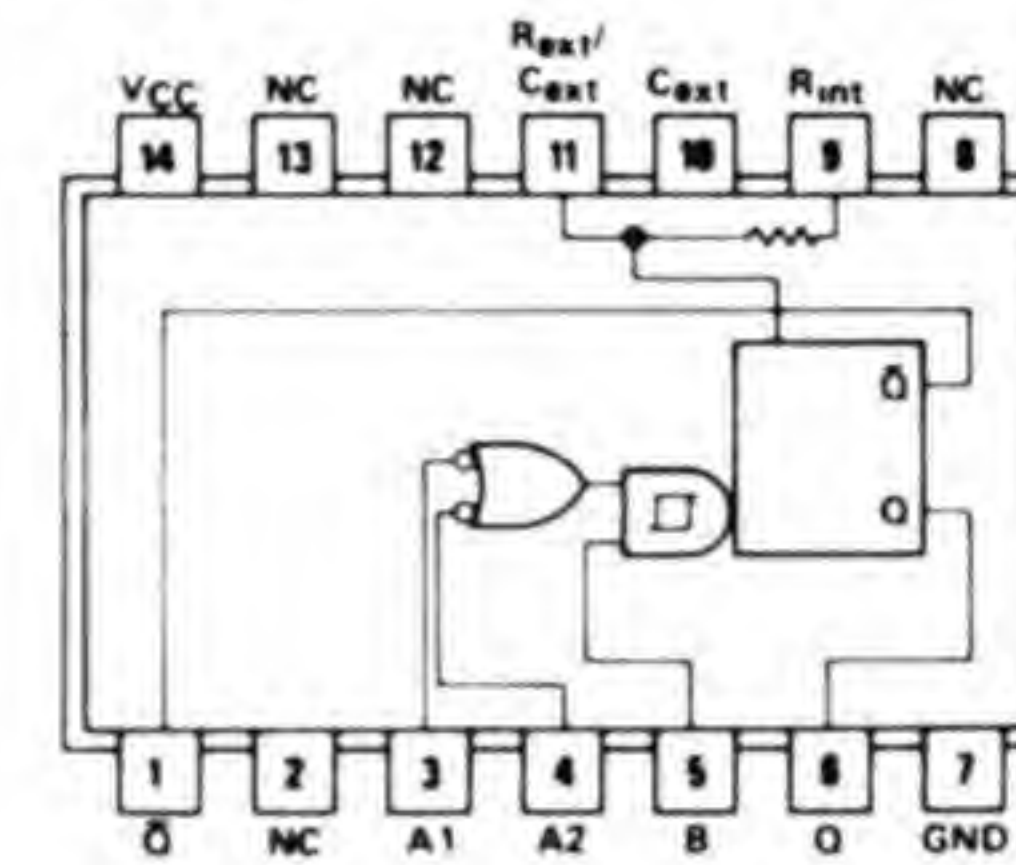


A～F入力 (FがMSB) をMとすると、
出力がクロックfより、

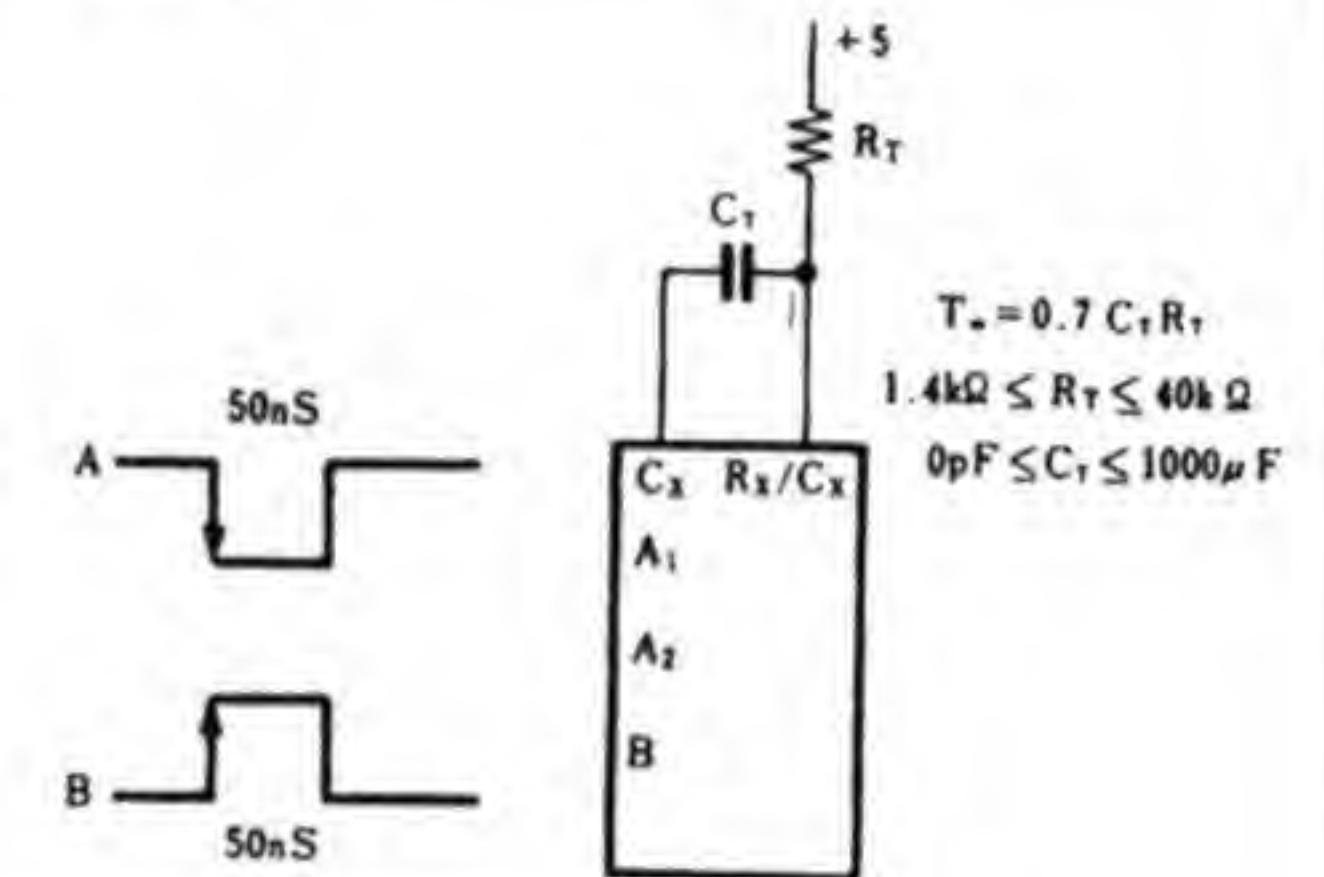
$$f_{OUT} = \frac{M}{64} f$$

と分周できる ($0 \leq M \leq 63$)

74121 SINGLE SHOT

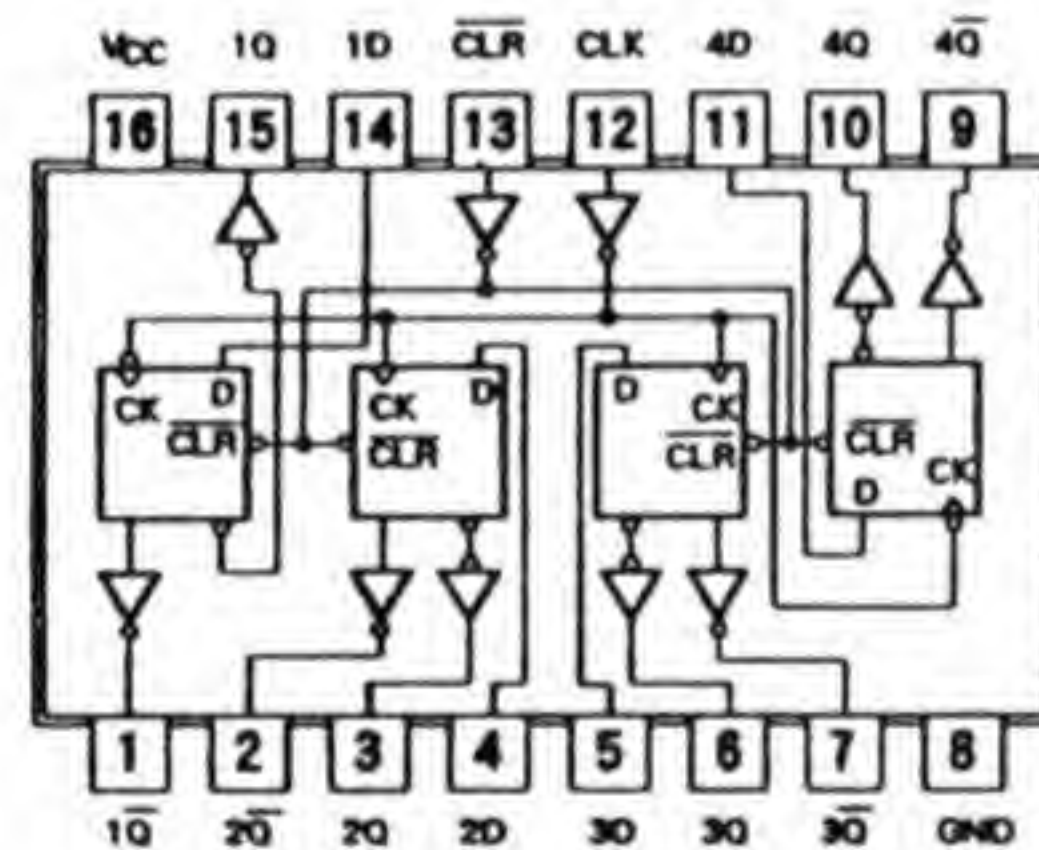


○A入力, B入力ともシュミット入力



INPUTS			OUTPUTS	
A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	L	H		
L	H	H		
L	L	H		
L	X	↑		
X	L	↑		

74171 QUAD D-TYPE FLIP-FLOPS WITH CLEAR

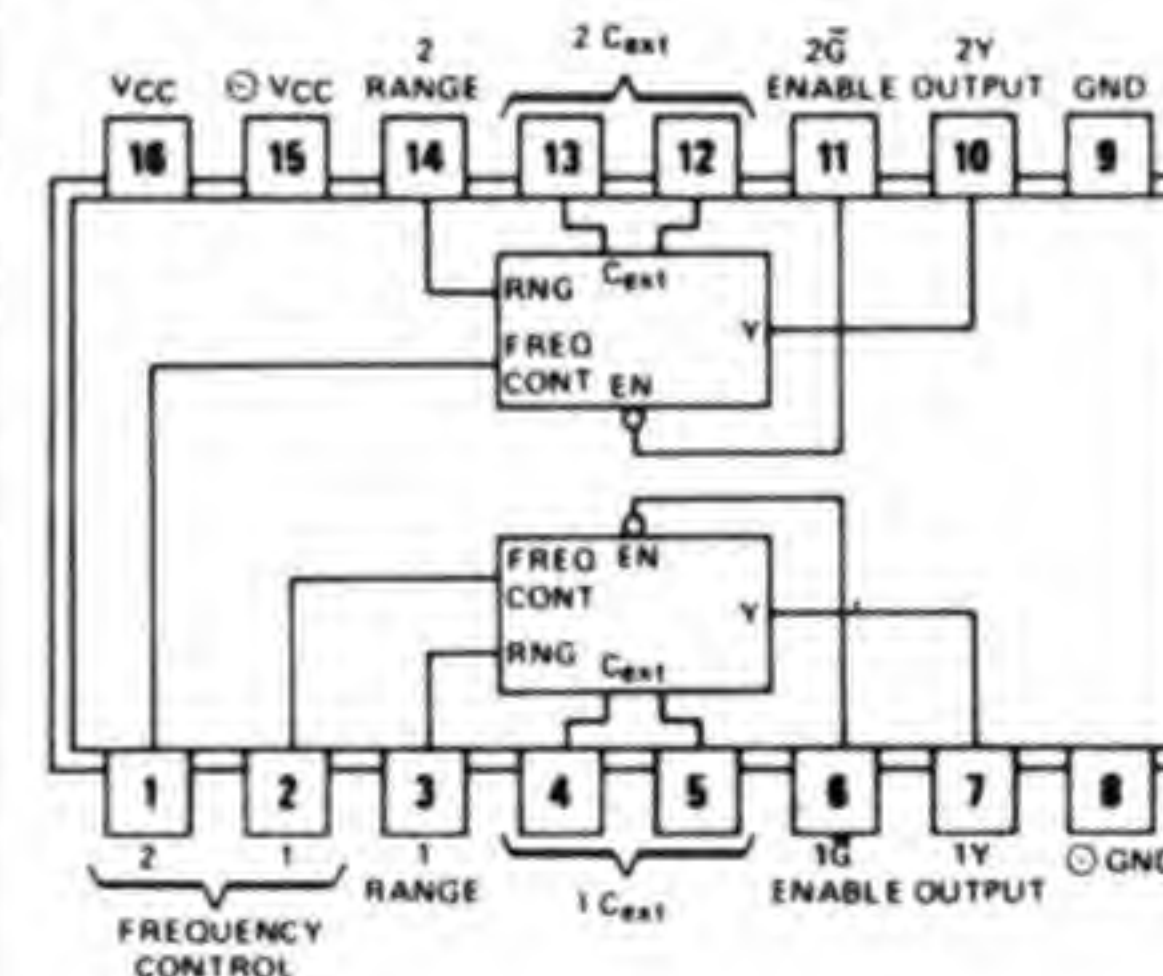


- コンプリメンタリQ, \bar{Q} 出力
- クロックとクリア入力にバッファを付加することにより低入力電流化

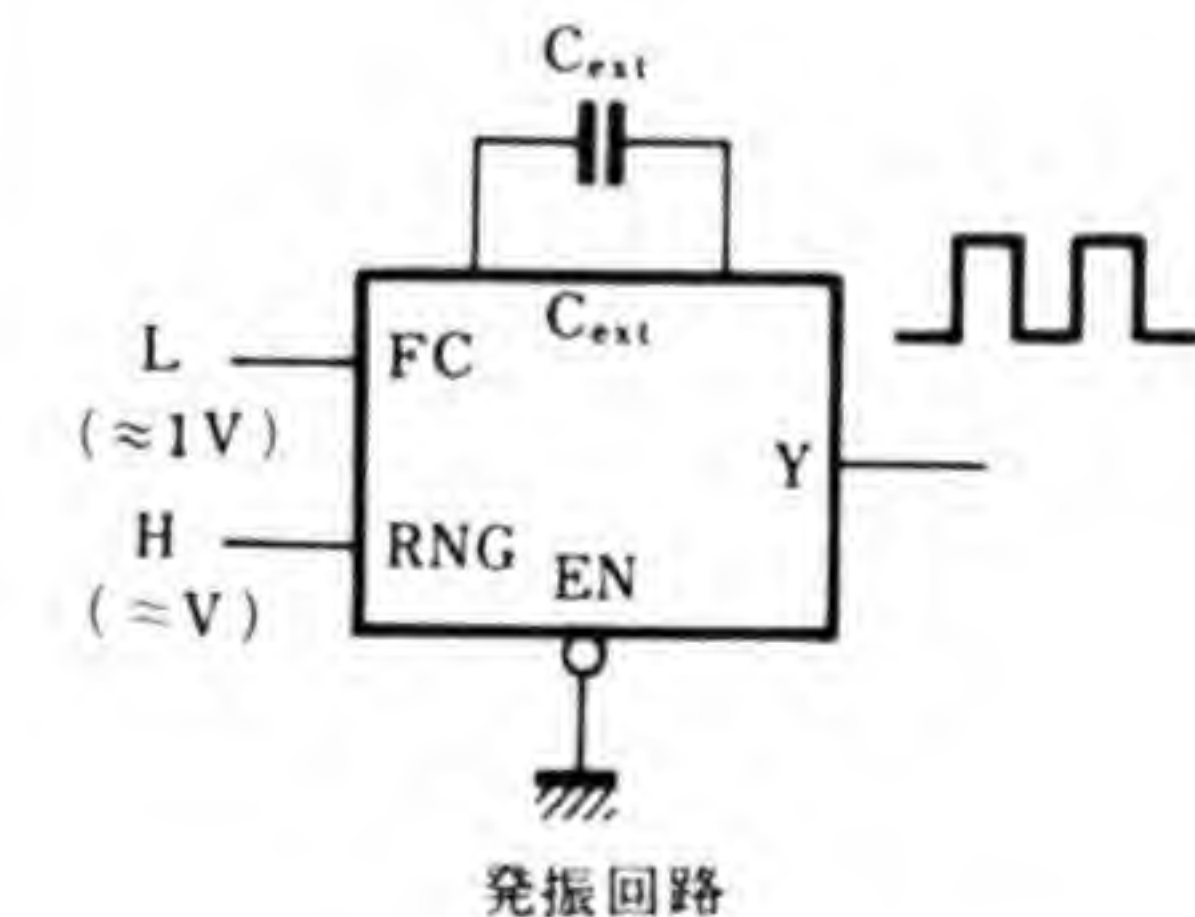
入 力			出 力	
\bar{CLR}	CLOCK	D	Q	\bar{Q}
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
L	L	X	00	$\bar{00}$

74124 DUAL VCO

DUAL VCO



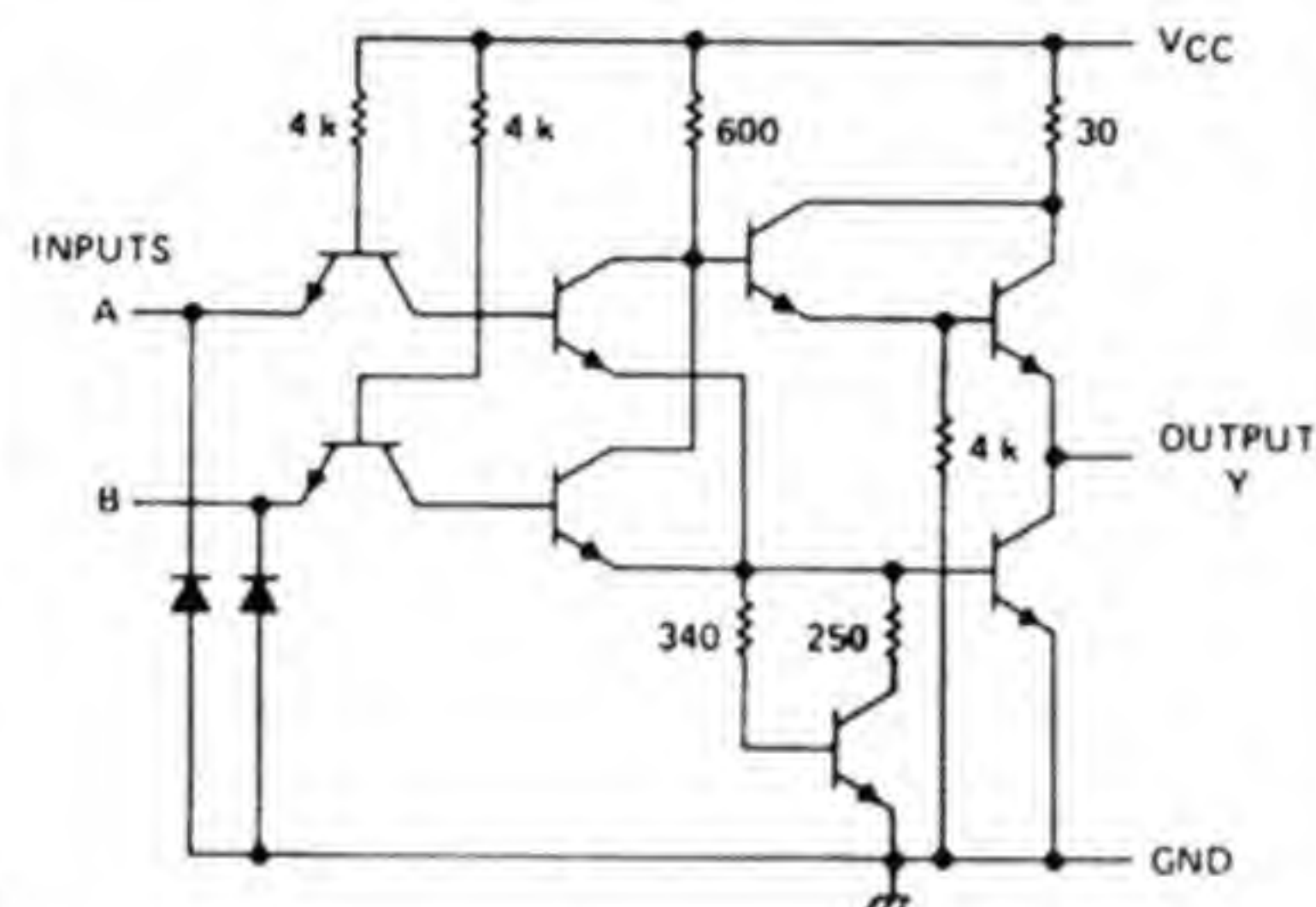
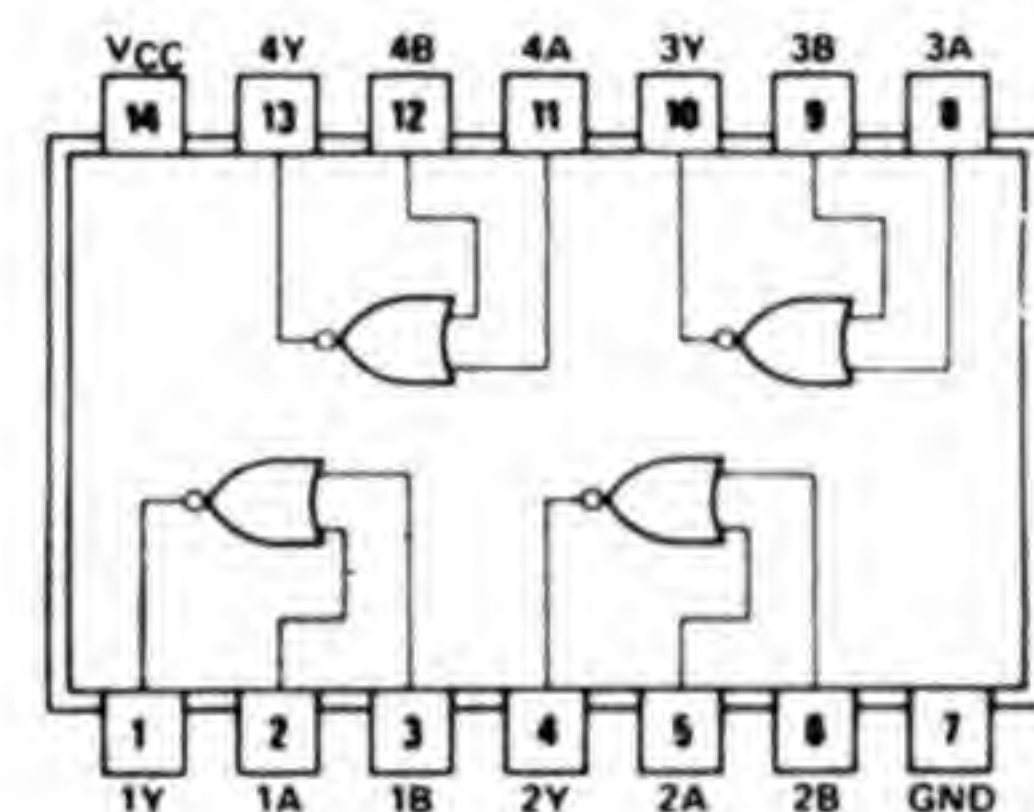
C_{ext} は水晶を用いてもよい



FC入力はL, RNG入力はHの
ときいちばん安定

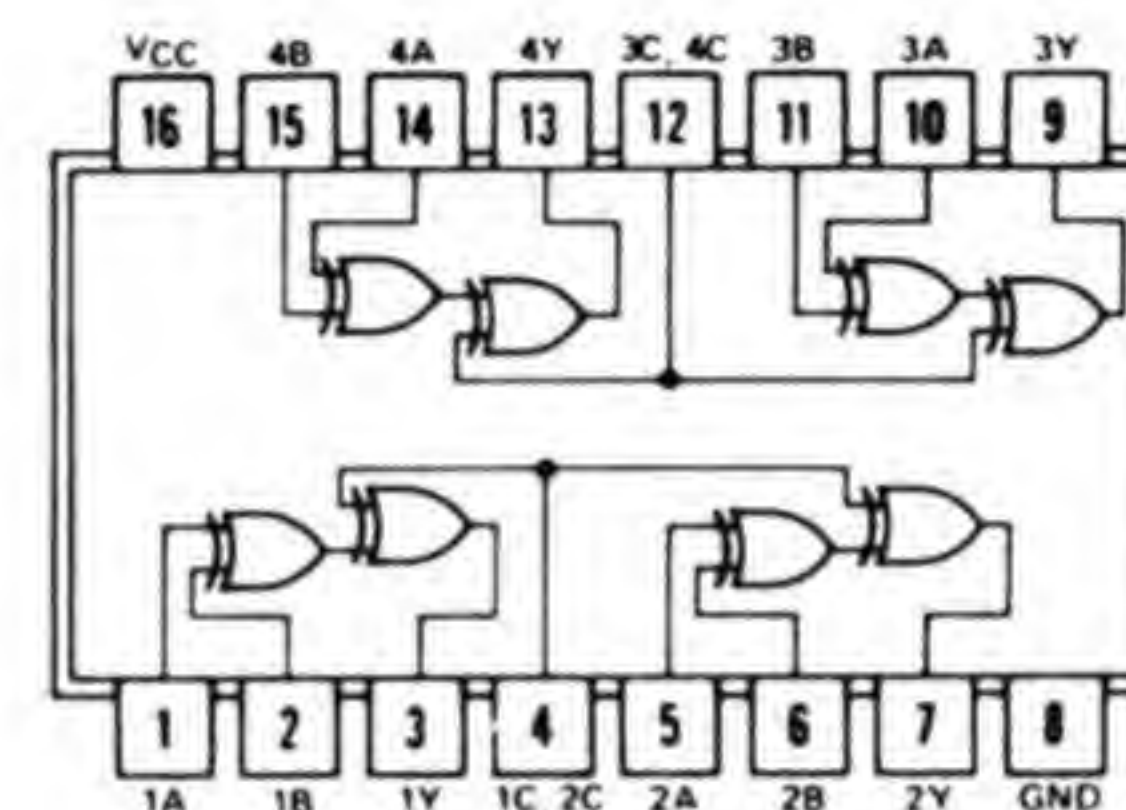
74128, 74134, 74135, 74140

74128 QUAD 2 INPUT NOR LINE DRIVER (50 Ω)



○ 7428の出力流出電流を増加したタイプ

74135 QUAD 2 INPUT EX-OR/NOR



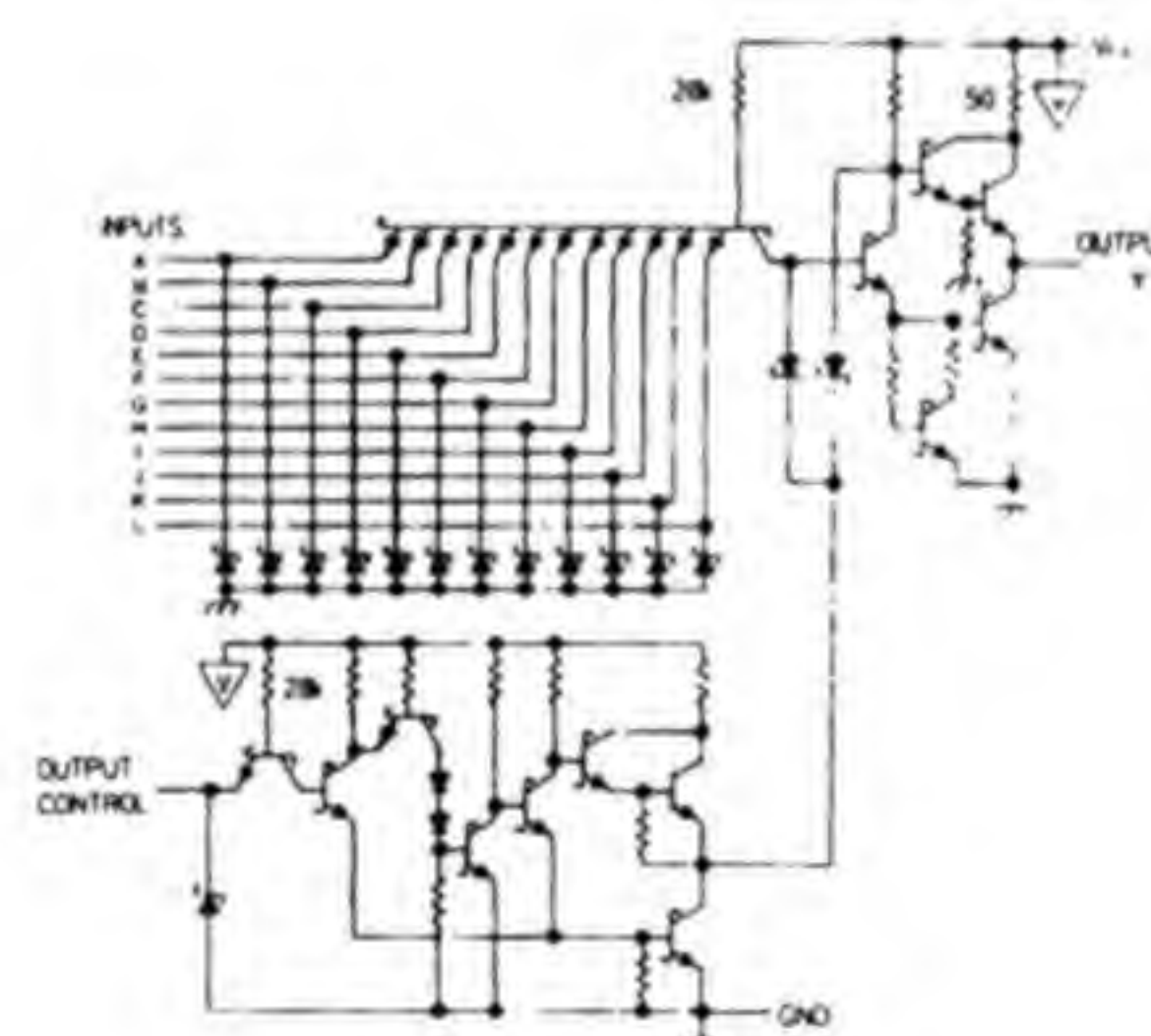
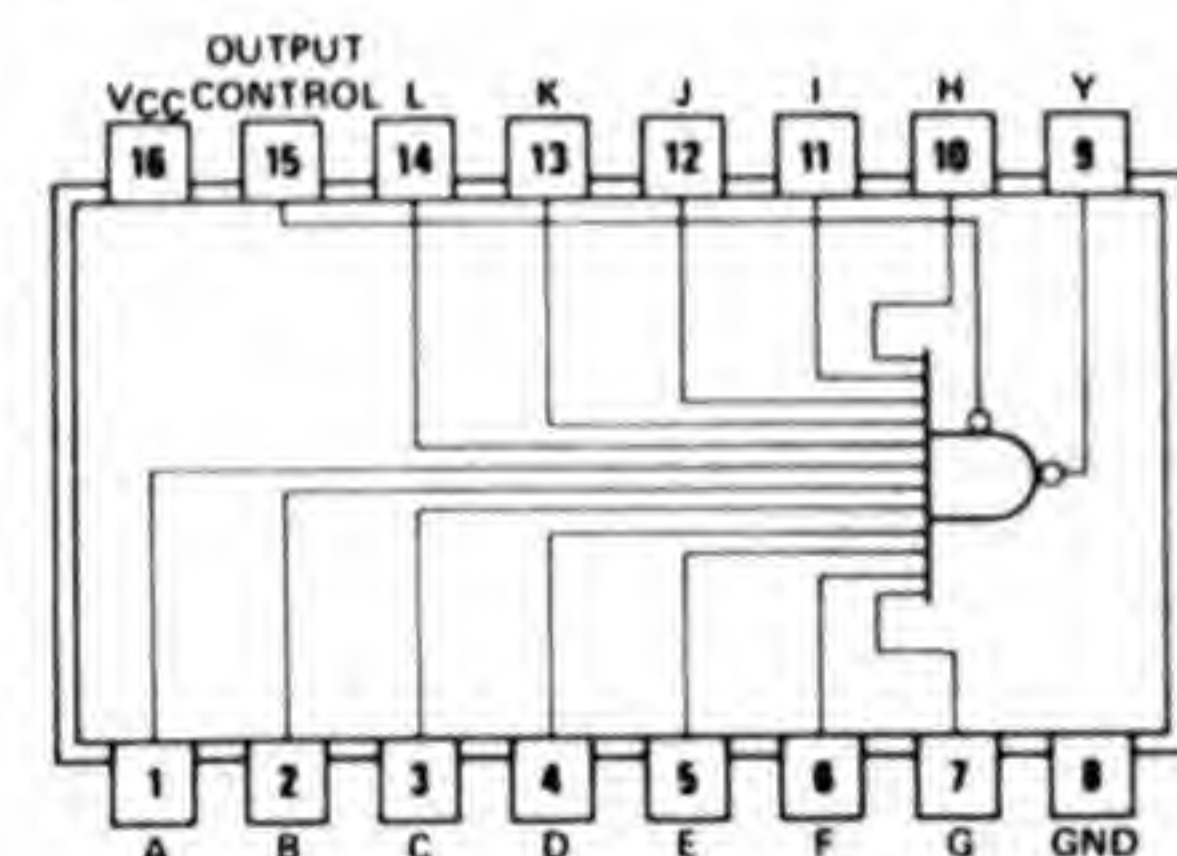
$$Y = (A \oplus B) \oplus C = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C$$

○ CがLのときは Ex-OR

○ CがHのときは Ex-NOR

入力			出力
C	B	A	Y
L	L	L	L
L	L	H	H
L	H	L	H
L	H	H	L
H	L	L	H
H	L	H	L
H	H	L	L
H	H	H	H

74134 12 INPUT 3 STATE NAND

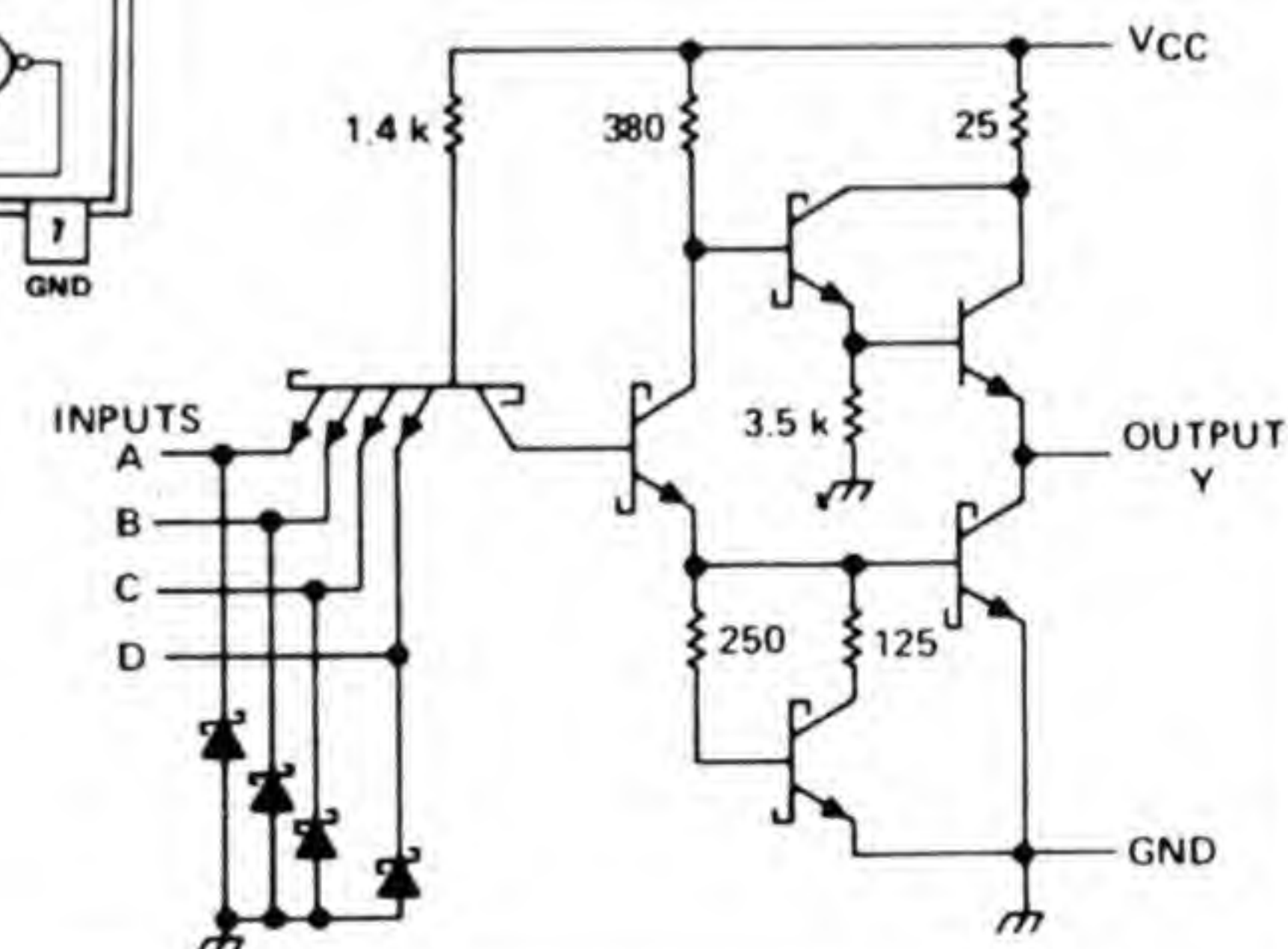
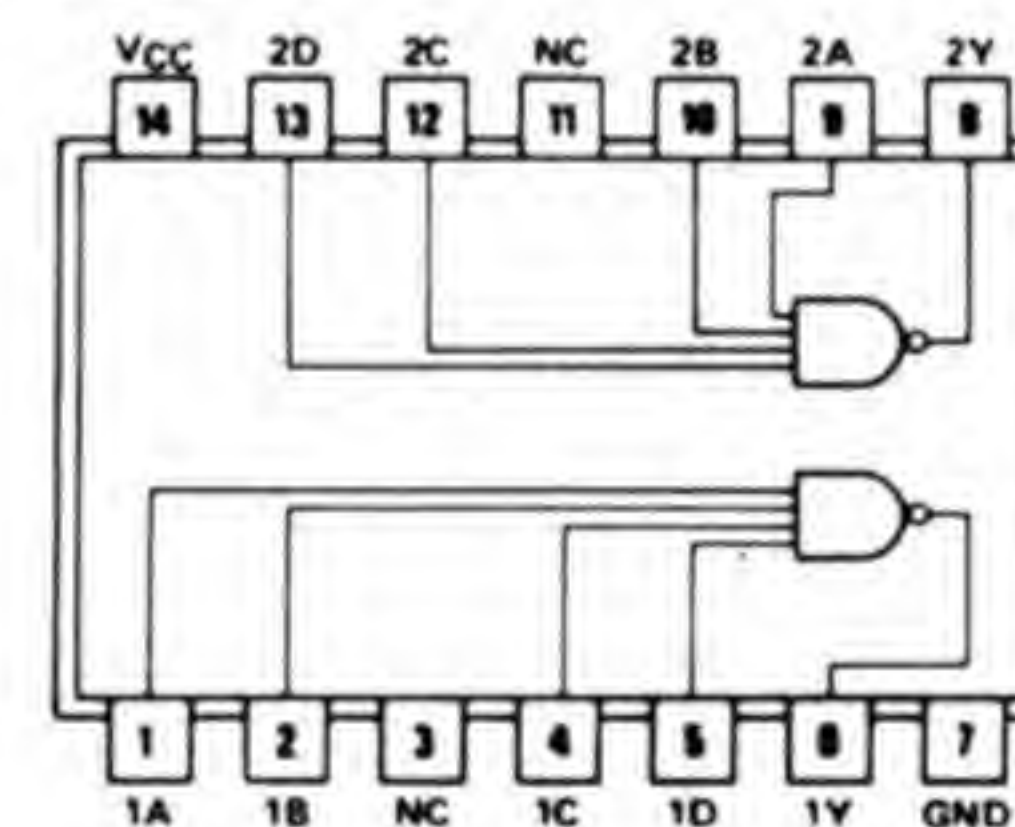


○ OCがHのときは, Yはハイインピーダンス

○ OCがLのときは, 正論理で

$$Y = \overline{ABCDEFGHIJKL}$$

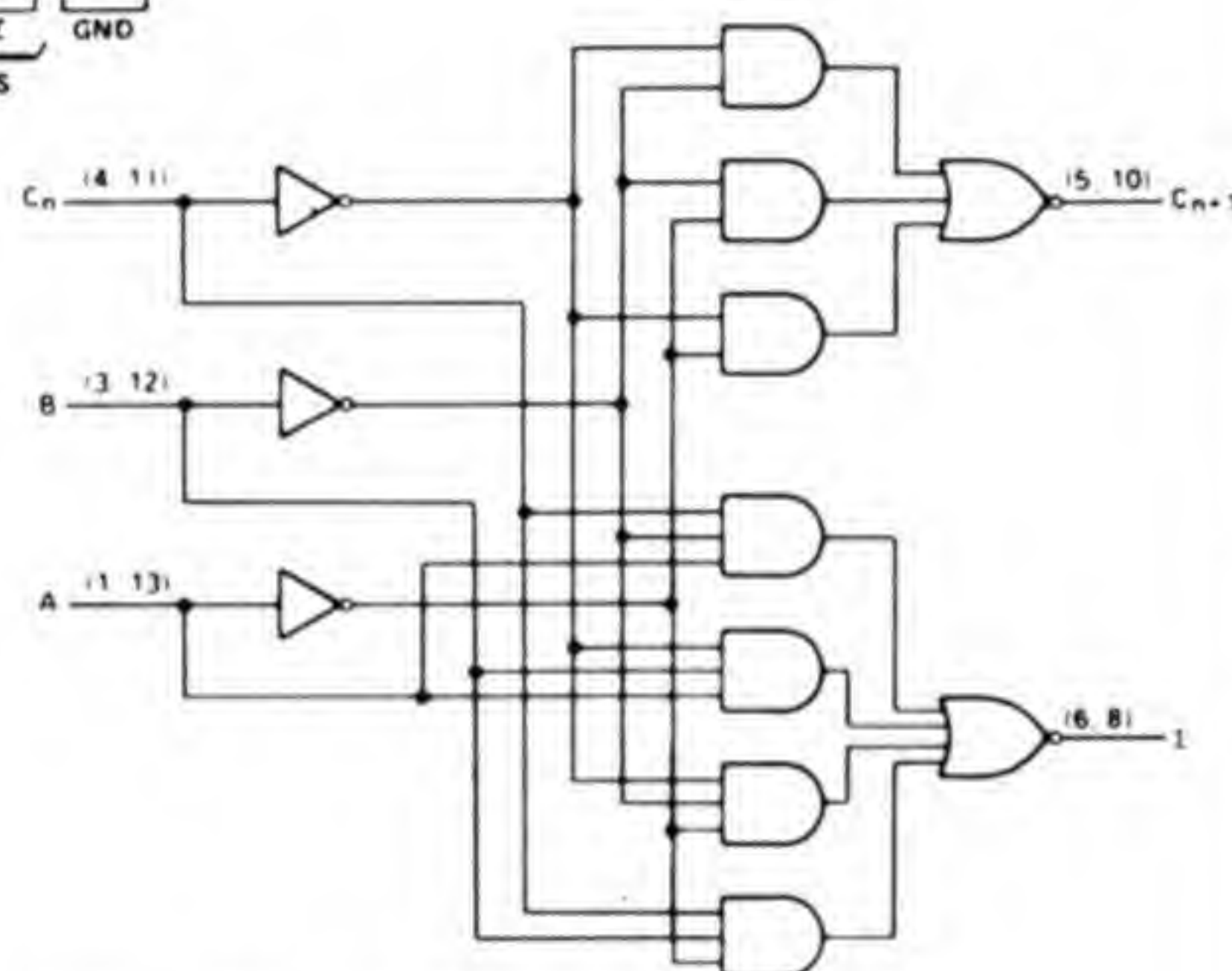
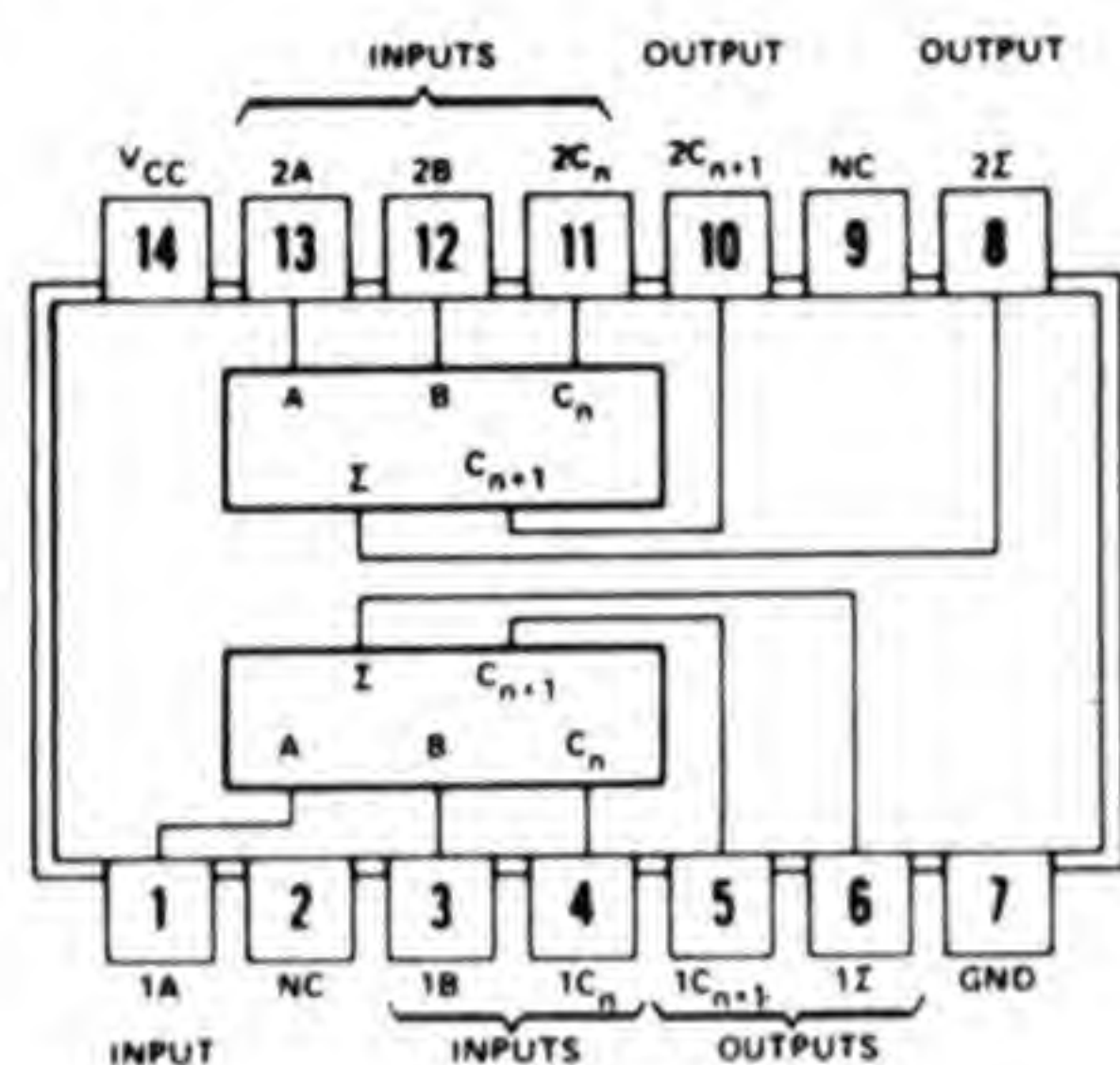
74140 DUAL 4-INPUT NAND LINE DRIVER (50 Ω)



74183, 74250, 74261

74183

DUAL CARRY SAVE FULL ADDERS



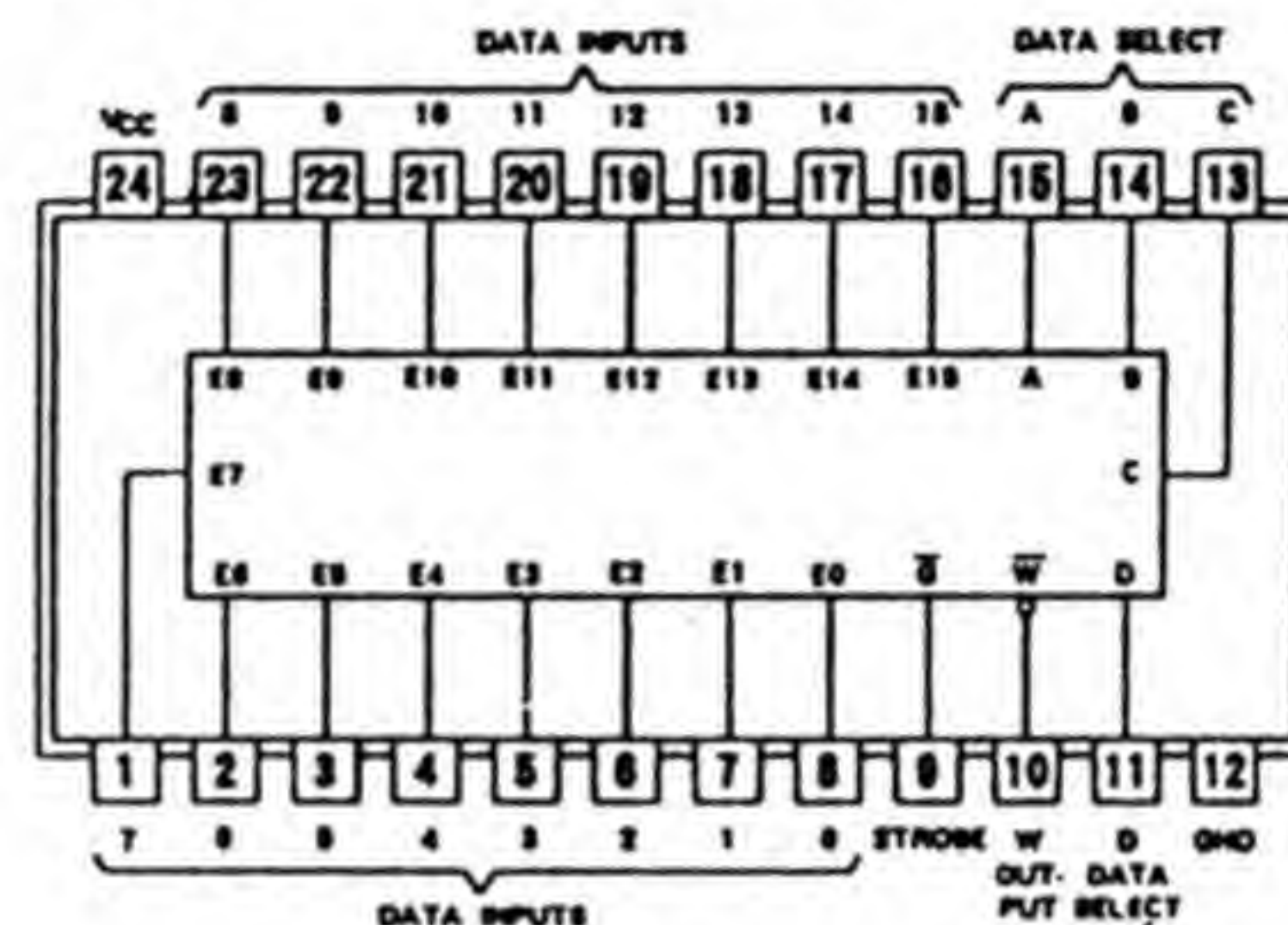
FUNCTION TABLE
(EACH ADDER)

INPUTS			OUTPUTS	
C_n	B	A	Σ	C_{n+1}
L	L	L	L	L
L	L	H	H	L
L	H	L	H	L
L	H	H	L	H
H	L	L	H	L
H	L	H	L	H
H	H	L	L	H
H	H	H	H	H

完全に独立した Full Adder が 2 個入っている。

74250

1-OF-16 DATA SELECTOR/MULTIPLEXER

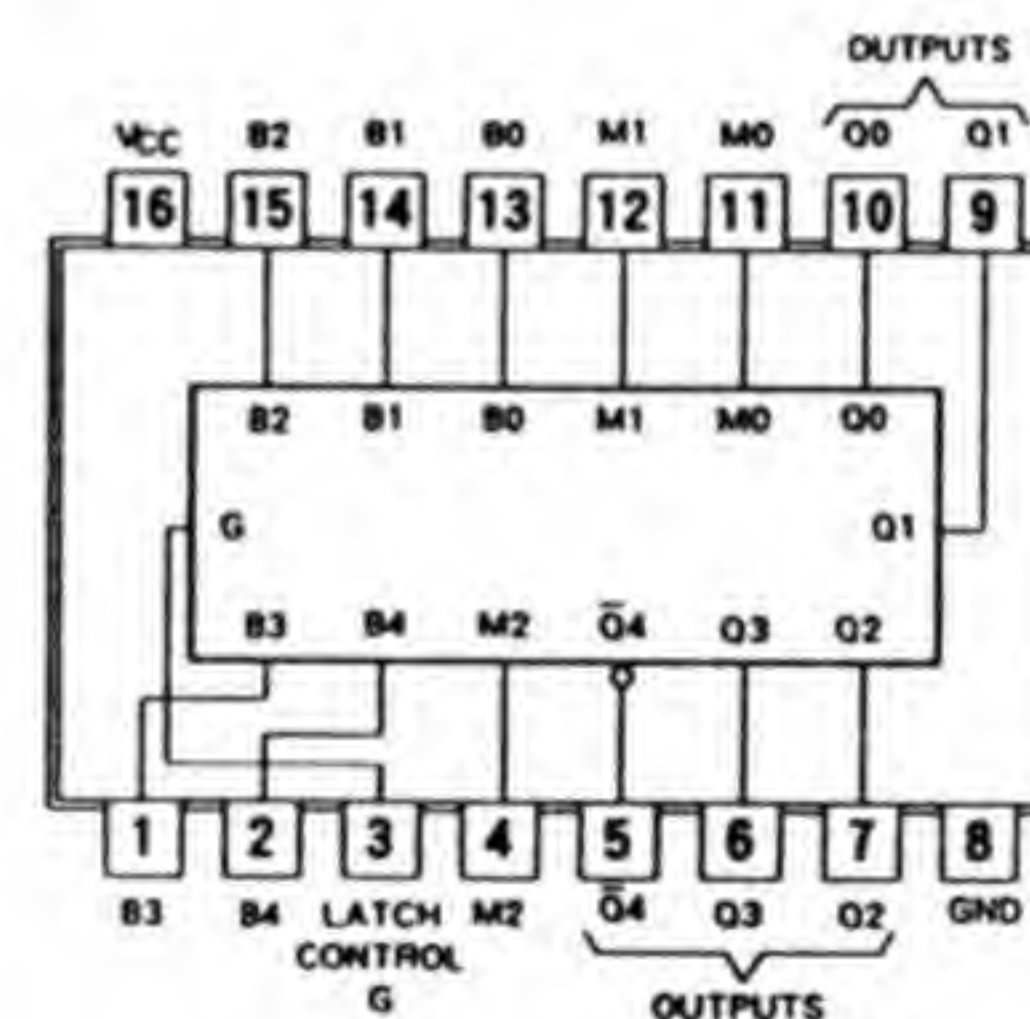


- 4 入力で 16 のデータの内の一つを選択
- アプリケーション
 - ブール代数式発生器
 - パラレル-シリアル変換
 - データ・ソース・セレクタ
- バッファ入力
- 3 ステート出力

入 力					出 力	
\bar{G}	A	B	C	D	E_i	W
L	L	L	L	L	E0	E0
L	L	L	L	L	E1	E1
L	L	L	L	L	E2	E2
L	L	L	L	L	E3	E3
L	L	L	L	L	E4	E4
L	L	L	L	L	E5	E5
L	L	L	L	L	E6	E6
L	L	L	L	L	E7	E7
L	L	L	L	L	E8	E8
L	L	L	L	L	E9	E9
L	L	L	L	L	E10	E10
L	L	L	L	L	E11	E11
L	L	L	L	L	E12	E12
L	L	L	L	L	E13	E13
L	L	L	L	L	E14	E14
L	L	L	L	L	E15	E15
H	X	X	X	X	X	Z

74261

2-BIT BY 4-BIT PARALLEL BINARY MULTIPLIERS



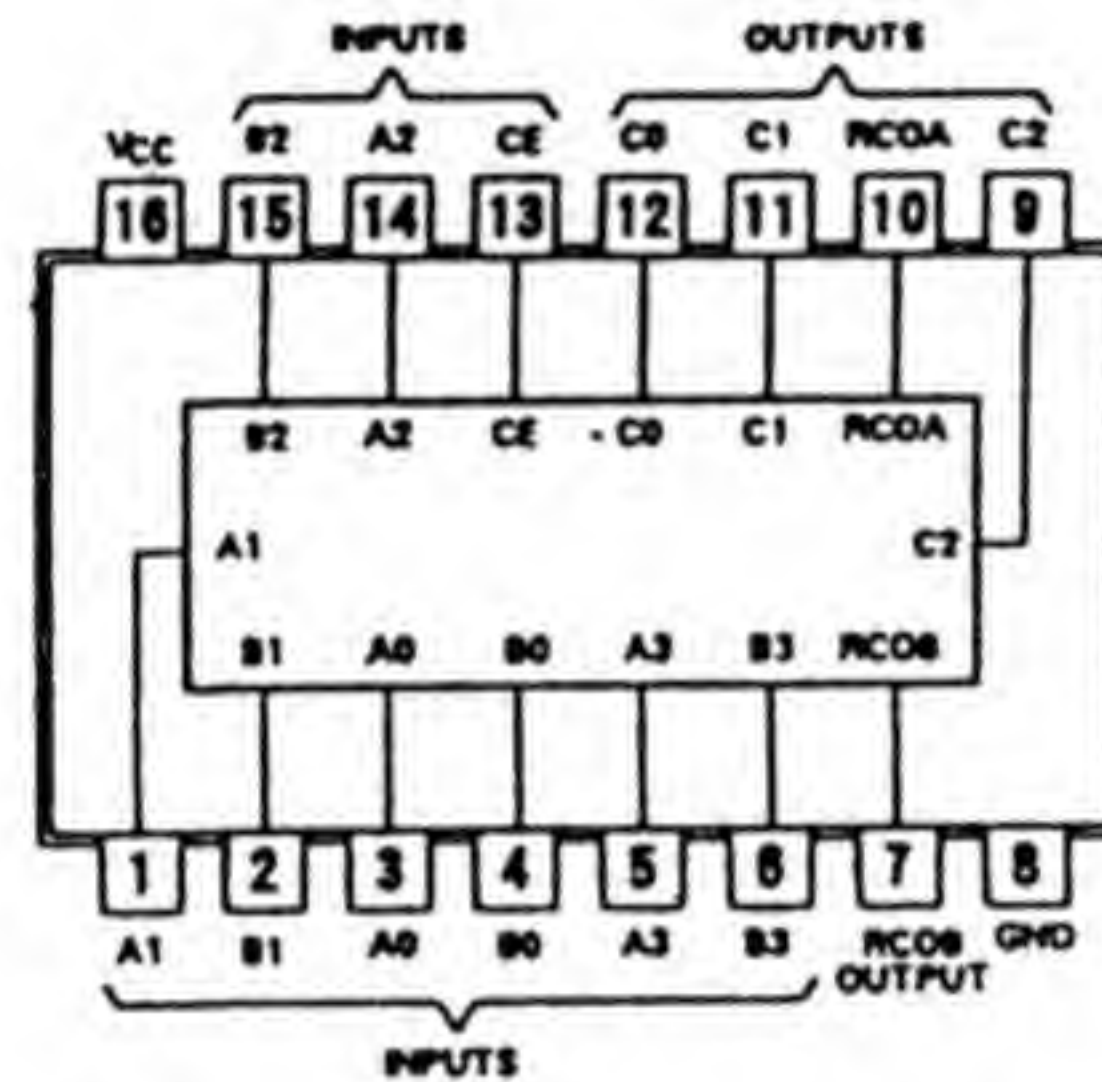
- 高速乗算
- 同期動作のためのラッチ出力
- 語長を拡張可

入 力				出 力				
ラッチ コントロール G	乗 数			\overline{Q}_4	Q_3	Q_2	Q_1	Q_0
	M2	M1	M0					
L	X	X	X	\overline{Q}_4	Q_3	Q_2	Q_1	Q_0
H	L	L	L	H	L	L	L	L
H	L	L	H	\overline{B}_4	B_4	B_3	B_2	B_1
H	L	H	L	\overline{B}_4	B_4	B_3	B_2	B_1
H	L	H	H	\overline{B}_4	B_3	B_2	B_1	B_0
H	H	L	L	B_4	\overline{B}_3	\overline{B}_2	\overline{B}_1	\overline{B}_0
H	H	L	H	B_4	\overline{B}_4	\overline{B}_3	\overline{B}_2	\overline{B}_1
H	H	H	L	B_4	\overline{B}_4	\overline{B}_3	\overline{B}_2	\overline{B}_1
H	H	H	H	H	L	L	L	L

74264, 74265

74264

LOOK AHEAD CARRY GENERATOR



- カウンタからのキャリをルック・アヘッド
- 正論理あるいは負論理出力のキャリに適用可
- カスケードしたカウンタの能力を高める。

C0 出力機能表

入 力	出 力
A ₀ B ₀ CE	C ₀
H H X	H
H X H	H
L X X	L
X L L	L

C1 出力機能表

入 力	出 力
A ₁ A ₀ B ₁ B ₀ CE	C ₁
H X H X X	H
H H X H X	H
H H X X H	H
L X X X X	L
X L L X X	L
X X L L L	L

RCOA 出力機能表

入 力	出 力
A ₃ A ₂ A ₁ A ₀ B ₃ B ₂ B ₁ CE	RCOA
H X X X H X X X	H
H H X X X H X X	H
H H H X X X H X	H
H H H H X X X H	H
L X X X X X X X	L
X L X X L X X X	L
X X L X L L X X	L
X X X L L L L X	L
X X X X L L L L	L

C2 出力機能表

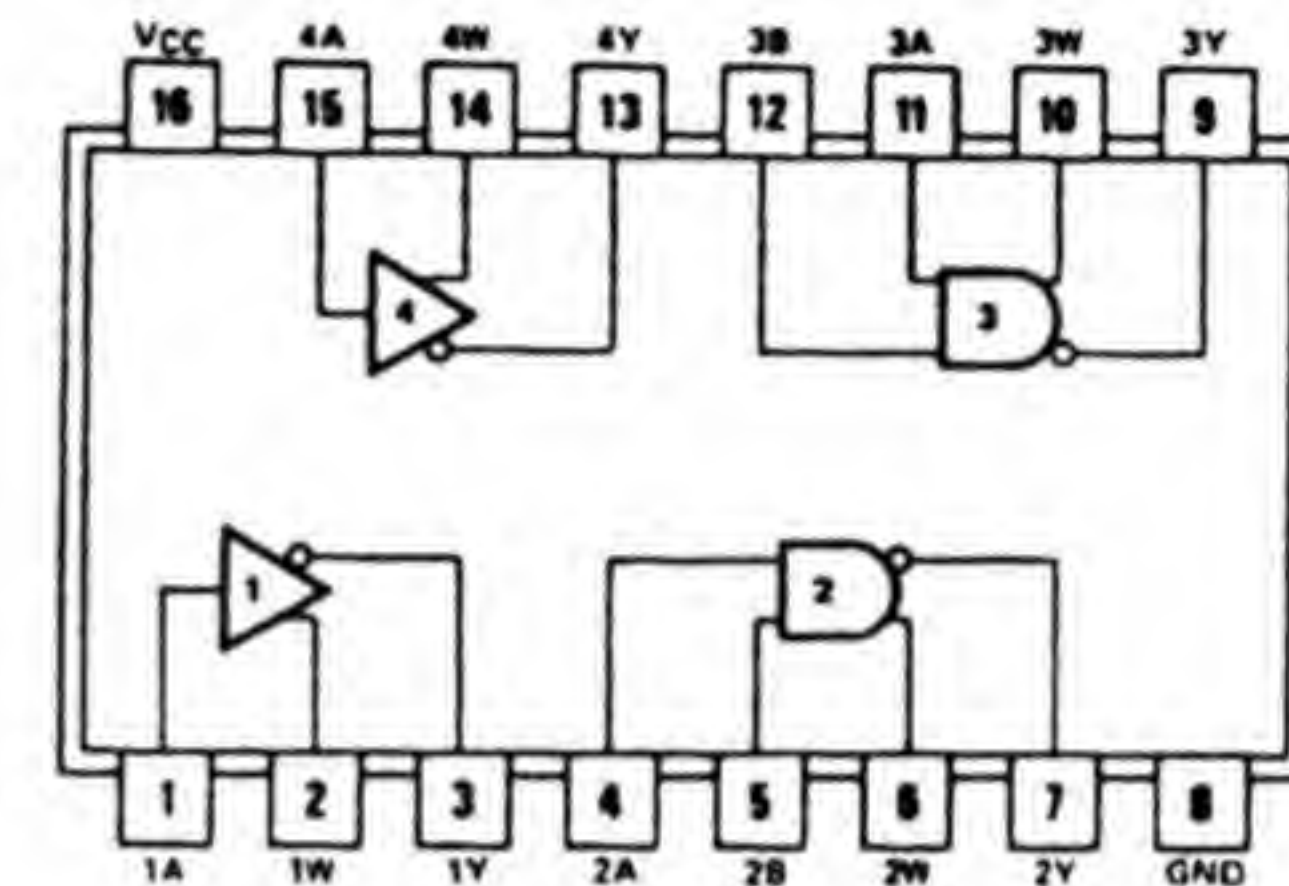
入 力	出 力
A ₂ A ₁ A ₀ B ₂ B ₁ B ₀ CE	C ₂
H X X H X X X	H
H H X X H X X	H
H H H X X H X	H
H H H X X X H	H
L X X X X X X	L
X L X L X X X	L
X X L L L X X	L
X X X L L L L	L

RCOB 出力機能

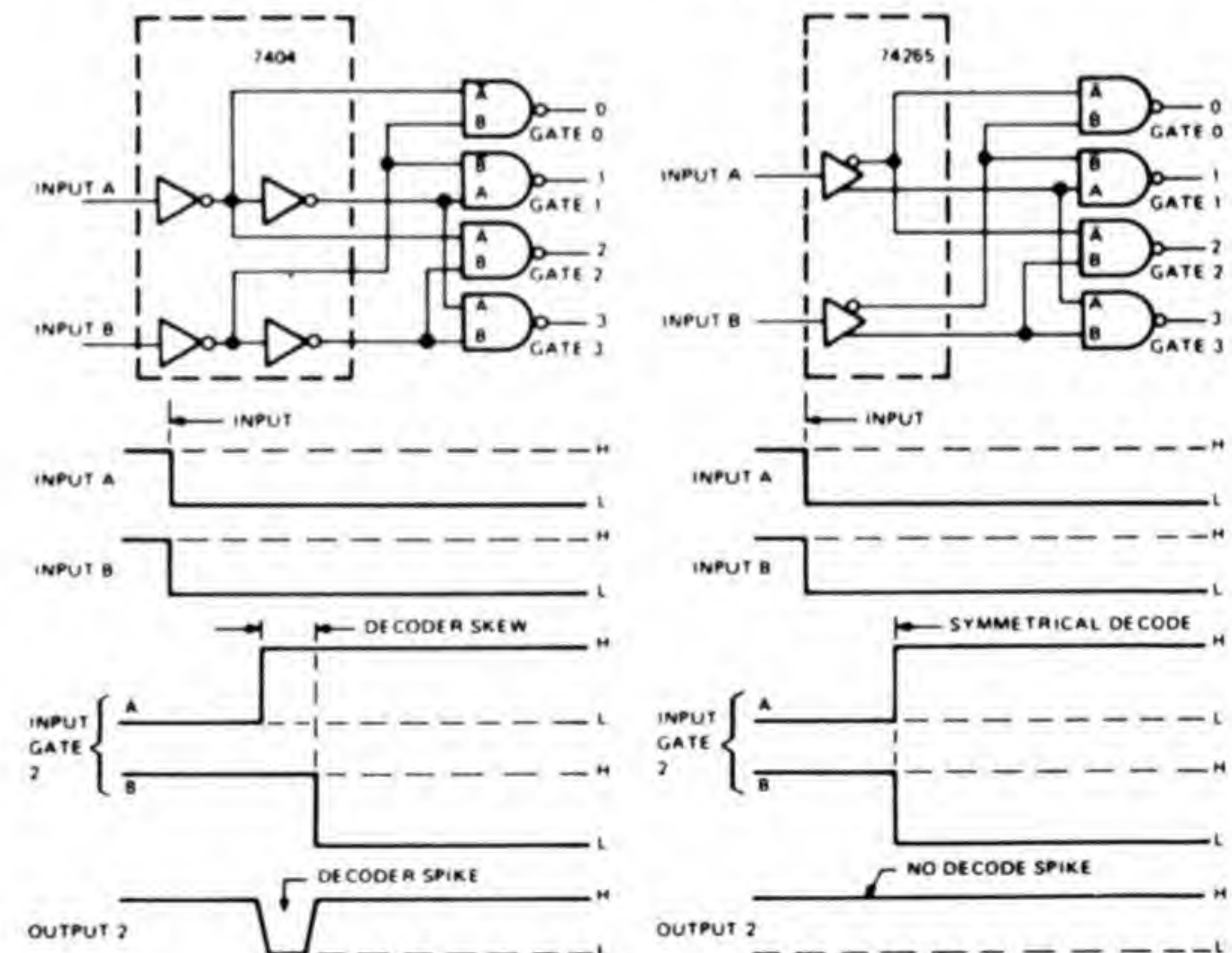
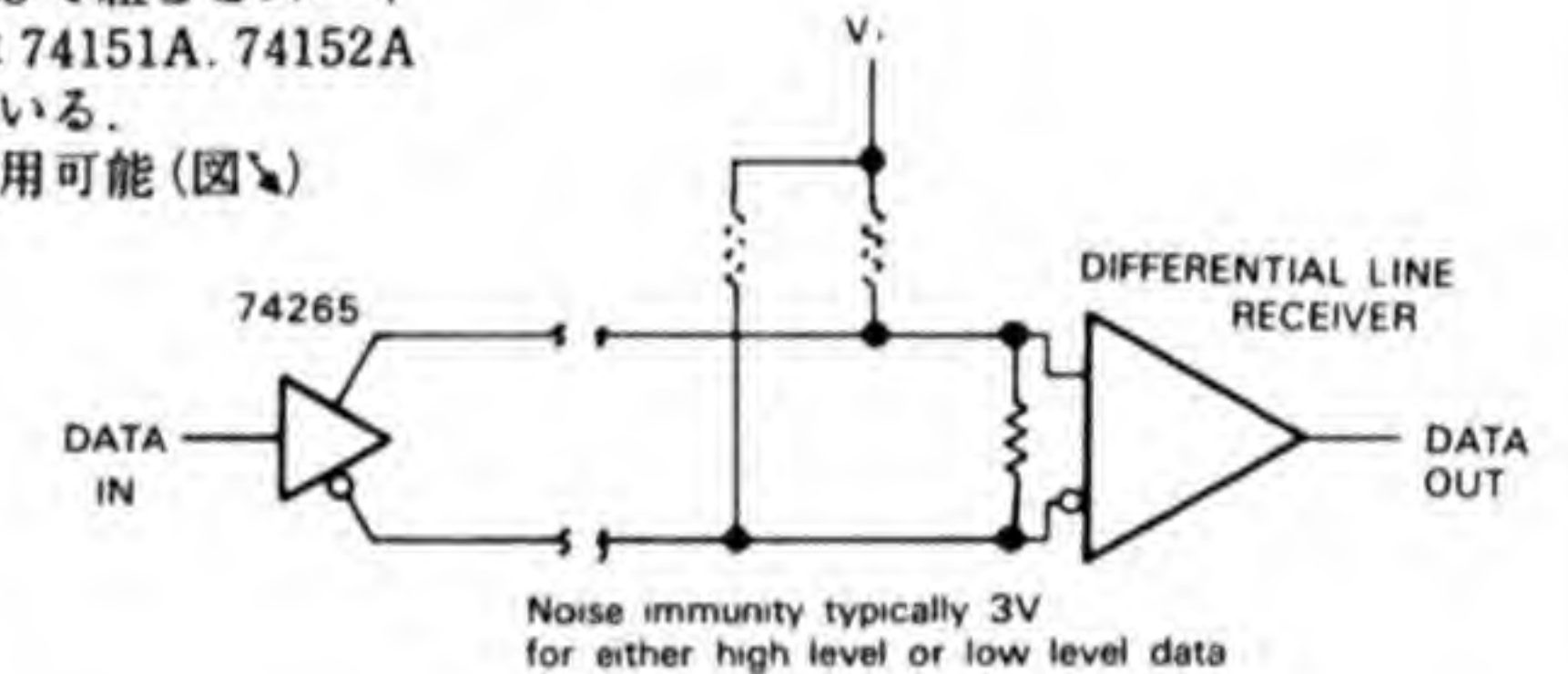
入 力	出 力
B ₃ B ₂ B ₁ B ₀ CE	RCOB
H X X X X	H
X H X X X	H
X X H X X	H
X X X H X	H
L L L L L	L

74265

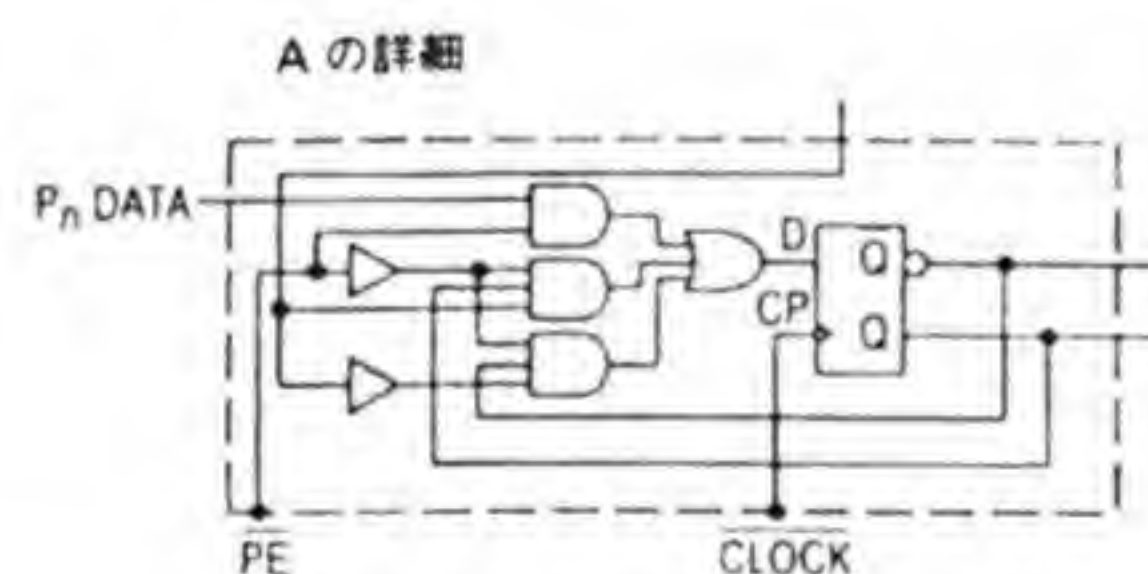
QUAD COMPLEMENTARY OUTPUT



- インバータを使用したデコーダは右図のようにスパイクが出るが、74265で組むとスパイクが出ない(下図)。これは74151A, 74152Aのセレクト部に応用されている。
- ラインドライバとしても使用可能(図)

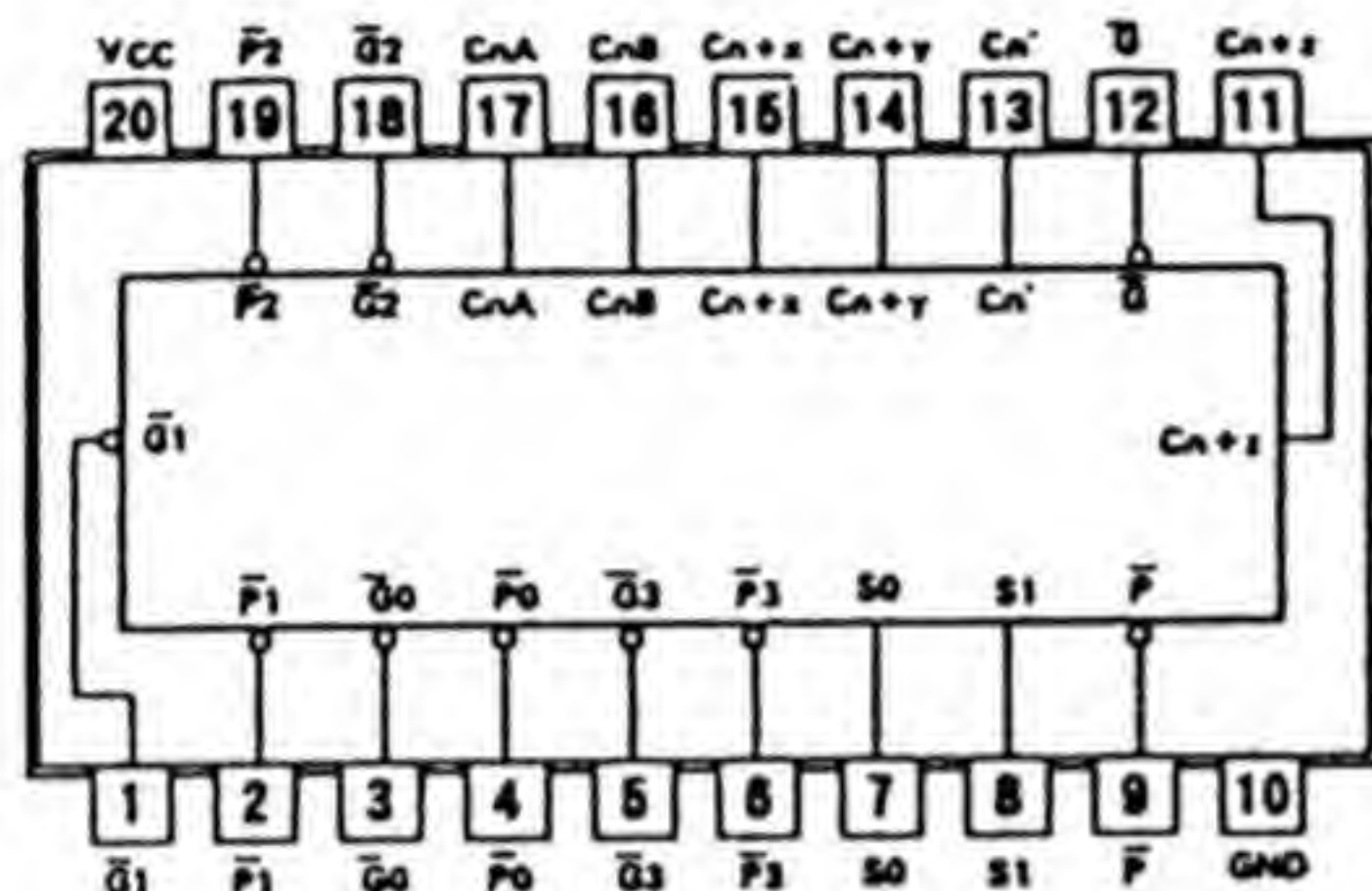


74269

[illegible][illegible]

74282, 74286, 74321

74282 LOOK-AHEAD CARRY GENERATOR WITH SELECTABLE CARRY INPUTS



- 1つのキャリ入力の内の一つを選択
- ALUに直結可能
- カスケード接続可能

\overline{G} 出力機能表

入 力							出力
$\overline{G3}$	$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	\overline{G}
L	X	X	X	X	X	X	L
X	L	X	X	L	X	X	L
X	X	L	X	L	L	X	L
X	X	X	L	L	L	L	L
その他の組み合わせ							H

\overline{P} 出力機能表

入 力				出力
$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	\overline{P}
L	L	L	L	L
その他の組み合わせ				H

C_{n+y} 出力機能表

入 力					出力
$\overline{G1}$	$\overline{G0}$	$\overline{P1}$	$\overline{P0}$	$C_{n'}$	C_{n+y}
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H
その他の組み合わせ					L

$C_{n'}$ 出力機能表

入 力		出力
S1	S0	
L	L	C_{nA}
L	H	$\overline{C_{nA}}$
H	L	C_{nB}
H	H	$\overline{C_{nB}}$

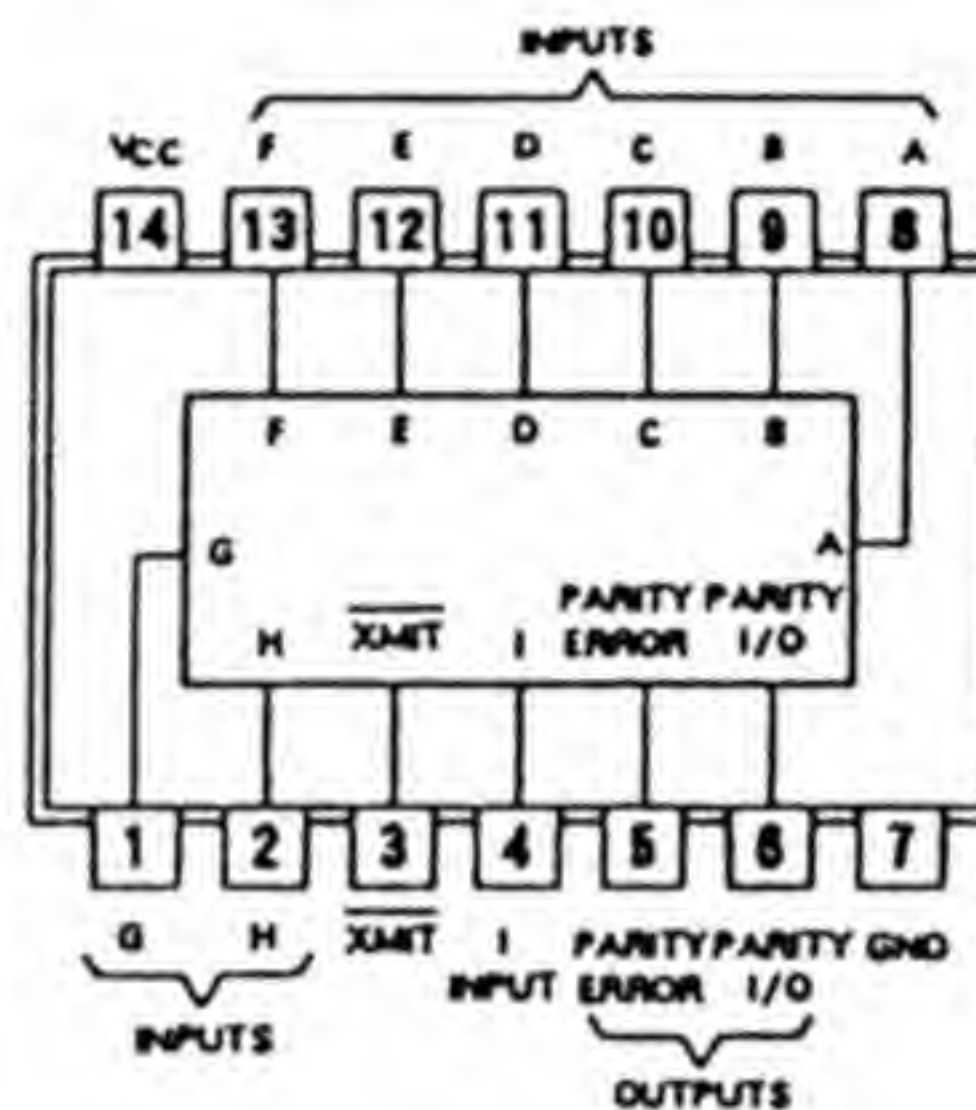
C_{n+z} 出力機能表

入 力							出力
$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	$C_{n'}$	C_{n+z}
L	X	X	X	X	X	X	H
X	L	X	L	X	X	X	H
X	X	L	L	L	X	X	H
X	X	X	L	L	L	H	H
その他の組み合わせ							L

C_{n+x} 出力機能表

入 力			出力
$\overline{G0}$	$\overline{P0}$	C_n^*	C_{n+x}
L	X	X	H
X	L	H	H
その他の組み合わせ			L

74286 9-BIT PARITY GENERATOR/CHECKER WITH BUS DRIVER PARITY I/O PORT

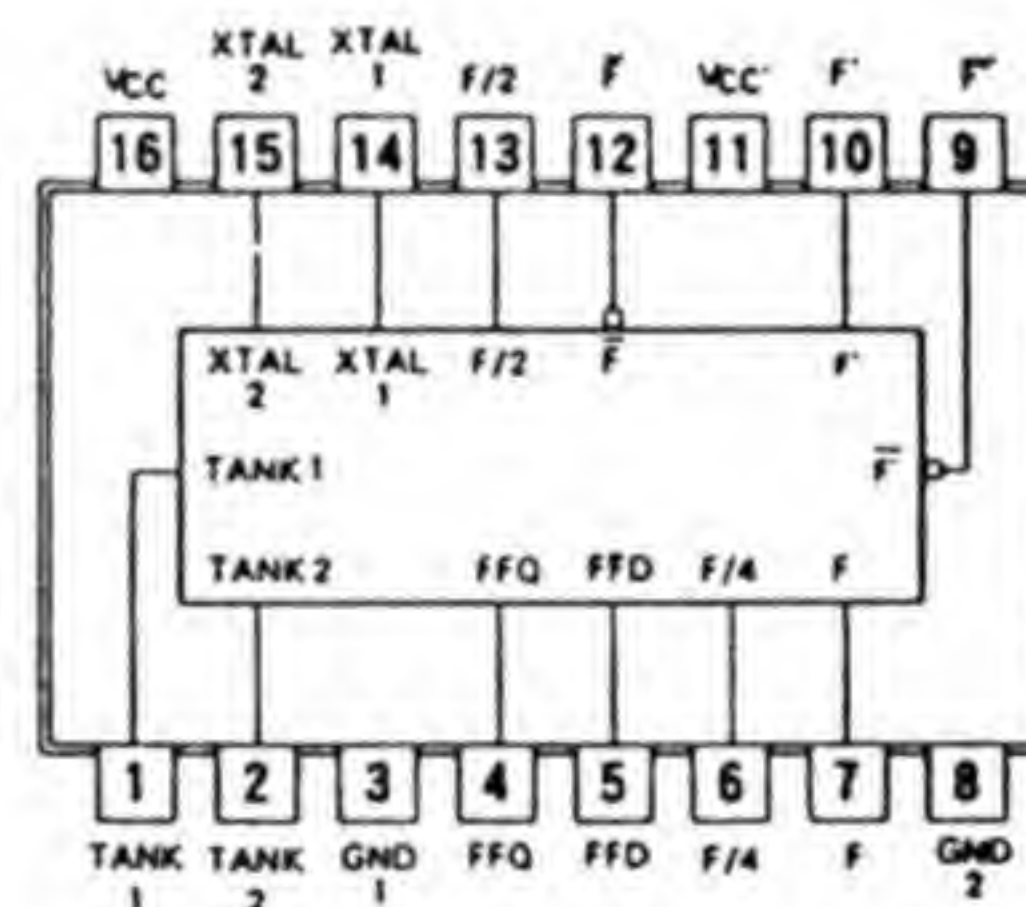


- 9ビット・データに対する奇数あるいは偶数パリティを発生
- カスケード接続可能
- バスに直結可能
- 74AC11×××ファミリはセンタ・ピン・タイプ

入力がhighの数	XMIT	PARITY I/O	PARITY ERROR
0, 2, 4, 6, 8	L	H	H
1, 3, 5, 7, 9	L	L	H
0, 2, 4, 6, 8	h	h	H
1, 3, 5, 7, 9	h	h	L
1, 3, 5, 7, 9	h	L	H

h: "H" 入力レベル L: "L" 入力レベル H: "H" 出力レベル L: "L" 出力レベル

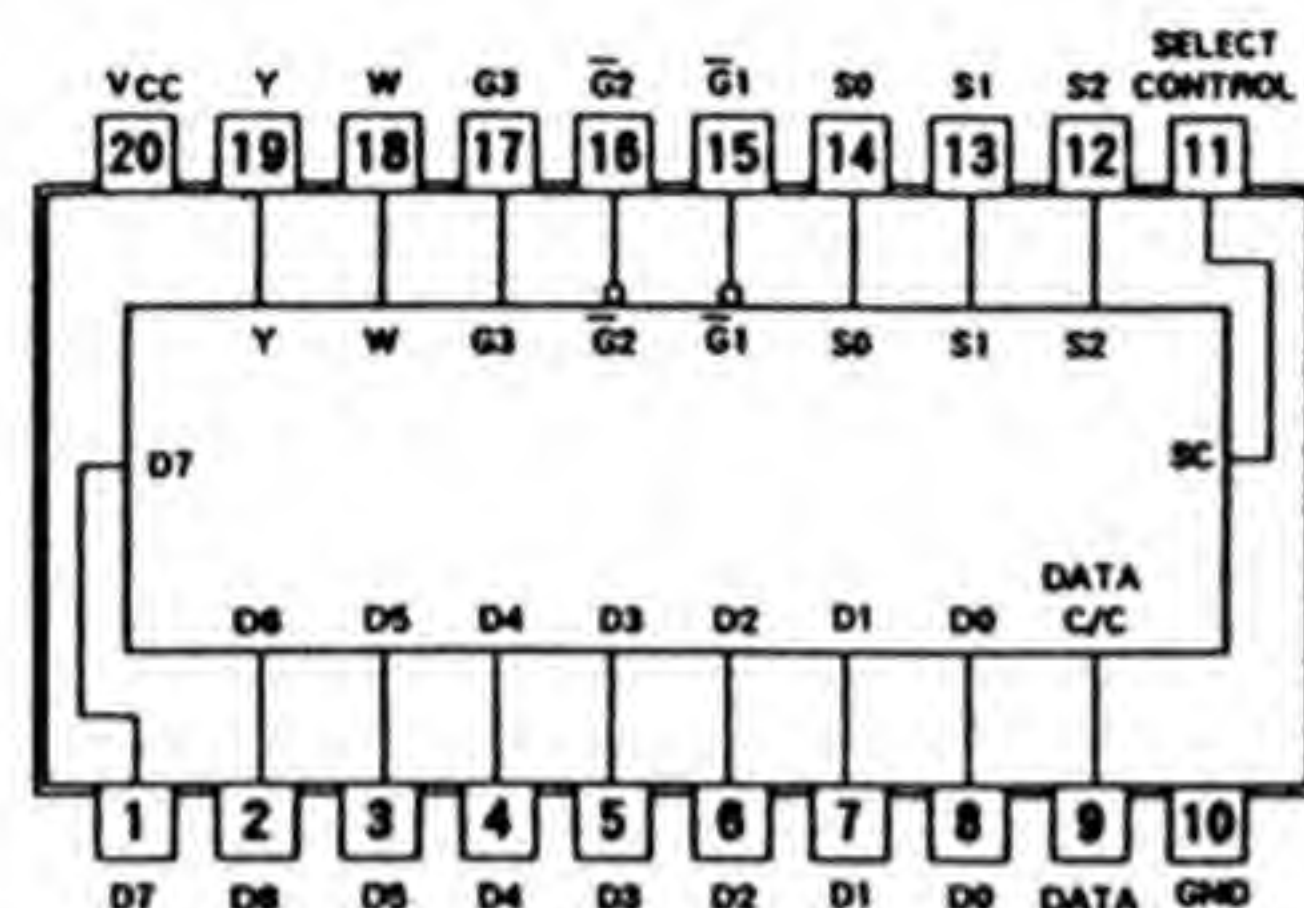
74321 CRYSTAL-CONTROLLED OSCILLATOR



- 1MHz から 20MHz まで発振可能
- コンプリメンタリ出力

74355, 74357, 74363

74355 8-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS/TRANSPARENT REGISTERS

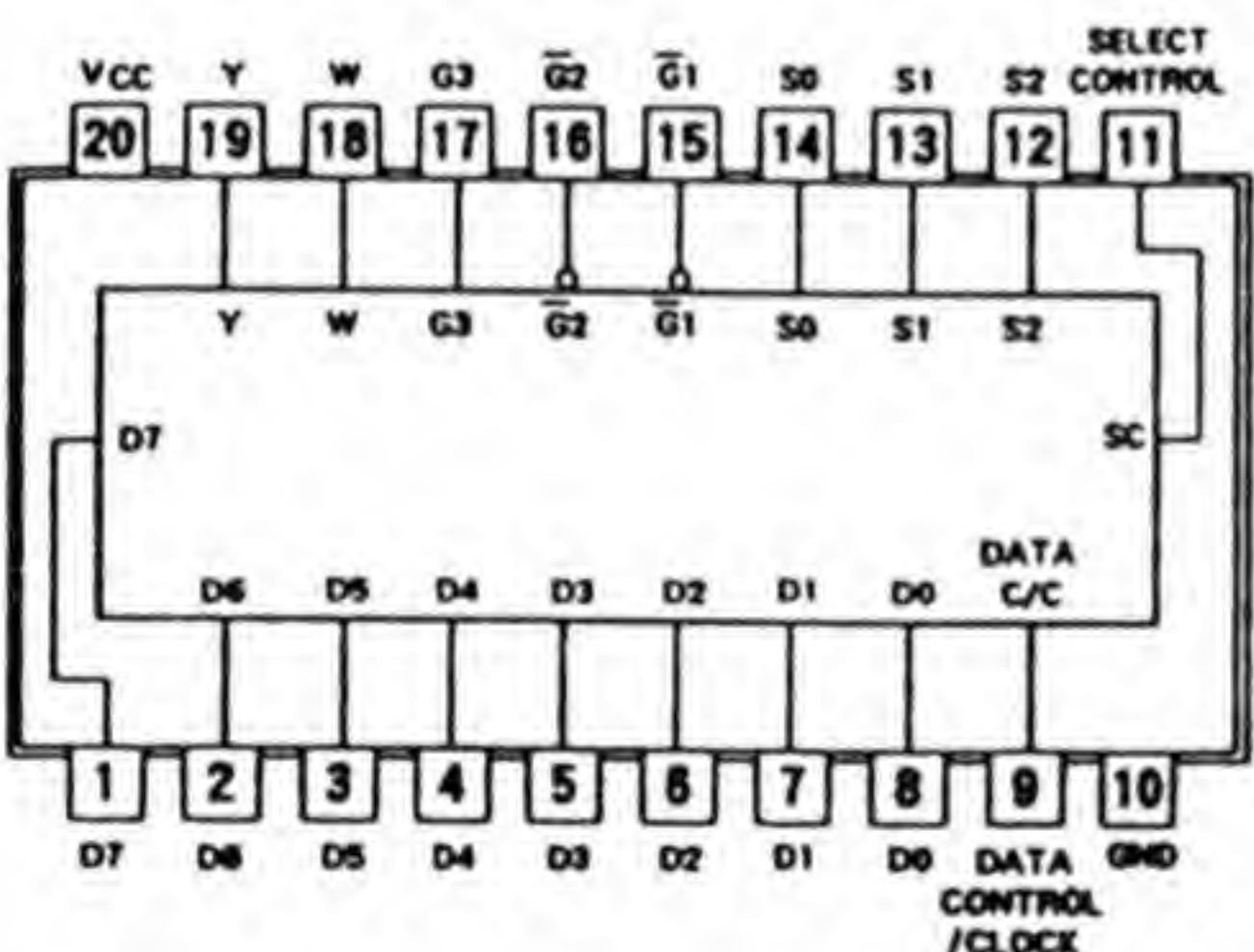


- セレクト入力にフリップ・フロップを内蔵
- オープン・コレクタ出力
- コンプリメンタリ出力
- 拡張容易

入			力			出	
セレクト↑			— DC	出 イネーブル			出
S2	S1	S0		G1	G2	G3	
X	X	X	X	H	X	X	Z
X	X	X	X	X	H	X	Z
X	X	X	X	X	X	L	Z
L	L	L	L	L	L	H	D0
L	L	L	L	L	L	H	D0 _n
L	L	L	H	L	L	H	D1
L	L	L	H	L	L	H	D1 _n
L	L	H	L	L	L	H	D2
L	L	H	L	L	L	H	D2 _n
L	L	H	H	L	L	H	D3
L	L	H	H	L	L	H	D3 _n
L	H	L	L	L	L	H	D4
L	H	L	L	L	L	H	D4 _n
L	H	L	H	L	L	H	D5
L	H	L	H	L	L	H	D5 _n
L	H	H	L	L	L	H	D6
L	H	H	L	L	L	H	D6 _n
L	H	H	H	L	L	H	D7
L	H	H	H	L	L	H	D7 _n

↑ 入力アドレスは SC 'L' で設定します。

74357 8-LINE TO 1-LINE DATA SELECTORS/MULTIPLEXERS/EDGE-TRIGGERED REGISTERS



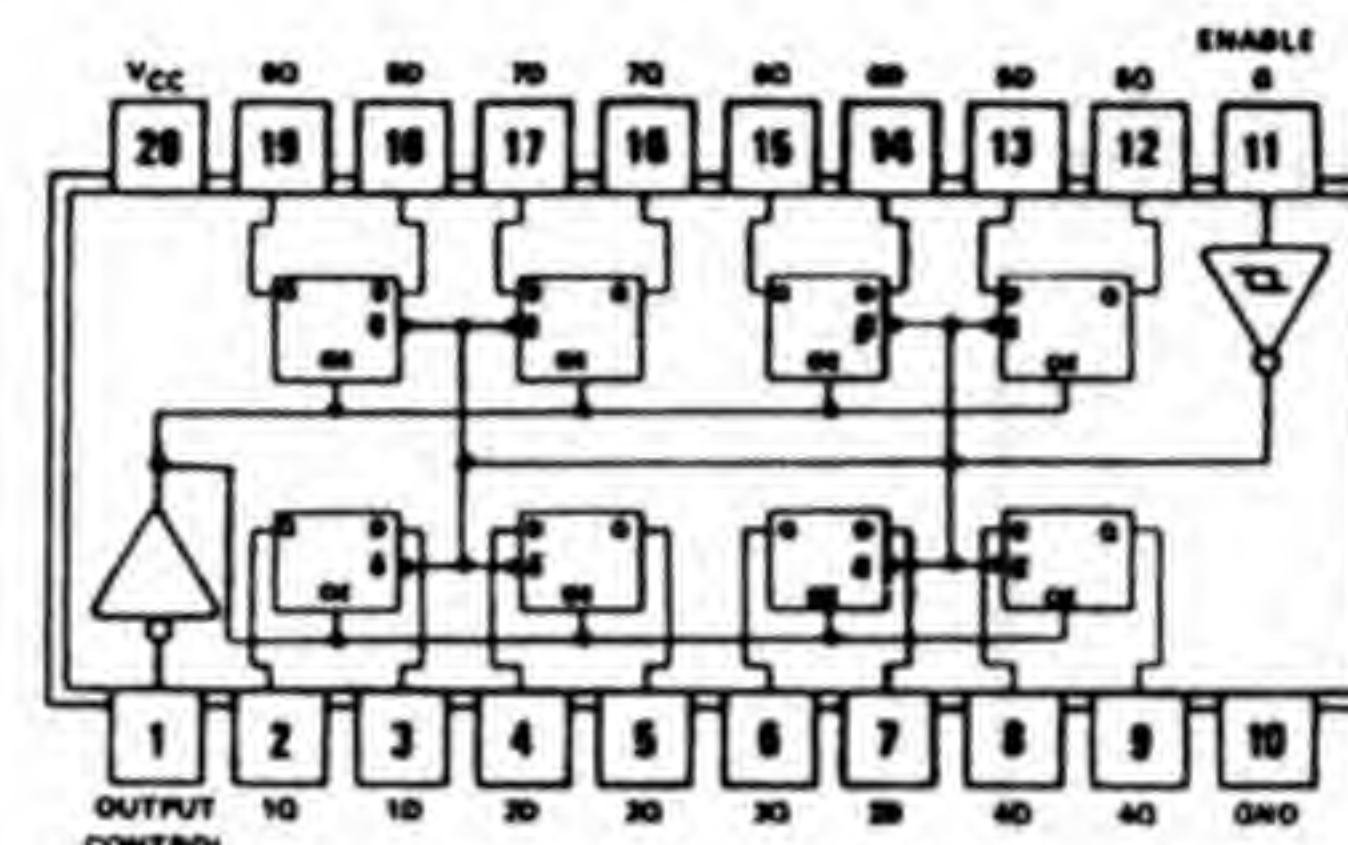
- セレクト入力にフリップ・フロップを内蔵
- オープン・コレクタ出力
- コンプリメンタリ出力
- 拡張容易

入			力			出	
セレクト↑			CLK	出 イネーブル			出
C2	C1	C0		G1	G2	G3	
X	X	X	X	H	X	X	Z
X	X	X	X	X	H	X	Z
X	X	X	X	X	X	L	Z
L	L	L	1	L	L	H	D0
L	L	L	H or L	L	L	H	D0 _n
L	L	L	1	L	L	H	D1
L	L	L	H or L	L	L	H	D1 _n
L	L	H	1	L	L	H	D2
L	L	H	H or L	L	L	H	D2 _n
L	L	H	1	L	L	H	D3
L	L	H	H or L	L	L	H	D3 _n
L	H	L	1	L	L	H	D4
L	H	L	H or L	L	L	H	D4 _n
L	H	L	1	L	L	H	D5
L	H	L	H or L	L	L	H	D5 _n
L	H	H	1	L	L	H	D6
L	H	H	H or L	L	L	H	D6 _n
L	H	H	1	L	L	H	D7
L	H	H	H or L	L	L	H	D7 _n

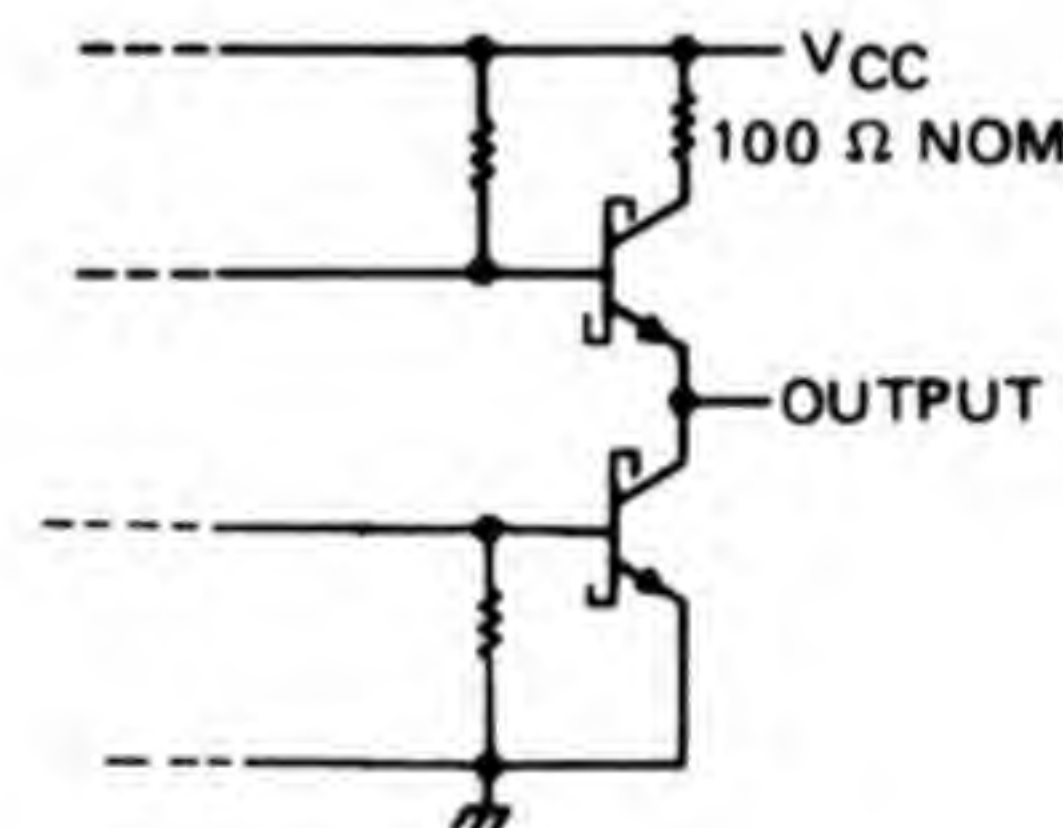
↑ 入力アドレスは CLK↑ で設定します

74363

OCTAL 3-STATE D-LATCHES



○74373 の出力段を变形して H レベル出力電圧を高くしたタイプ (MOS 等へのインターフェース用)



出力回路

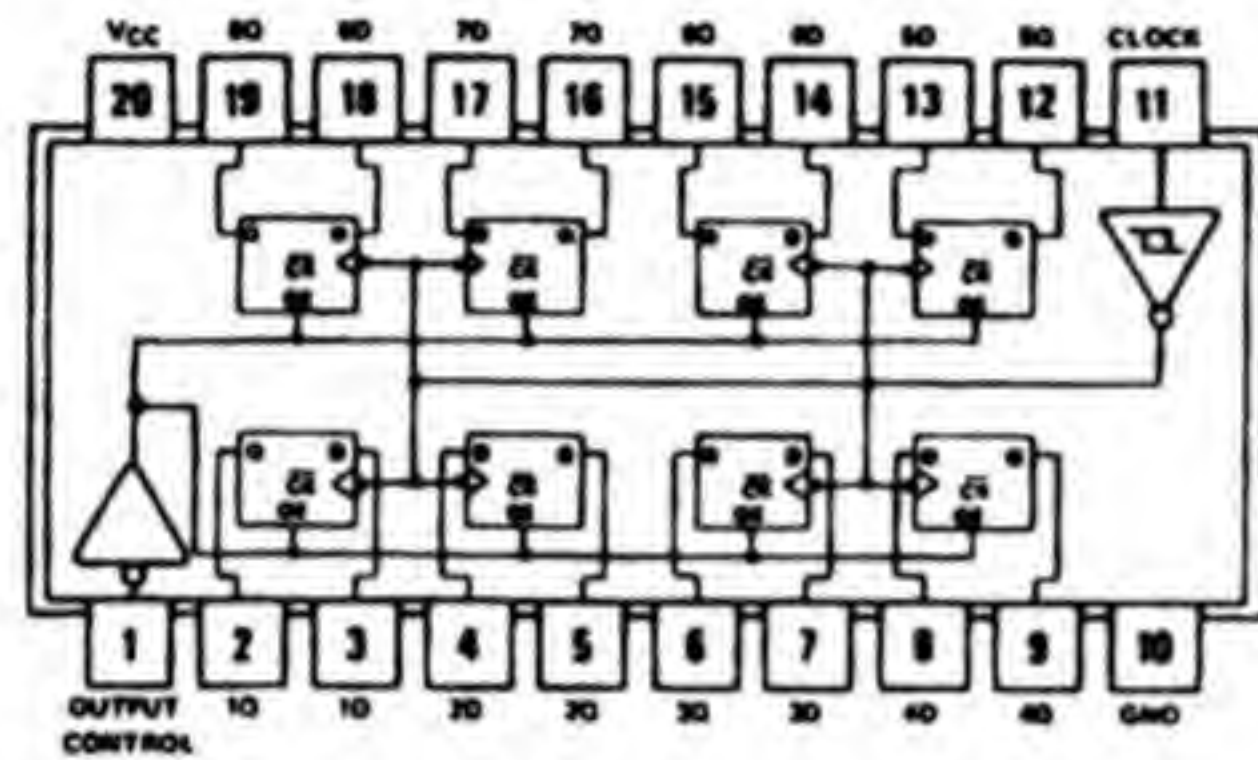
8 bit ラッチ

ナンバー	出力	ピン接	
74363	正	隣接	H レベル 3.65V

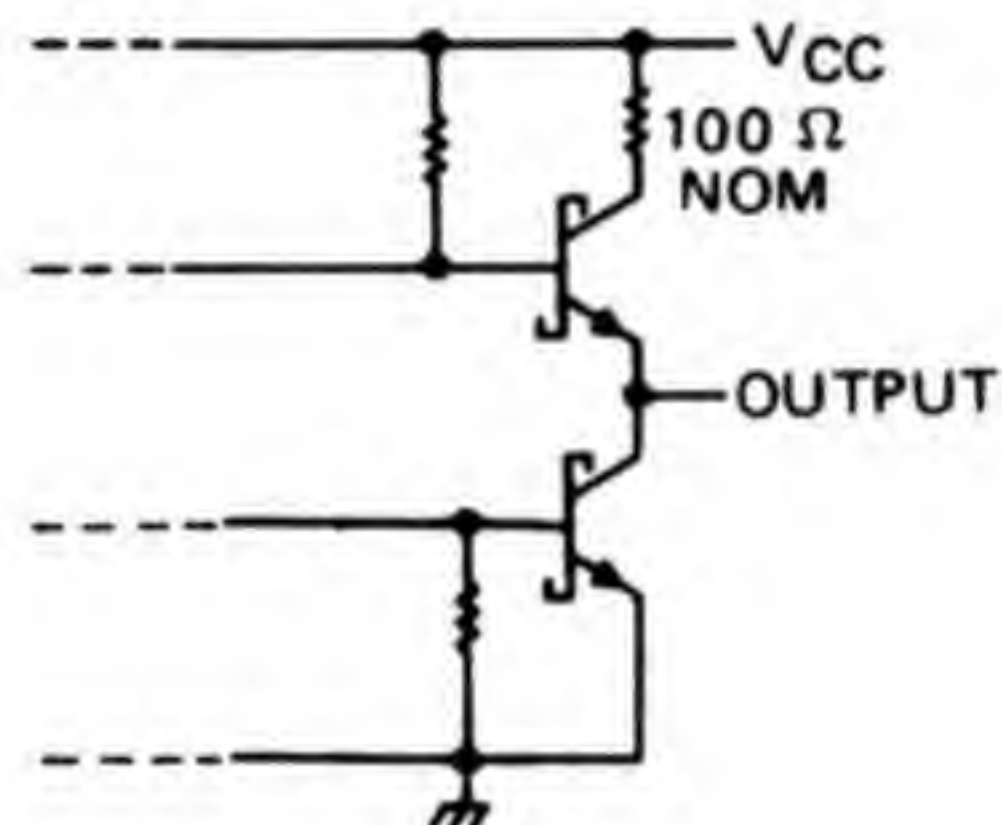
74364, 74382

74364

OCTAL 3-STATE D-FFS



○74374 の出力段を变形して H レベル出力電圧を高くしたタイプ (MOS 等へのインターフェース用)



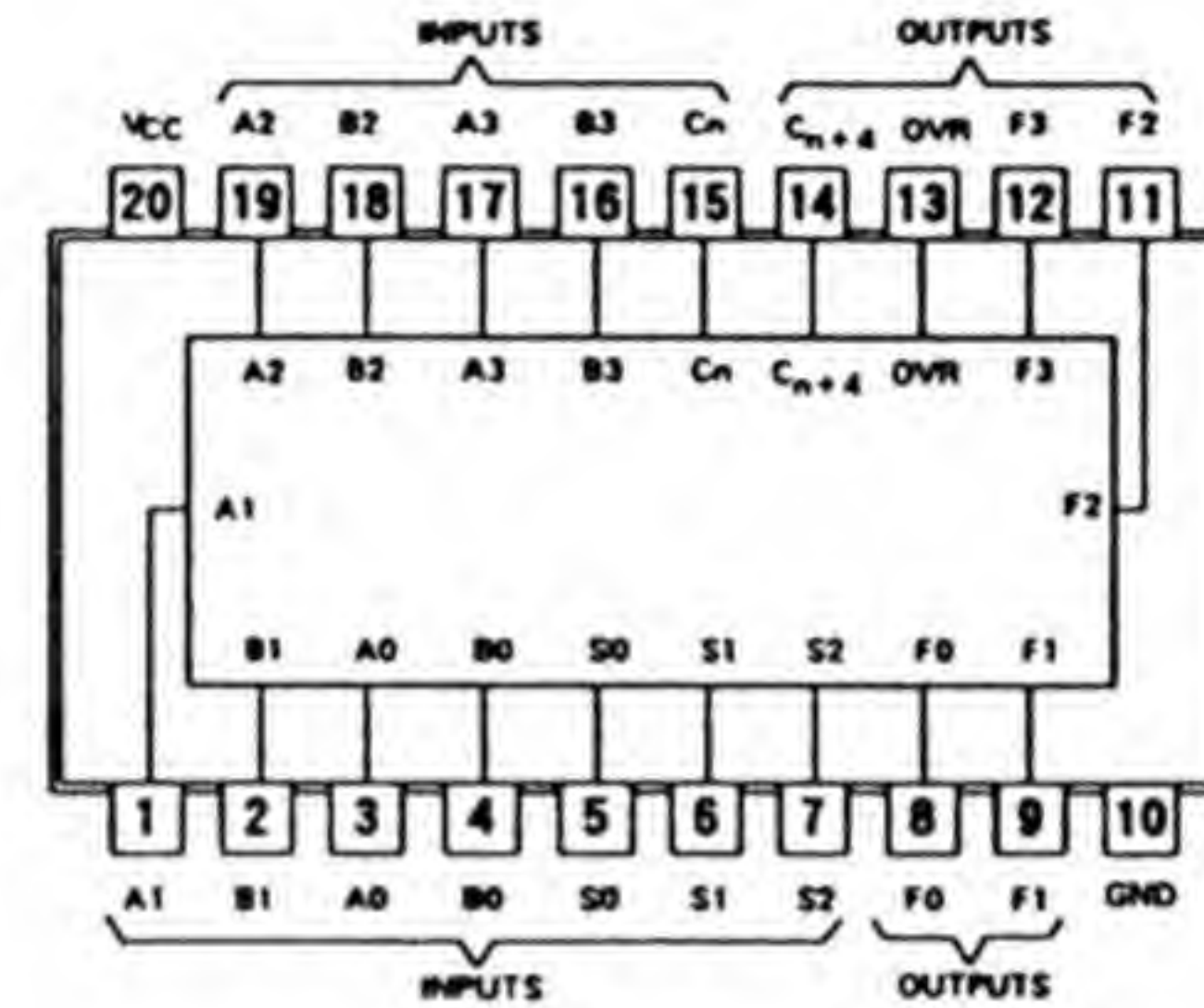
出力回路

8 bit-D-FF

ナンバー	出力	ピン接	
74364	正	隣接	H レベル 3.65V

74382

ARITHMETIC LOGIC UNIT/FUNCTION GENERATOR

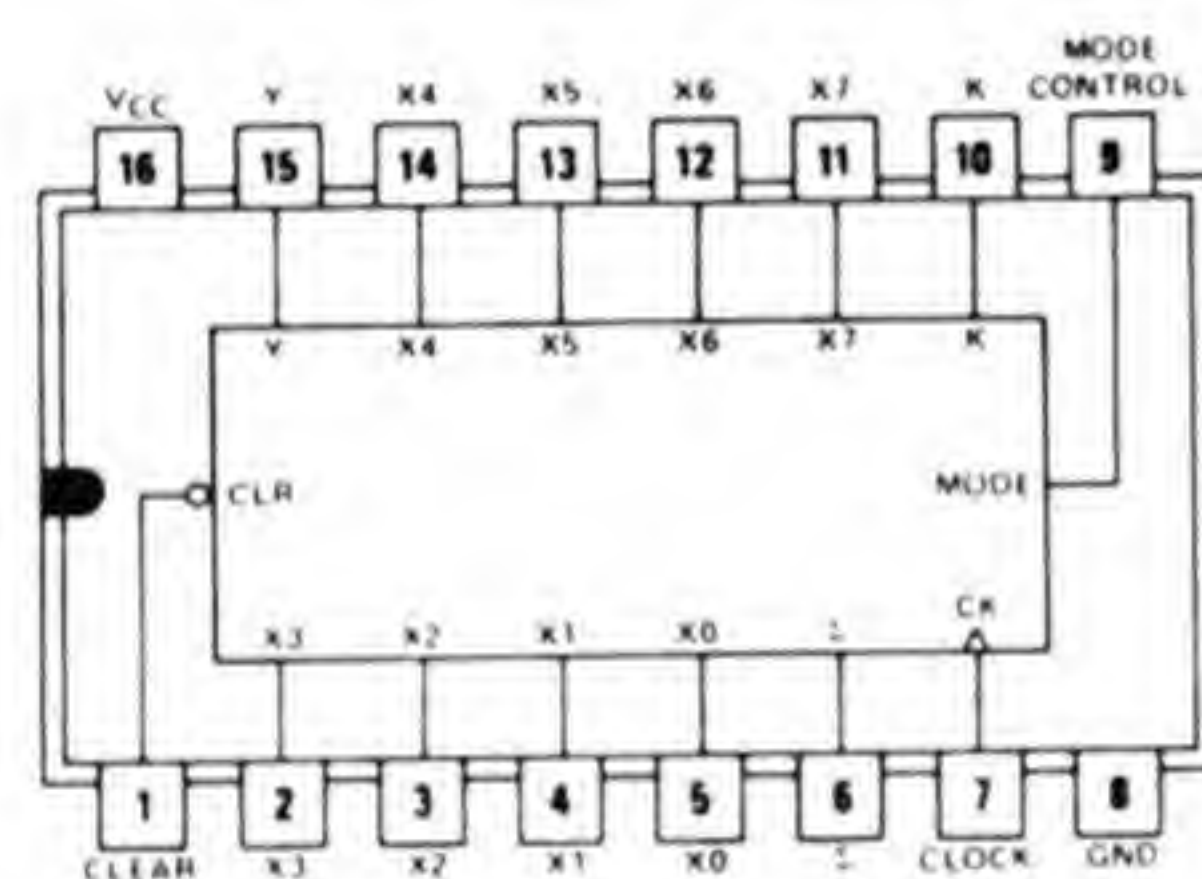
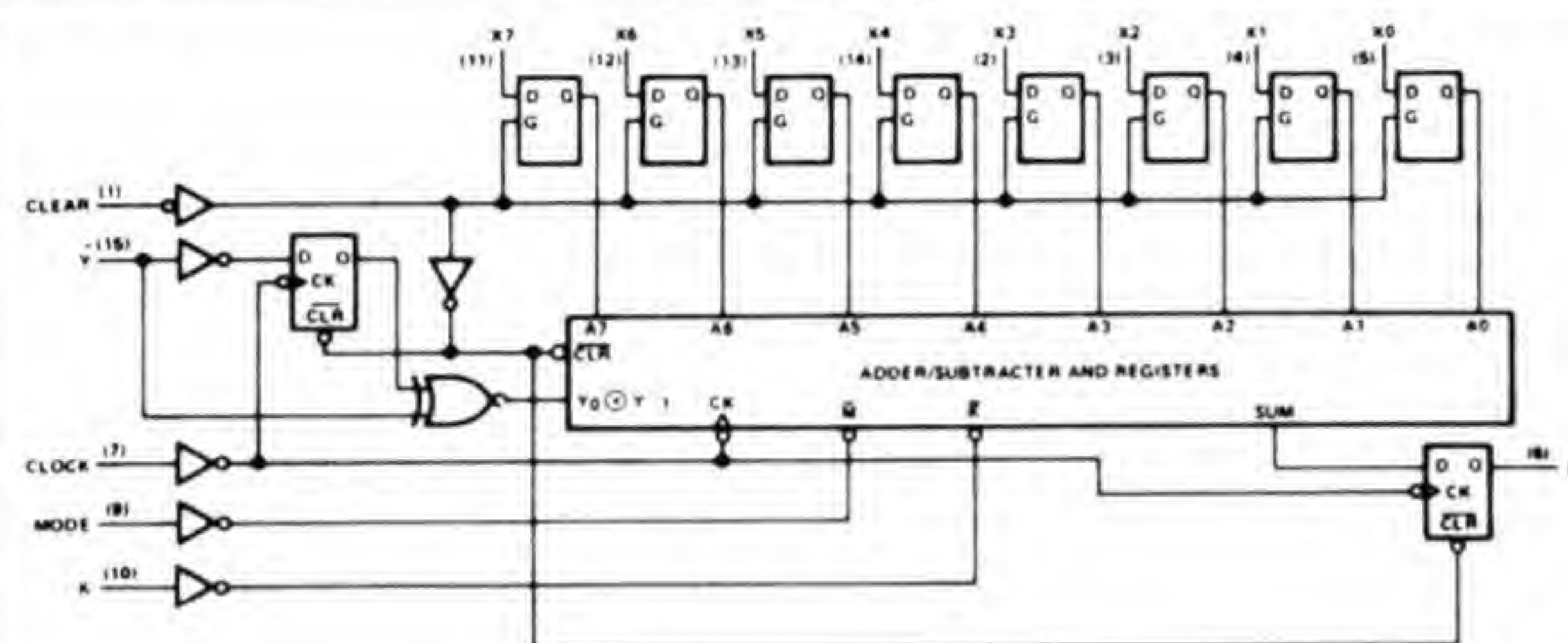


●リップル・キャリとオーバーフロー出力

機能選択			算術/論理機能
S2	S1	S0	
L	L	L	クリア
L	L	H	B マイナス A
L	H	L	A マイナス B
L	H	H	A プラス B
H	L	L	$A \oplus B$
H	L	H	$A + B$
H	H	L	AB
H	H	H	プリセット

74384

8-Bit by 1-Bit 2's-Complement Multipliers



● 8ビット並列入力，直列出力乗算

[illegible][illegible]

FUNCTION TABLE

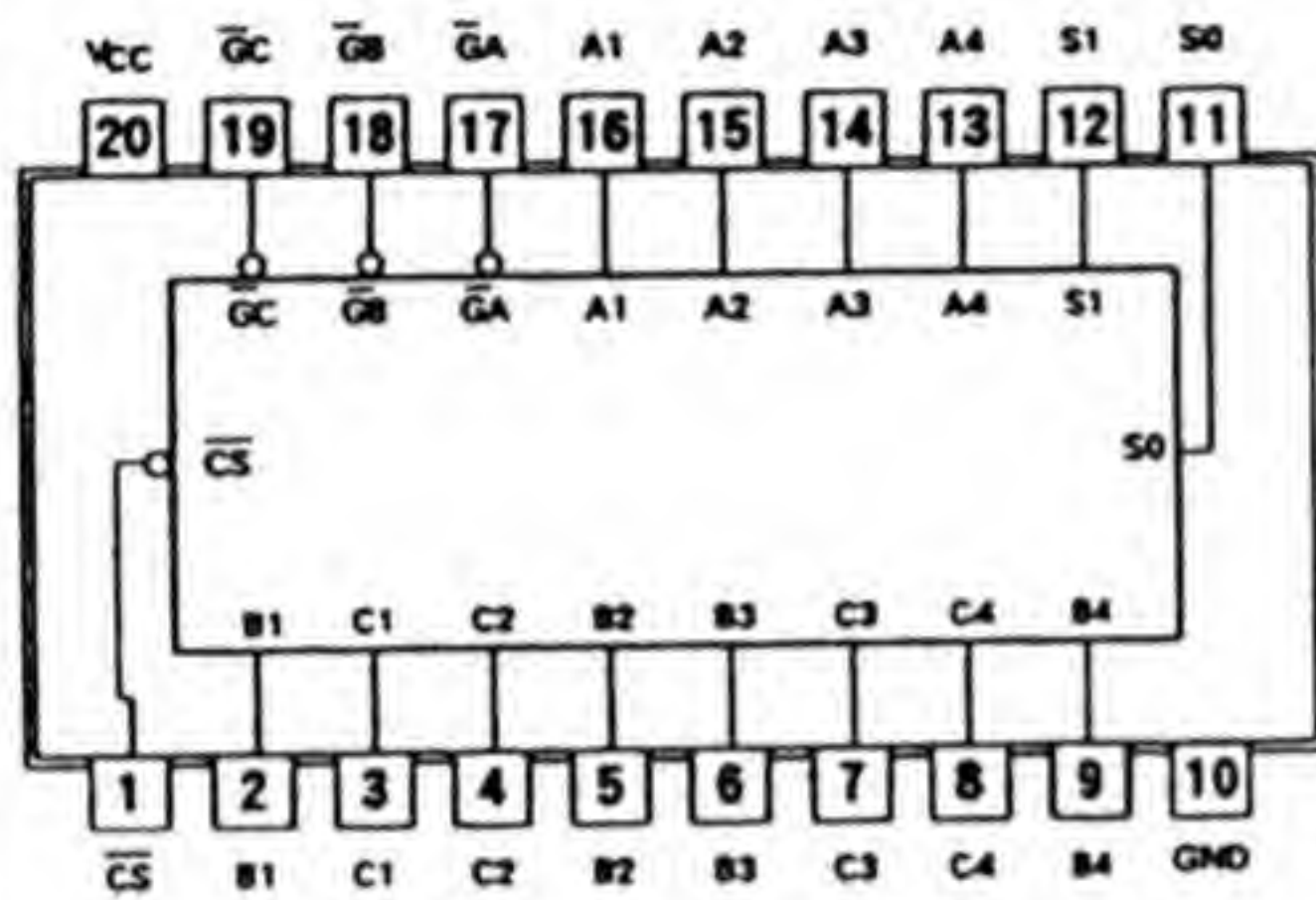
INPUTS				INTERNAL Y ₋₁	OUTPUT PROD	FUNCTION
CLR	CLK	X _i	Y			
L	X	Data	X	L	L	Load new multiplicand and clear internal sum and carry registers
H	↑	X	L	L	Output per Booth's algorithm	Shift sum register
H	↑	X	L	H		Add multiplicand to sum register and shift
H	↑	X	H	L		Subtract multiplicand from sum register and shift
H	↑	X	H	H		Shift sum register

H = high level, L = low-level, X = irrelevant, ↑ = low-to-high-level transition

74448, 74522, 74560

74448

QUAD TRIDIRECTIONAL BUS TRANSCEIVERS

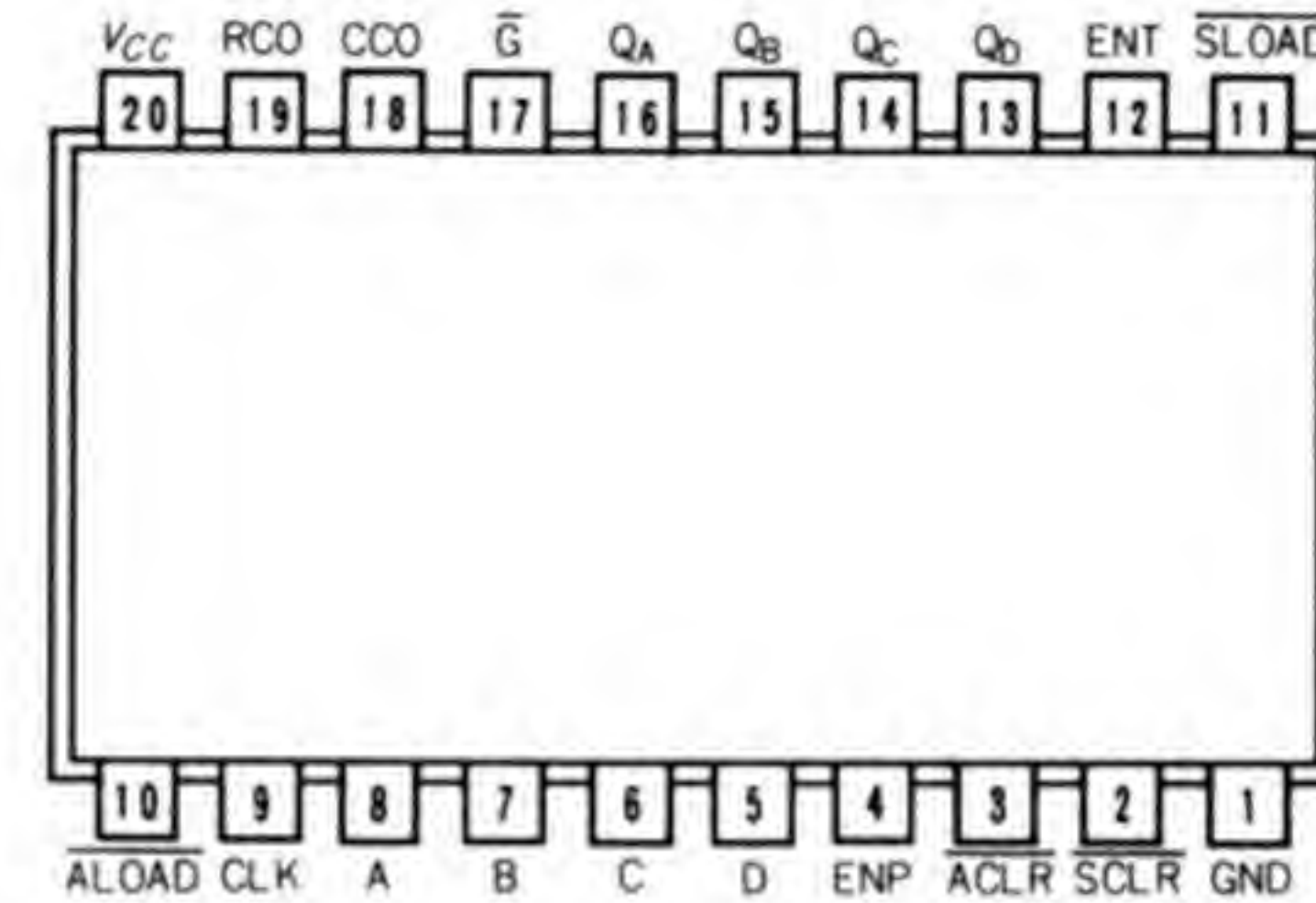


- 三つのバス間のデータの転送
- オープン・コレクタ出力

入 力						バス間の データの転送
CS	SI	SO	\overline{GA}	\overline{GB}	\overline{GC}	
H	X	X	X	X	X	なし
X	H	H	X	X	X	なし
X	X	X	H	H	H	なし
X	L	L	H	H	H	なし
X	L	H	H	X	H	なし
X	H	L	H	H	X	なし
L	L	L	X	L	L	$\overline{A} \rightarrow B, \overline{A} \rightarrow C$
L	L	H	L	X	L	$B \rightarrow C, \overline{B} \rightarrow A$
L	H	L	L	L	X	$\overline{C} \rightarrow A, C \rightarrow B$
L	L	L	X	L	H	$\overline{A} \rightarrow B$
L	L	H	H	X	L	$B \rightarrow C$
L	H	L	L	H	X	$\overline{C} \rightarrow A$
L	L	L	X	H	L	$\overline{A} \rightarrow C$
L	L	H	L	X	H	$\overline{B} \rightarrow A$
L	H	L	H	L	X	$C \rightarrow B$

74560

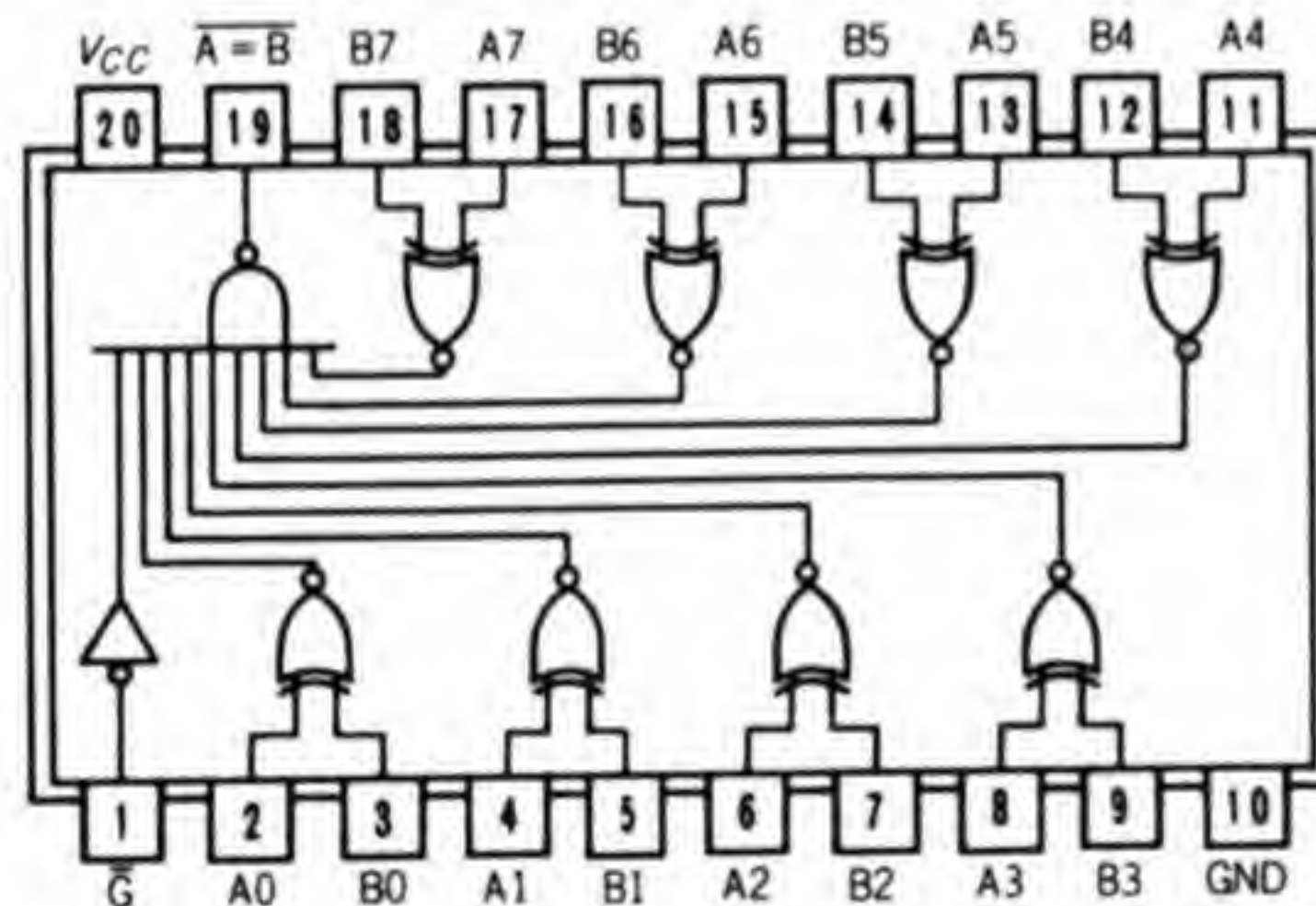
SYNCHRONOUS PRESETTABLE DECABLE COUNTER (3-STATE)



- ロード、クリアは同期／非同期両方あり
- 568 の U/D を非同期ロードに変えた物
- 560 は BCD, 561 は Binary

74522

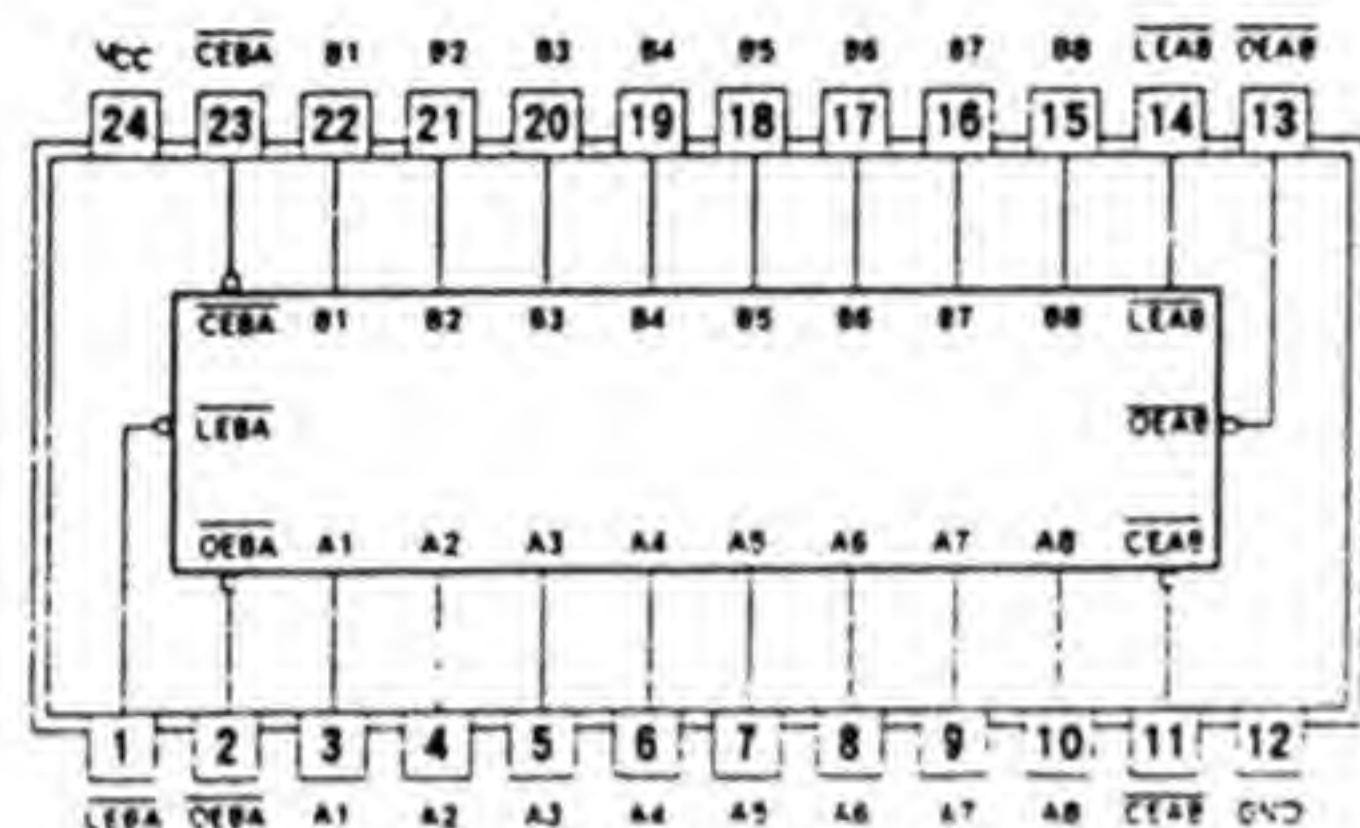
8-BIT EQUAL-TO COMPARATOR



ナンバー	入 力	出 力
74522	20K P. U.	不一致 O. C.

入 力							出 力				動 作
CLK	Enable		Clear		Load		\overline{G}	$Q_A \sim Q_D$	Carry		
	ENP	ENT	\overline{ACLR}	\overline{SCLR}	\overline{ALOAD}	\overline{SLOAD}			\overline{RCO}	\overline{CCO}	
↑	H	H	H	H	H	H	—	—			カ ウ ン ト
	X	X	H	H	H	L					同 期 ロ ー ド
	X	X	H	L	H	X					同 期 ク リ ア
X	X	X	H	X	L	X	—	—			ロ ー ド
			L		X						ク リ ア
X	X	H	—				—	HLLH	H	—	—
H	H										
—							H				High-Z

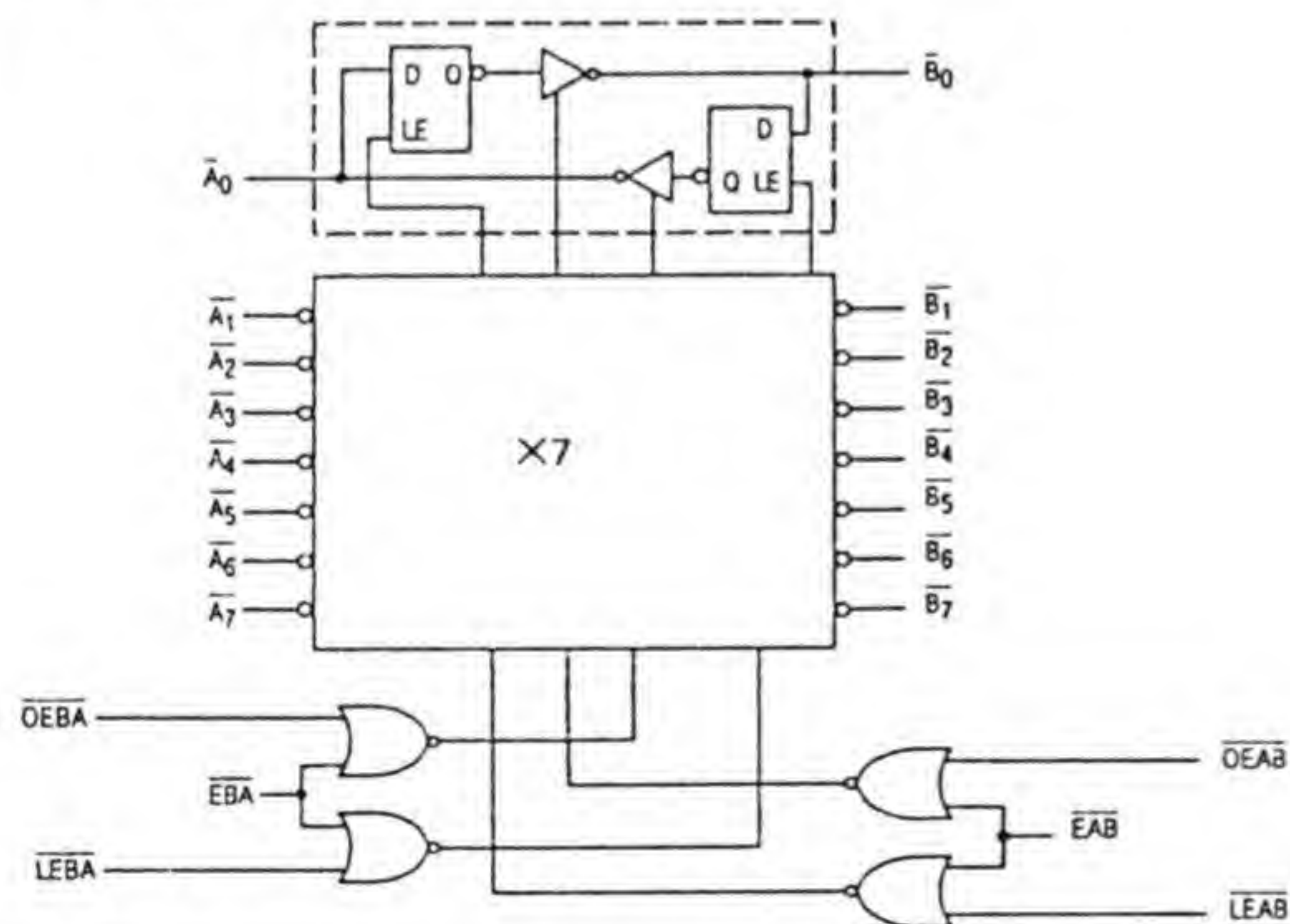
OCTAL REGISTERED TRANSCEIVERS



- レジスタ付き双方向バス・トランシーバ
- 非反転出力
- 3ステート出力

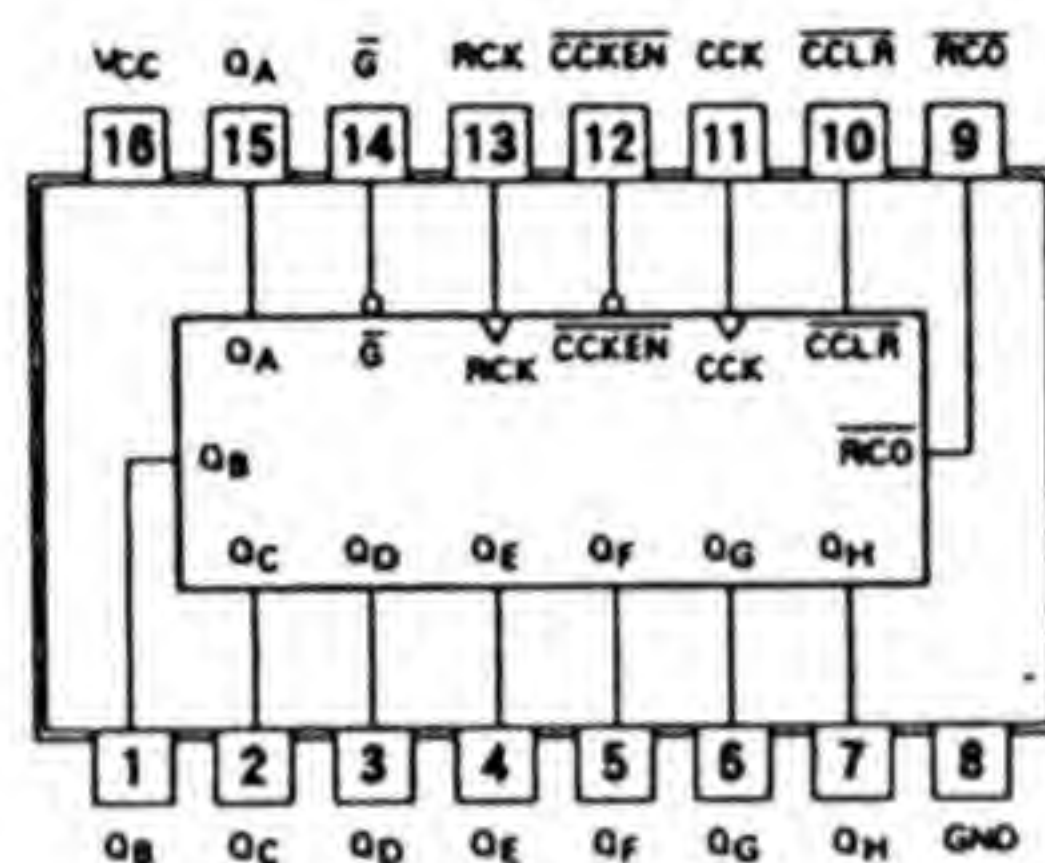
入 力				出 力	機能・動作↑
GAB	CEAB	LEAB	DATA	B1~B8	
H	X	X	X	Z	出力ディセーブル
L	H	L	L	Z	出力ディセーブル
L	H	L	H	Z	A データラッチ
L	L	H	L	H	A データラッチ
L	L	H	H	L	
L	L	L	L	H	トランスペアレント
L	L	L	H	L	

↑BデータをAに出力する場合 GBA,CEBA,LEBAの入力を使用すること以外動作は同じ。

[illegible][illegible]

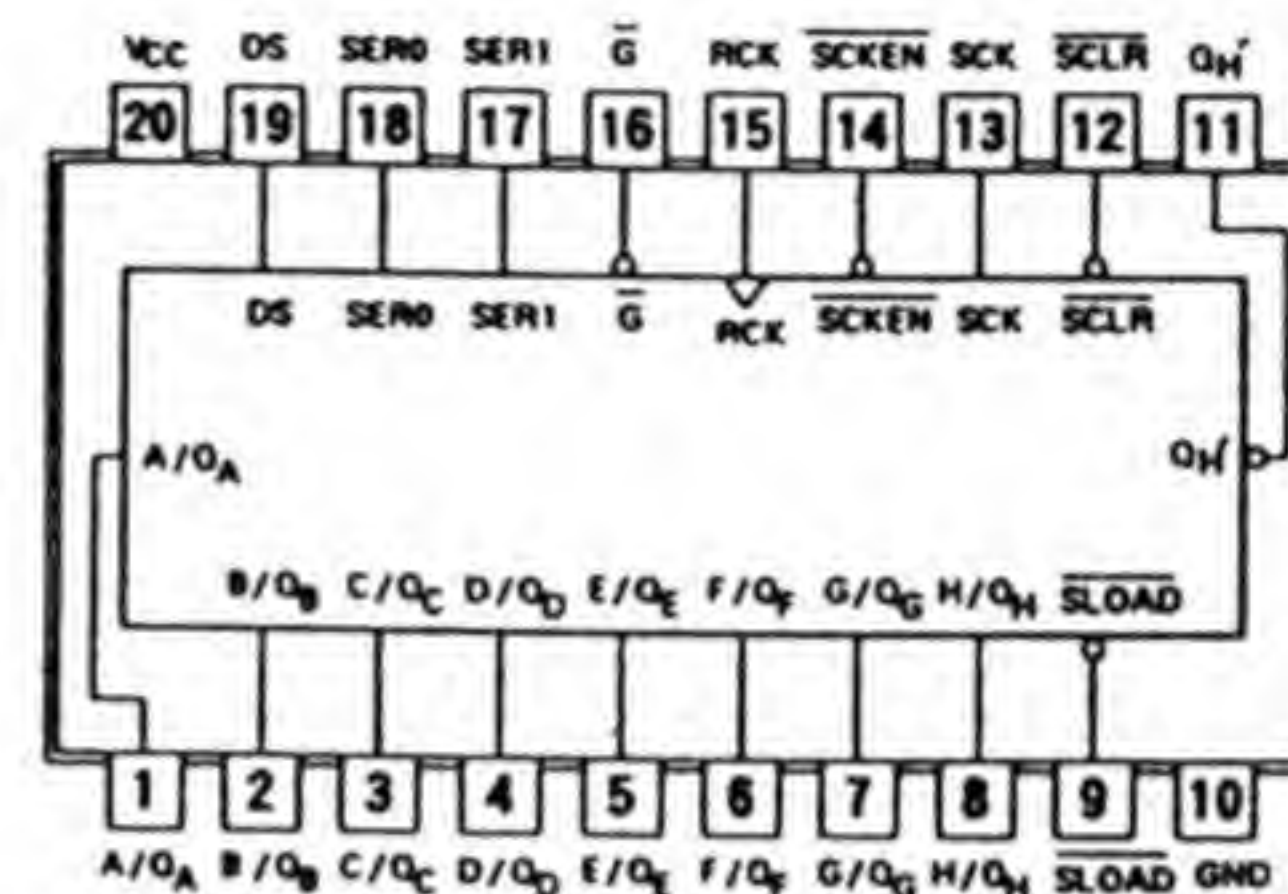
74591, 74596, 74598, 74599

74591 8-BIT BINARY COUNTER WITH OUTPUT REGISTER



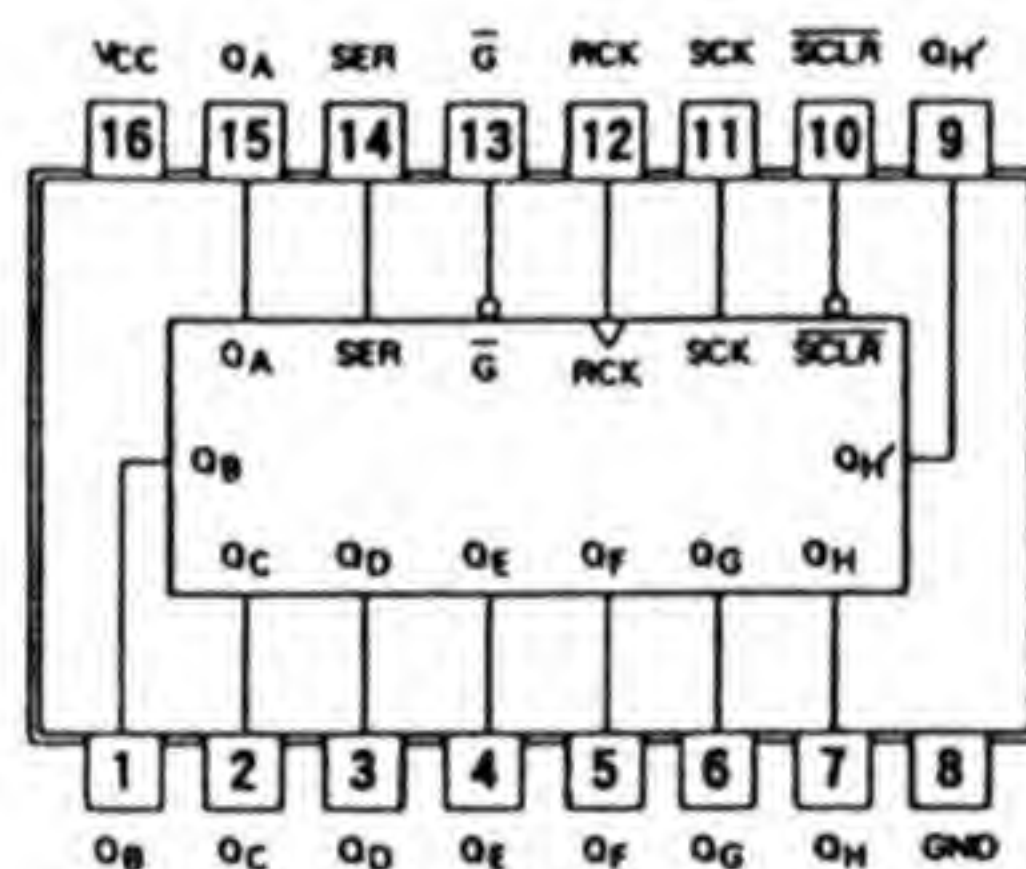
- パラレル出力レジスタ内蔵
- 非同期クリア (カウンタ)
- オープン・コレクタ出力
- 最大動作周波数………20MHz

74598 8-BIT SHIFT REGISTER WITH INPUT LATCHES



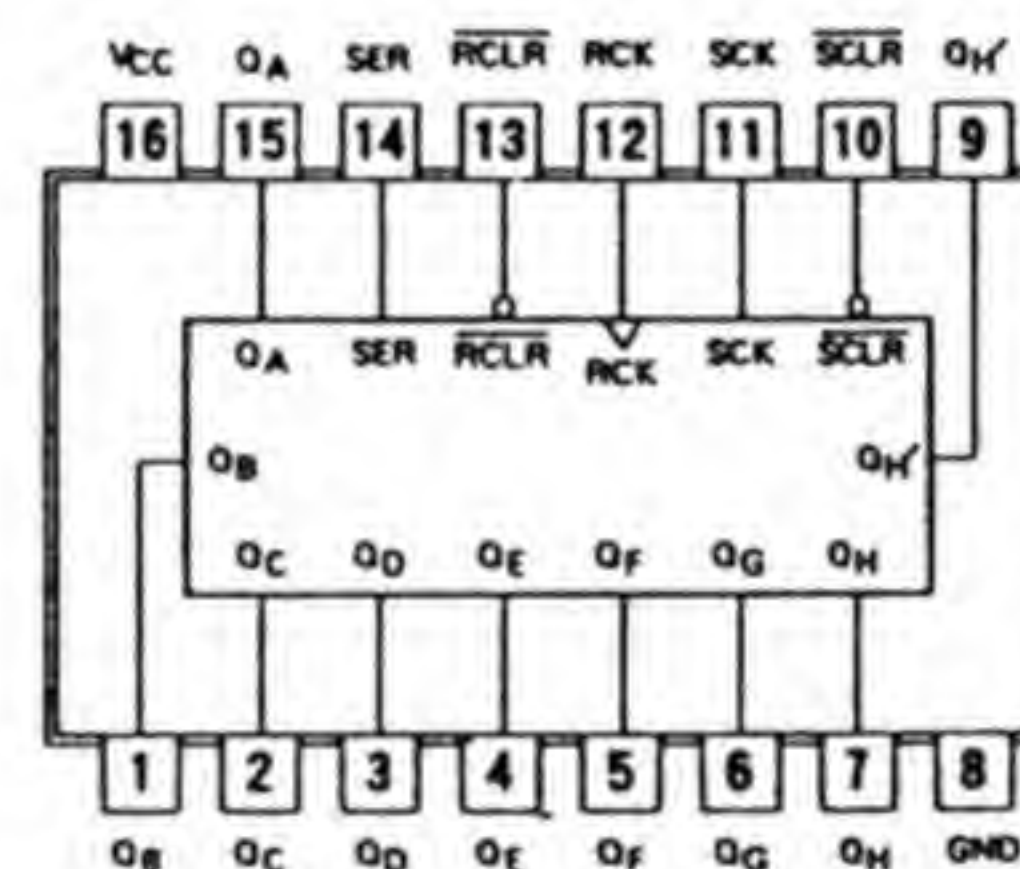
- I/O ポート (レジスタ入力, シフト・レジスタ出力)
- 非同期ロード (シフト・レジスタ)
- 非同期クリア (シフト・レジスタ)
- 最大動作周波数………20MHz

74596 8-BIT SHIFT REGISTER WITH OUTPUT LATCHES



- 8ビット・シリアル入力, パラレル出力
- オープン・コレクタ出力
- 非同期クリア (シフト・レジスタ)
- 最大動作周波数………20MHz

74599 8-BIT SHIFT REGISTER WITH OUTPUT LATCHES

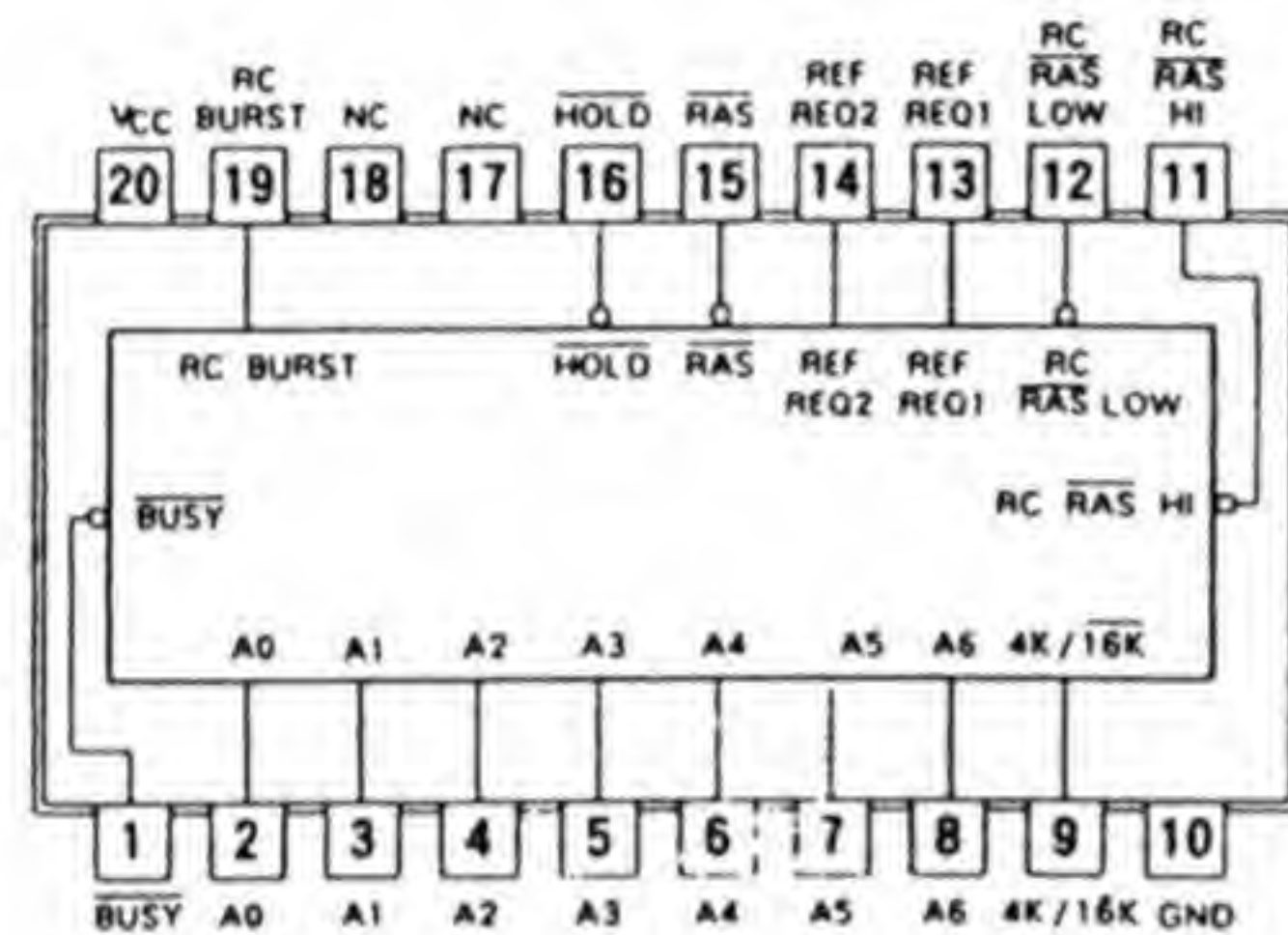


- 8ビット・シリアル入力, パラレル出力
- オープン・コレクタ出力
- 非同期クリア (シフト・レジスタ, 出力レジスタ)
- クロック (シフト・レジスタ, 出力レジスタ)
- 最大動作周波数………20MHz

74600, 74601, 74602, 74604

74600

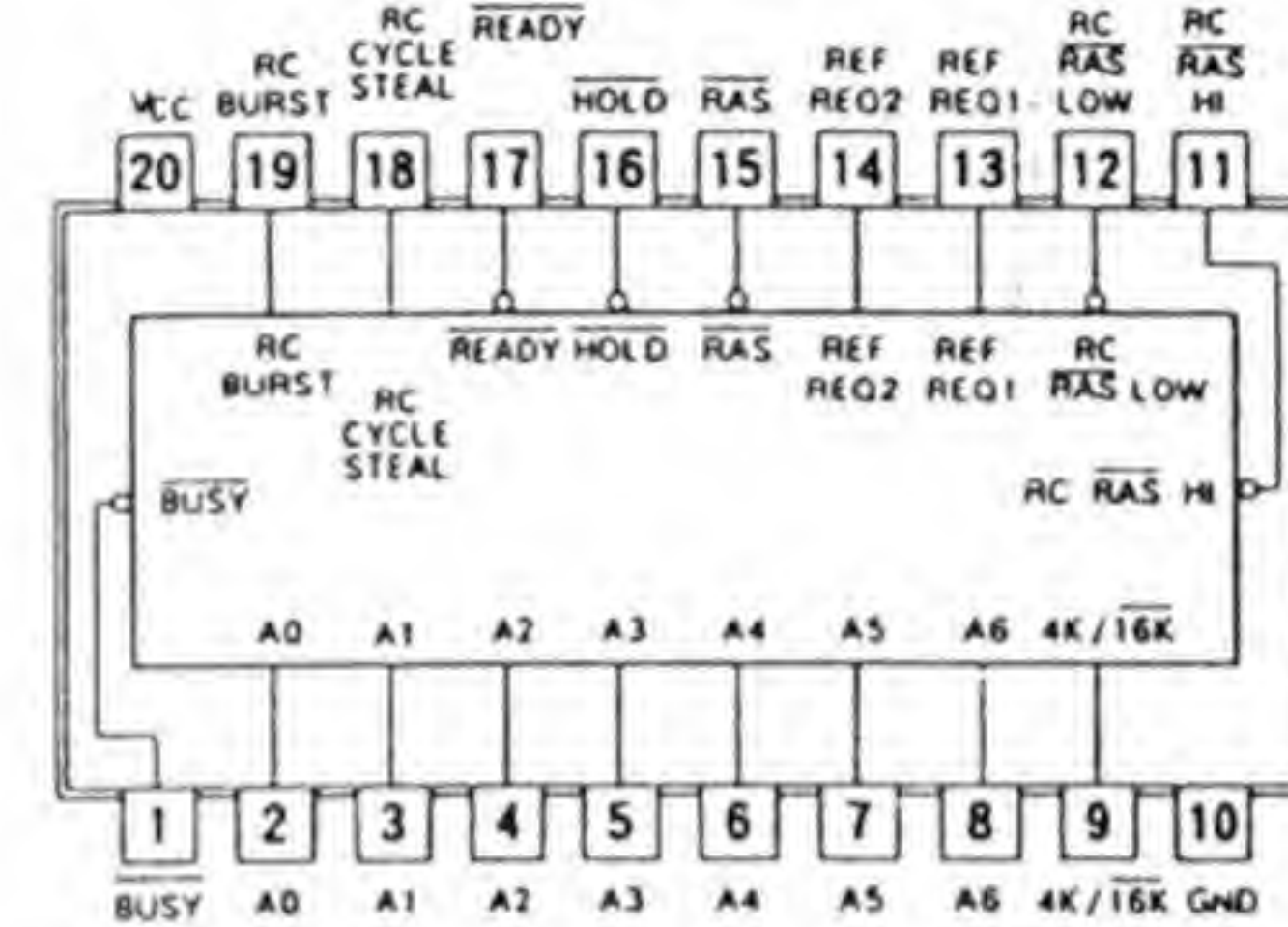
MEMORY REFRESH CONTROLLER



- 4K または 16K DRAM リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
- システムに最適なタイミング選択可能 (RC 回路)

74602

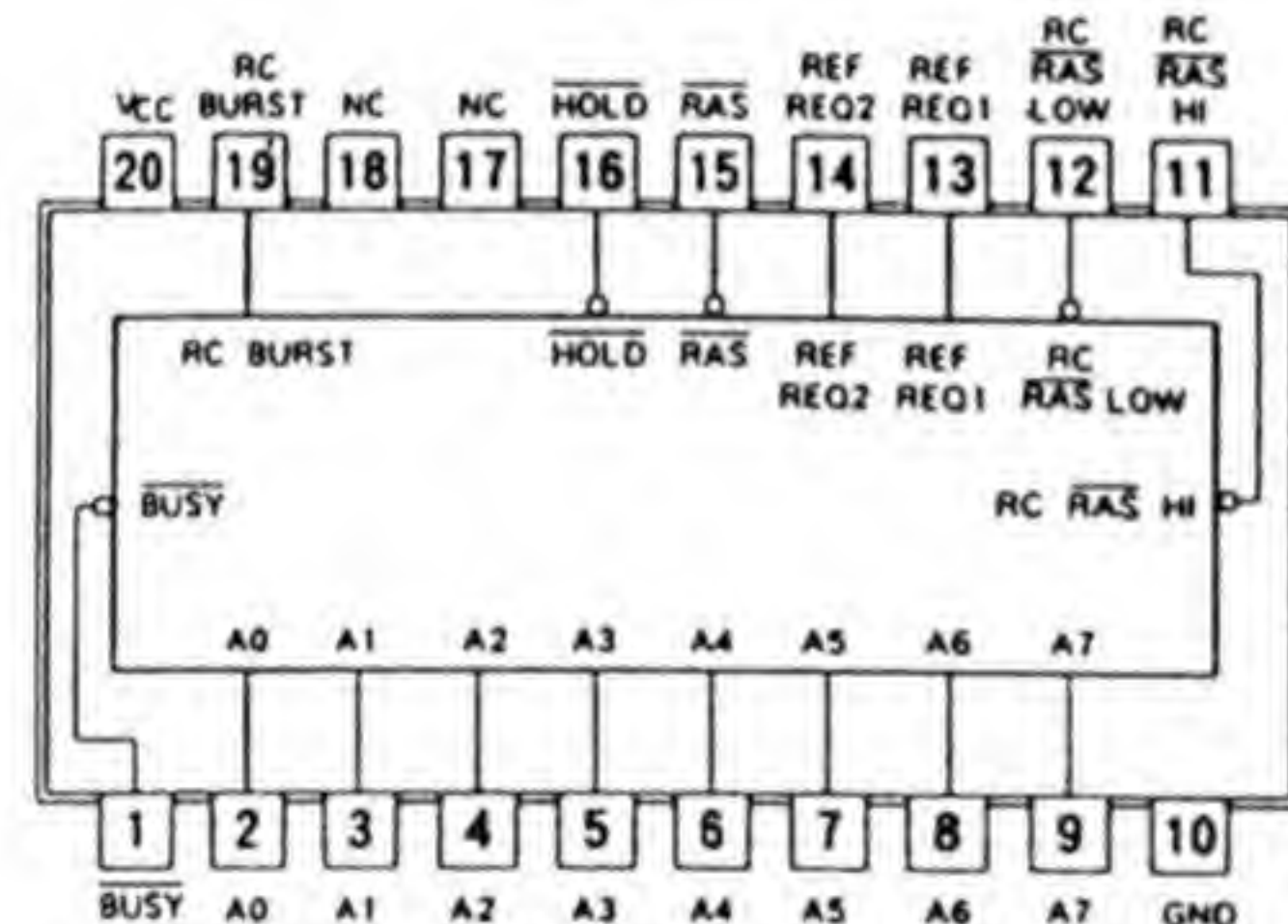
MEMORY REFRESH CONTROLLER



- 4K または 16K DRAM リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
- システムに最適なタイミング選択可能 (RC 回路)

74601

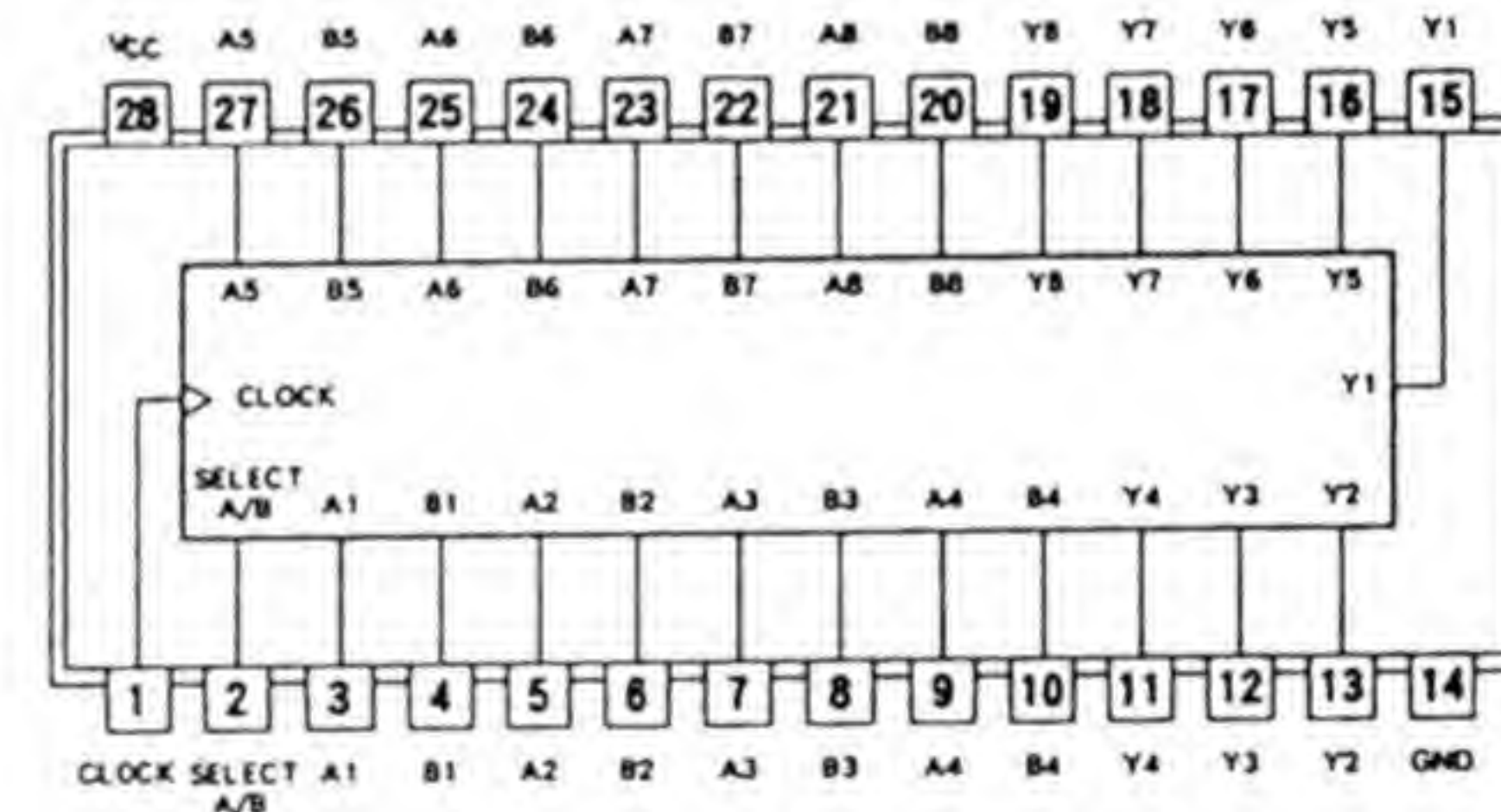
MEMORY REFRESH CONTROLLER



- 64K リフレッシュ・サイクルをコントロール
- DRAM を SRAM 同様に使用可能
- トランスペアレントまたはバースト・リフレッシュ・モード選択可能
- 3ステート出力
- システムに最適なタイミング選択可能 (RC 回路)

74604

OCTAL 2-INPUT MULTIPLEXED REGISTER



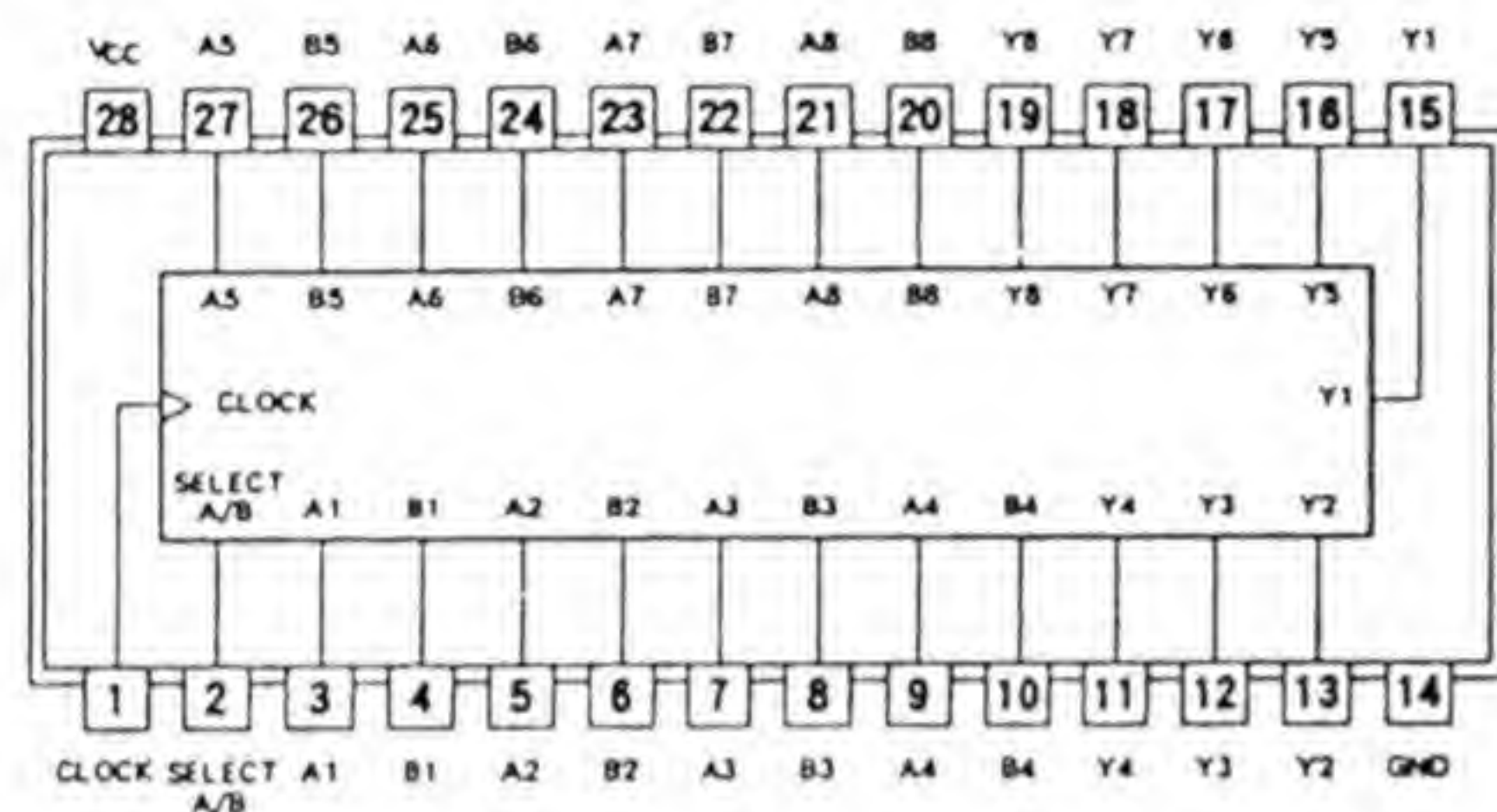
- 3ステート出力
- AバスまたはBバスからストアされたデータを選択

入 力				出 力
A1-A8	B1-B8	セレクト A/B	CLOCK	Y1-Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタ・データ
X	X	H	H	Aレジスタ・データ

74605, 74606, 74607, 74608

74605

OCTAL 2-INPUT MULTIPLEXED REGISTER

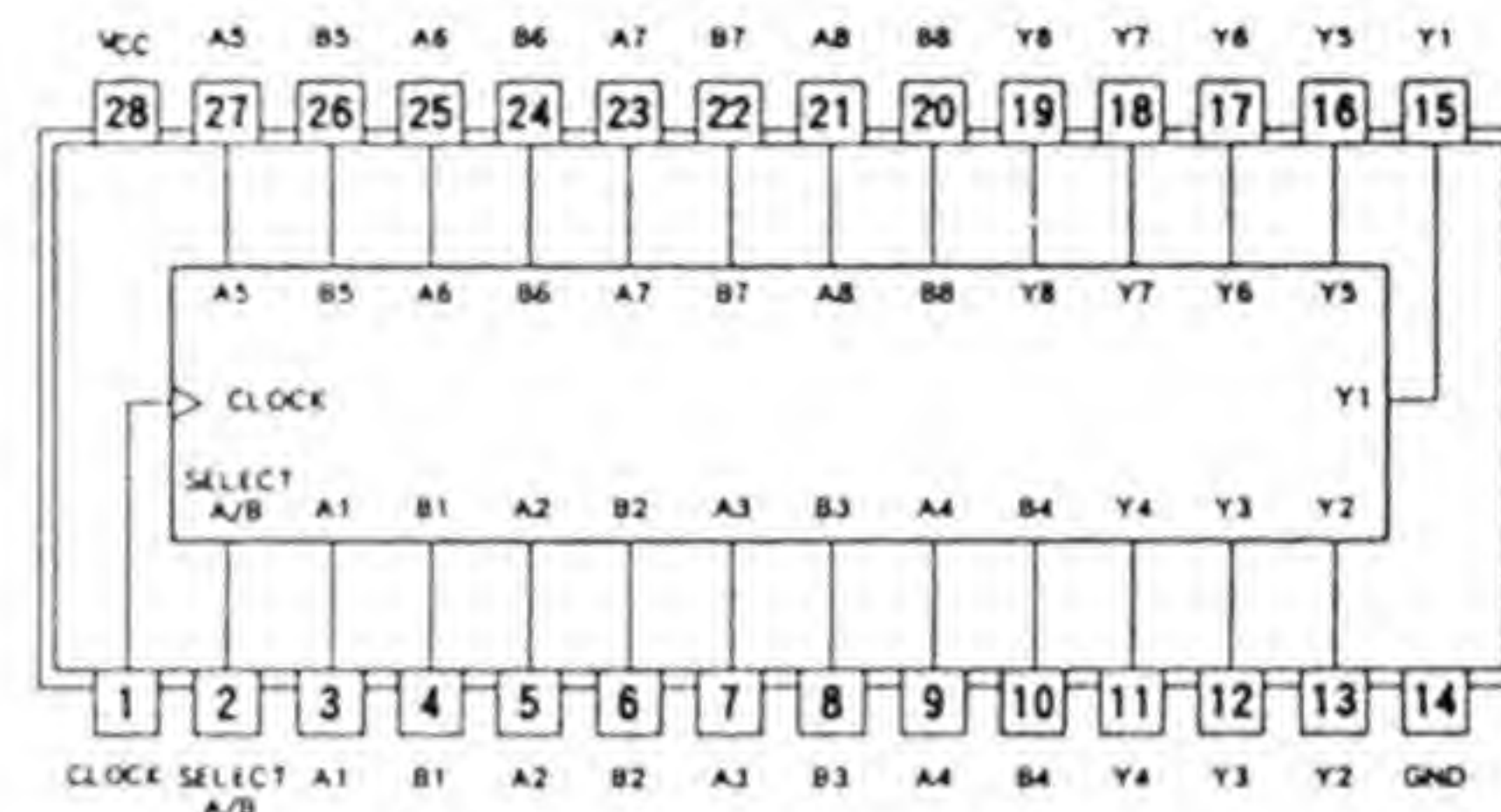


- オープン・コレクタ出力
- AバスまたはBバスからストアされたデータを選択

入 力				出 力
A1-A8	B1-B8	セレクト A/B	CLOCK	Y1-Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタデータ
X	X	H	H	Aレジスタデータ

74607

OCTAL 2-INPUT MULTIPLEXED REGISTER

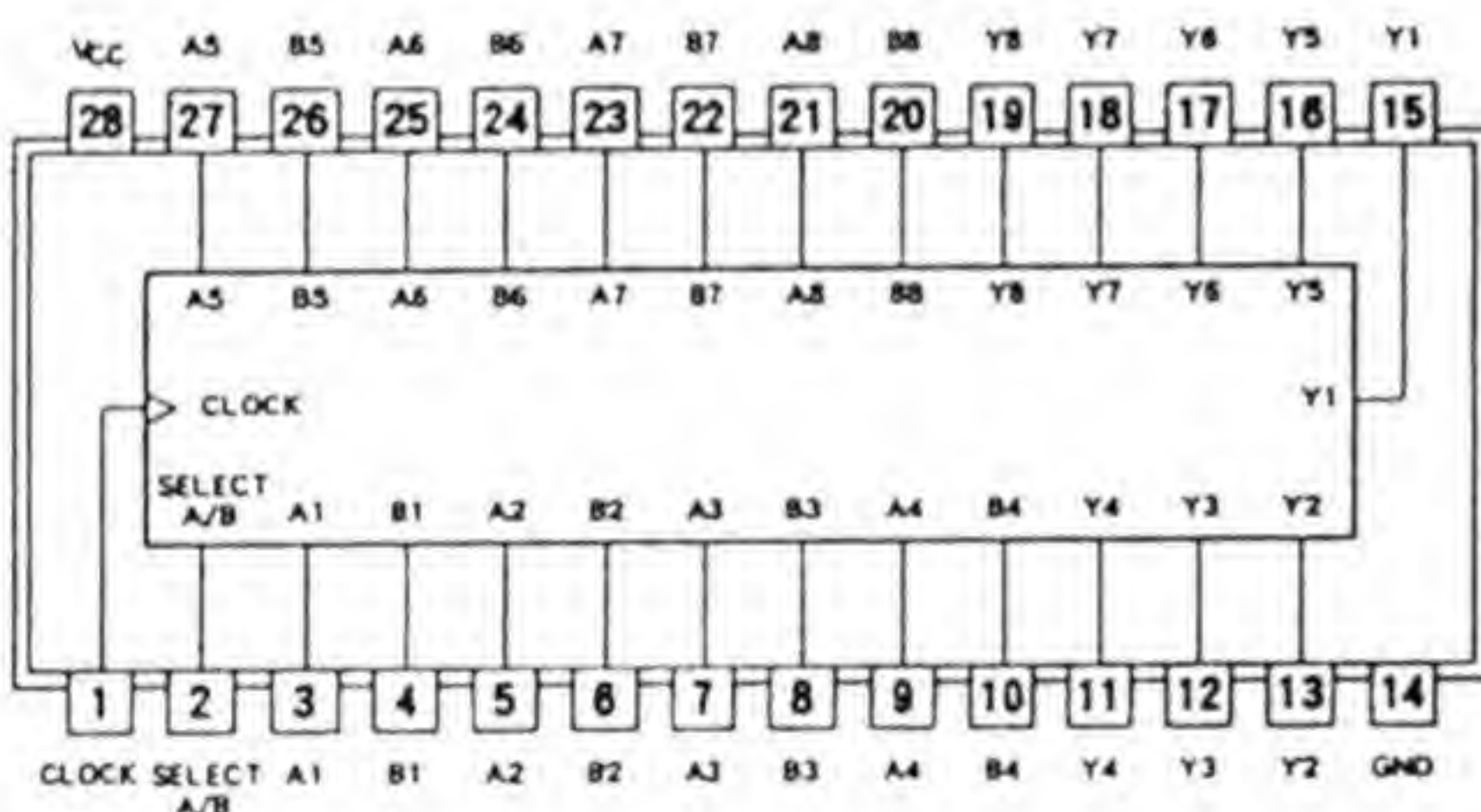


- オープン・コレクタ出力
- AバスまたはBバスからストアされたデータを選択

入 力				出 力
A1-A8	B1-B8	セレクト A/B	CLOCK	Y1-Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタデータ
X	X	H	H	Aレジスタデータ

74606

OCTAL 2-INPUT MULTIPLEXED REGISTER

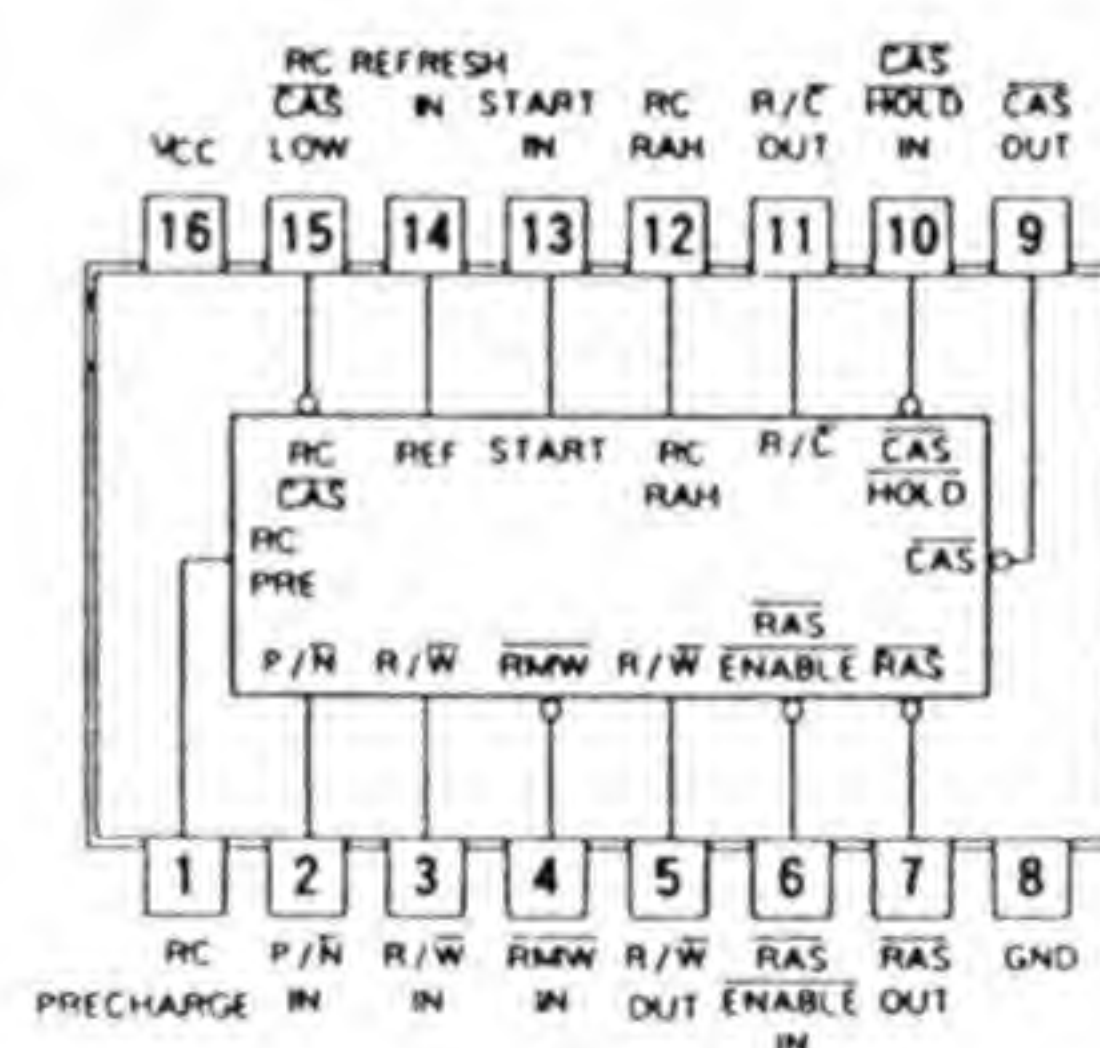


- 3ステート出力
- AバスまたはBバスからストアされたデータを選択

入 力				出 力
A1-A8	B1-B8	セレクト A/B	CLOCK	Y1-Y8
Aデータ	Bデータ	L	↑	Bデータ
Aデータ	Bデータ	H	↑	Aデータ
X	X	X	L	Zまたはオフ
X	X	L	H	Bレジスタデータ
X	X	H	H	Aレジスタデータ

74608

MEMORY CYCLE CONTROLLER

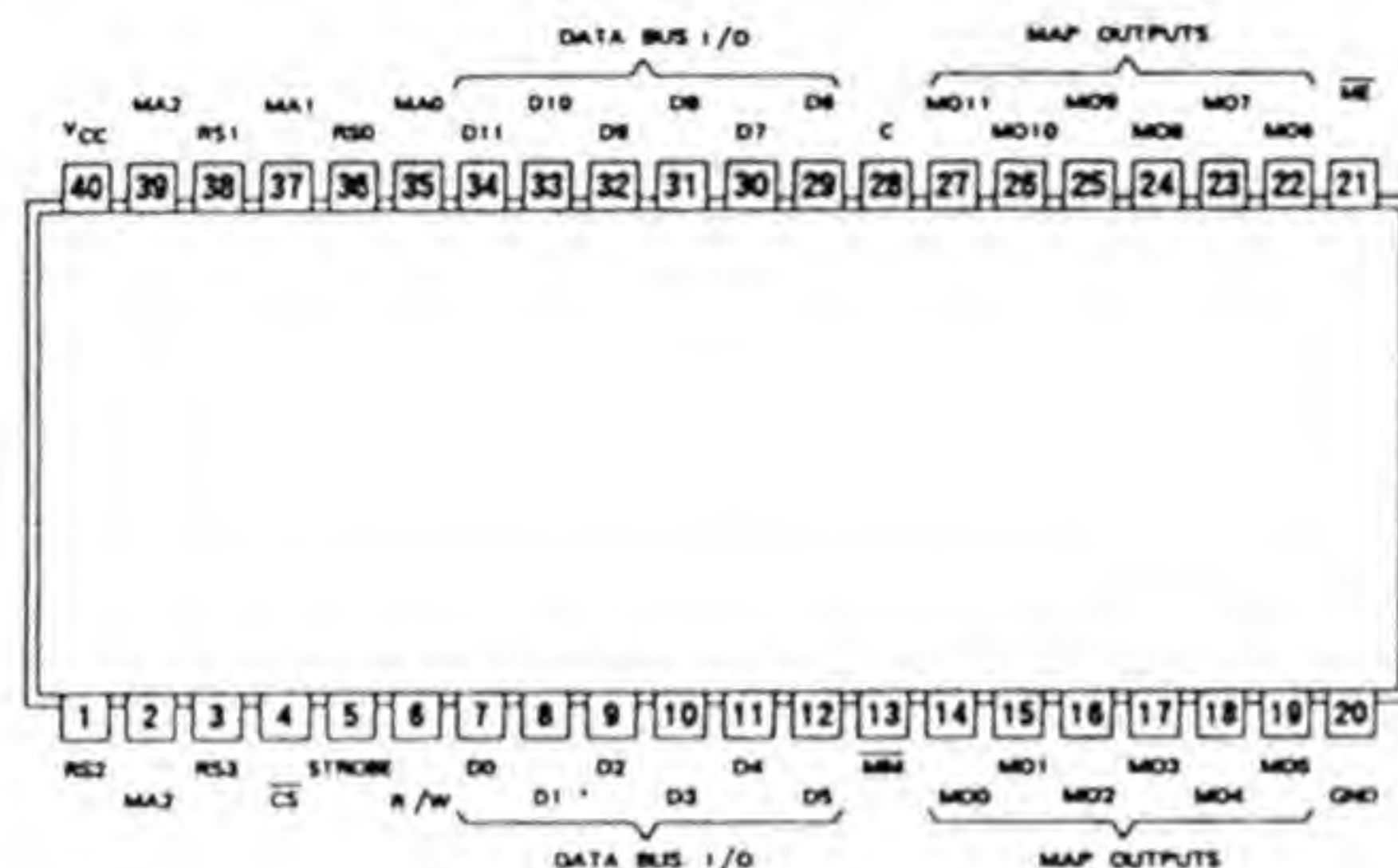


- 次の各モードでタイミングを発生
 - ーリード・サイクル
 - ーライト・サイクル
 - ーリード・モディファイ・ライト・サイクル
 - ーRAS-オンリ・リフレッシュ・サイクル
- RAS出力は3ステート出力
- システムに最適なタイミング選択可能 (RC回路)
- ページとノーマル・モードの選択可能

74610, 74611, 74612, 74613

74610

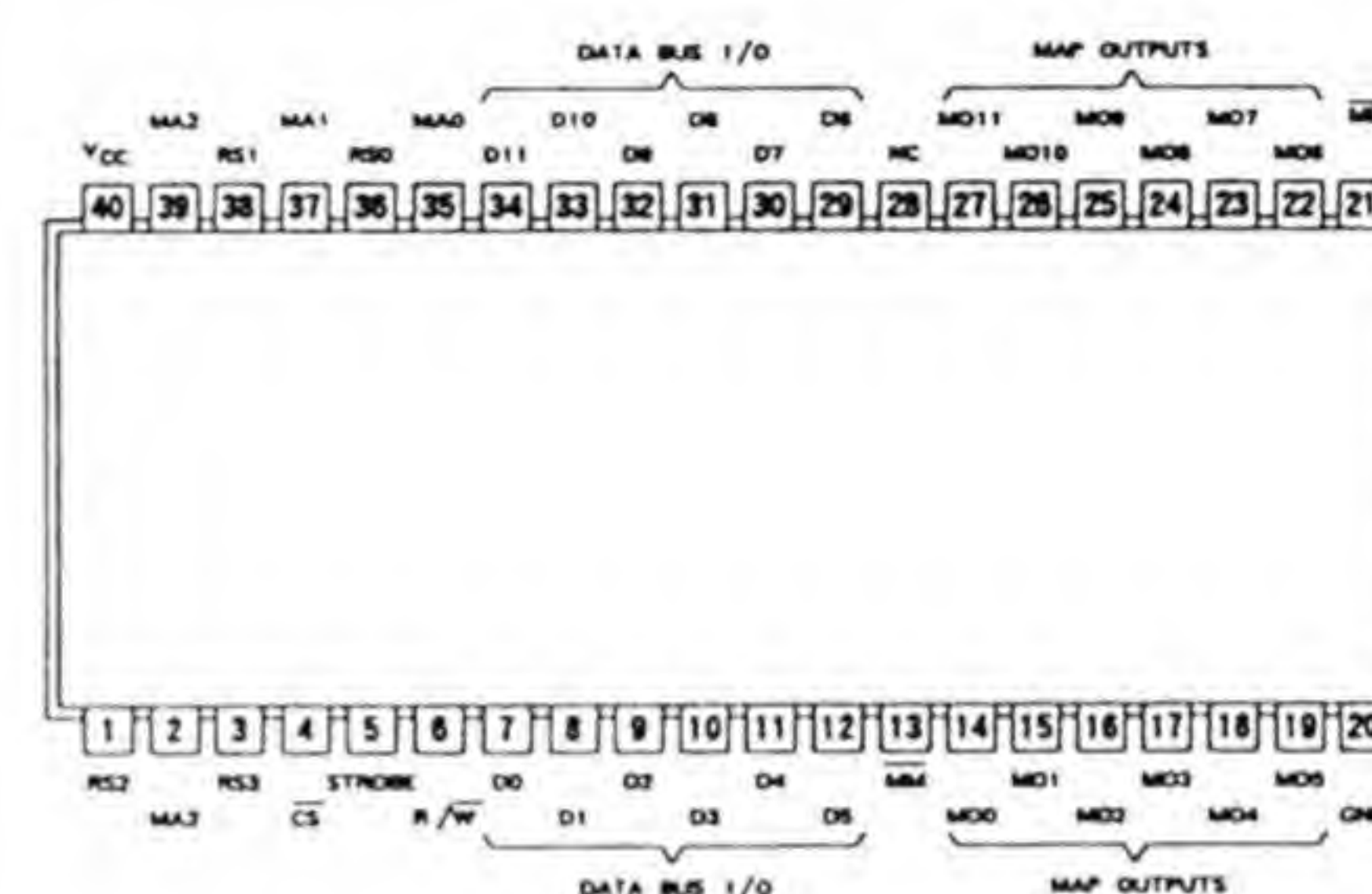
MEMORY MAPPERS



- 4ラインのアドレス・ラインを12ラインに拡張
- メモリをページ単位でマッピング
- マップ出力にラッチ付き
- マイクロ・プロセッサとの接続が容易
- 3ステート出力

74612

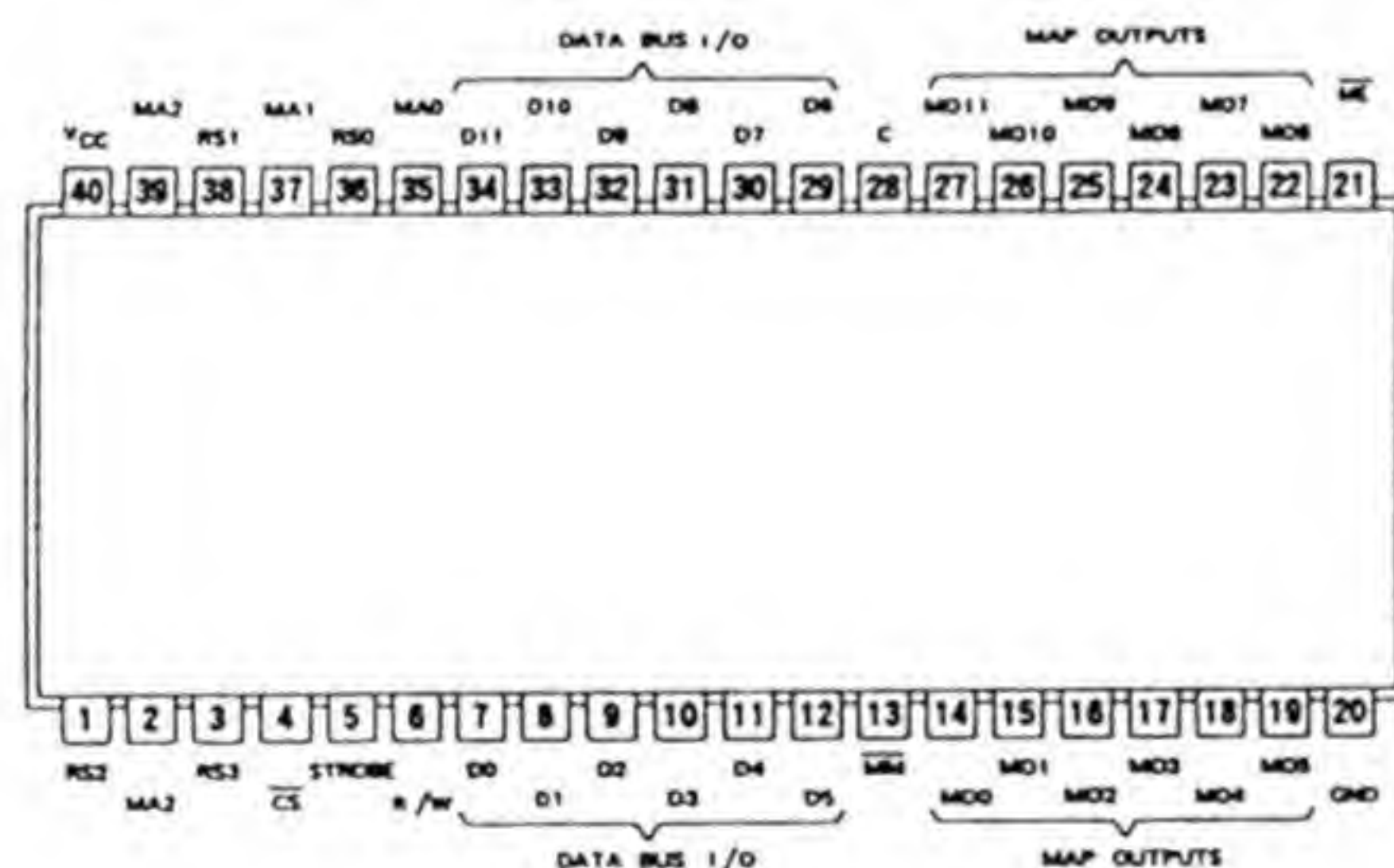
MEMORY MAPPERS



- 4ラインのアドレス・ラインを12ラインに拡張
- メモリをページ単位でマッピング
- マイクロ・プロセッサとの接続が容易
- 3ステート出力

74611

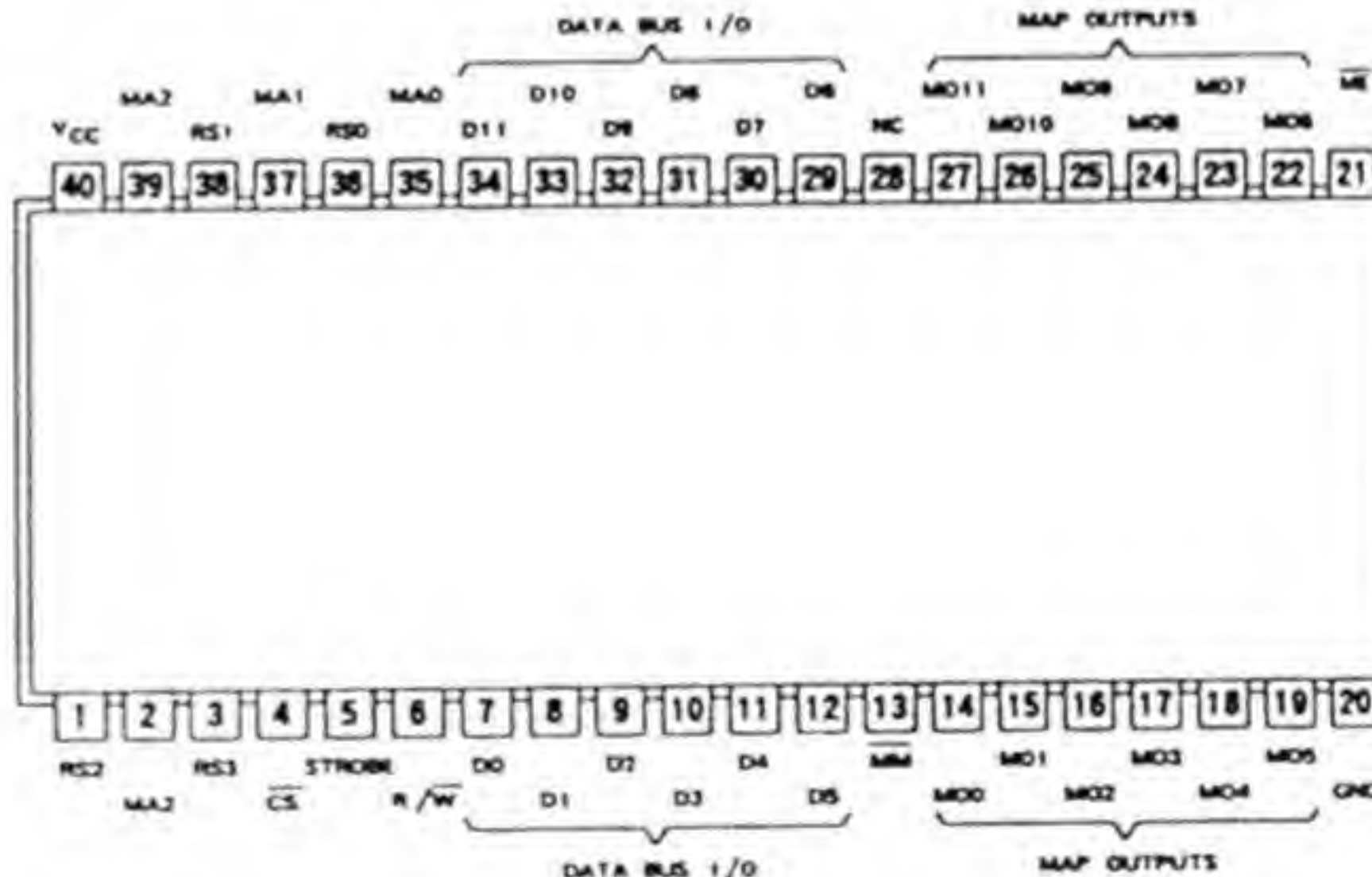
MEMORY MAPPERS



- 4ラインのアドレス・ラインを12ラインに拡張
- メモリをページ単位でマッピング
- マップ出力にラッチ付き
- マイクロ・プロセッサとの接続が容易
- オープン・コレクタ出力

74613

MEMORY MAPPERS

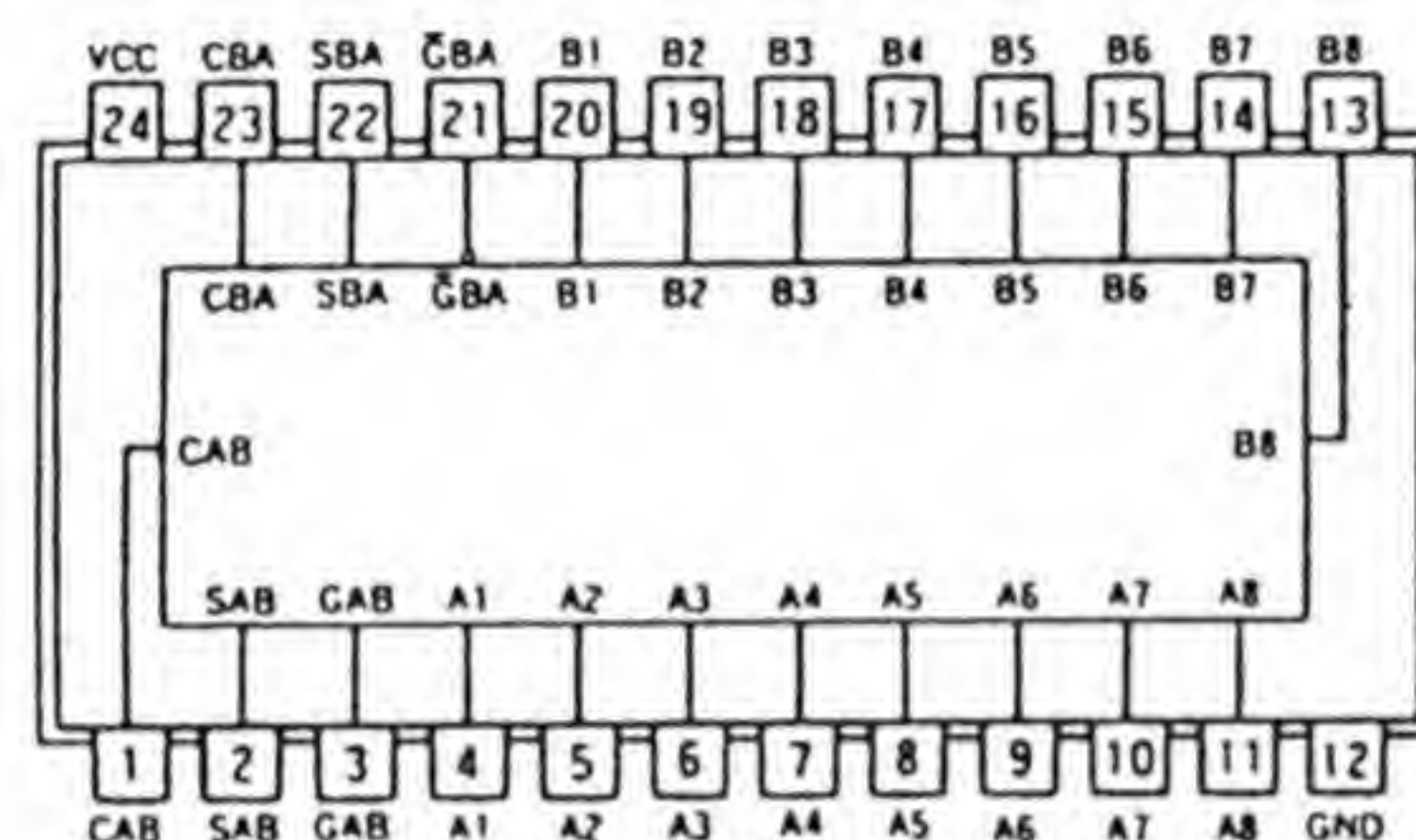


- 4ラインのアドレス・ラインを12ラインに拡張
- メモリをページ単位でマッピング
- マイクロ・プロセッサとの接続が容易
- オープン・コレクタ出力

74614, 74615

74614

OCTAL BUS TRANSCEIVERS AND REGISTERS

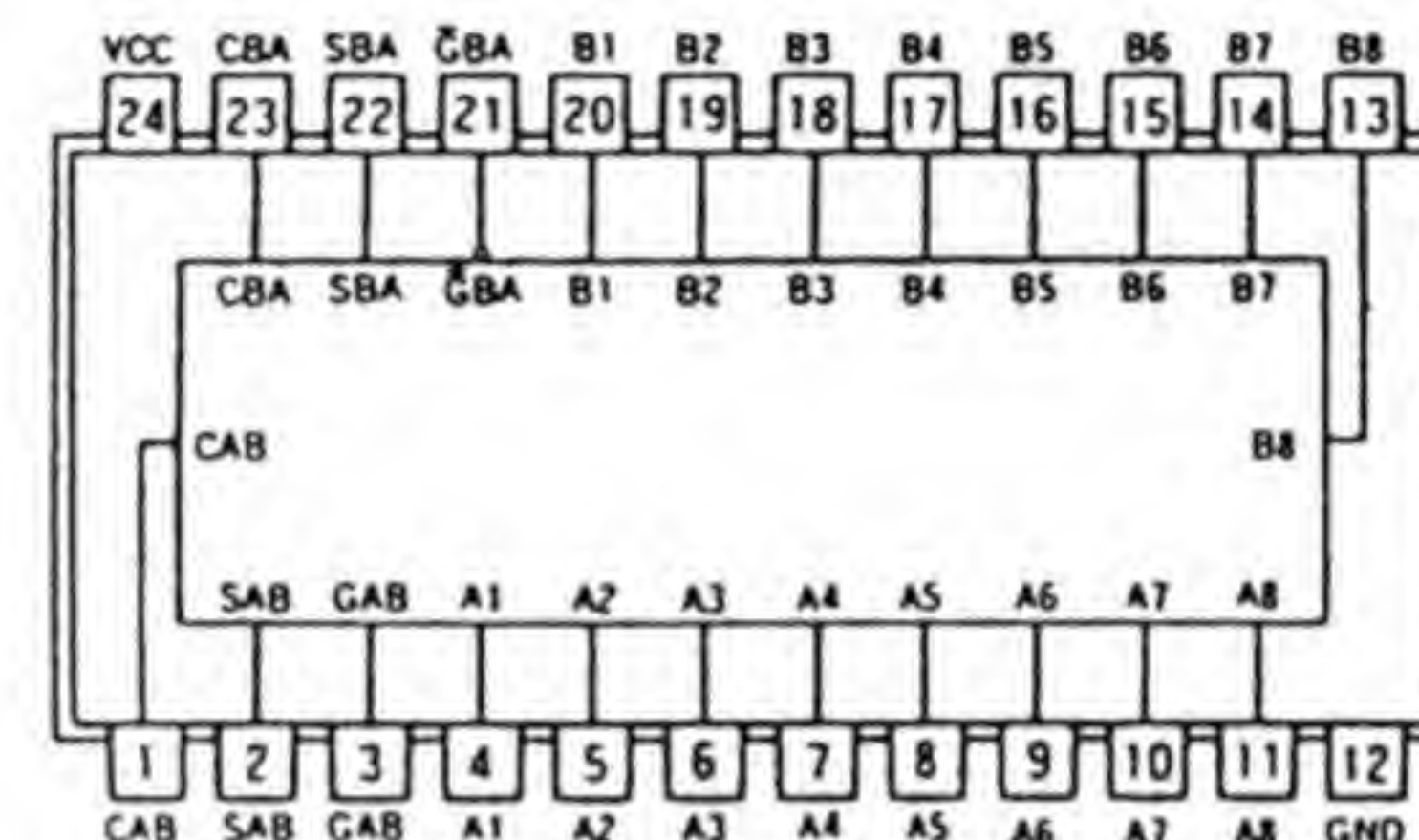


- レジスタ付き双方向バス・トランシーバ
- Aポート, Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 反転出力
- オープン・コレクタ出力

入		カ		データ I/O		機能・動作
GAB	CBA	CAB	CBA	SAB	SBA	
L	H	H または L	H または L	X	X	アイソレーション Aデータ, Bデータストア
L	H	↑	↑	X	X	入 力
X	H	↑	H または L	X	X	入 力
H	H	↑	↑	X	X	出 力
L	X	H または L	↑	X	X	ホールドA, ストアB
L	L	↑	↑	X	X	出 力
L	L	X	X	X	L	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ
L	L	X	H または L	X	H	出 力
H	H	X	X	L	X	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H	H	H または L	X	H	X	入 力
H	L	H または L	H または L	H	H	出 力

74615

OCTAL BUS TRANSCEIVERS AND REGISTERS

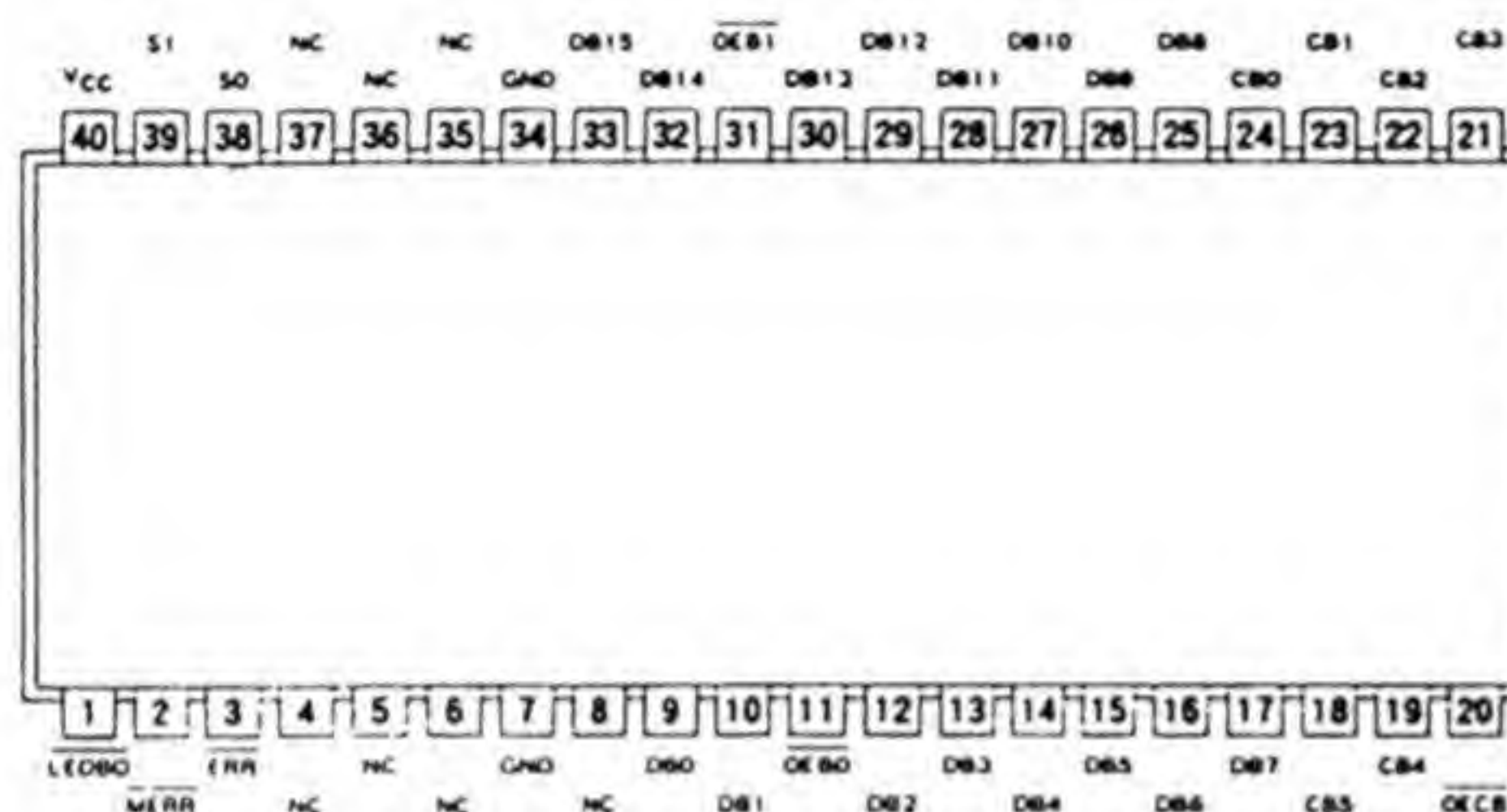


- レジスタ付き双方向バス・トランシーバ
- Aポート, Bポートそれぞれ独自のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 非反転出力
- オープン・コレクタ出力

入		カ		データ I/O		機能・動作
GAB	CBA	CAB	CBA	SAB	SBA	
L	H	H または L	H または L	X	X	アイソレーション Aデータ, Bデータストア
L	H	↑	↑	X	X	入 力
X	H	↑	H または L	X	X	入 力
H	H	↑	↑	X	X	出 力
L	X	H または L	↑	X	X	ホールドA, ストアB
L	L	↑	↑	X	X	出 力
L	L	X	X	X	L	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ
L	L	X	H または L	X	H	出 力
H	H	X	X	L	X	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H	H	H または L	X	H	X	入 力
H	L	H または L	H または L	H	H	出 力

74616, 74617

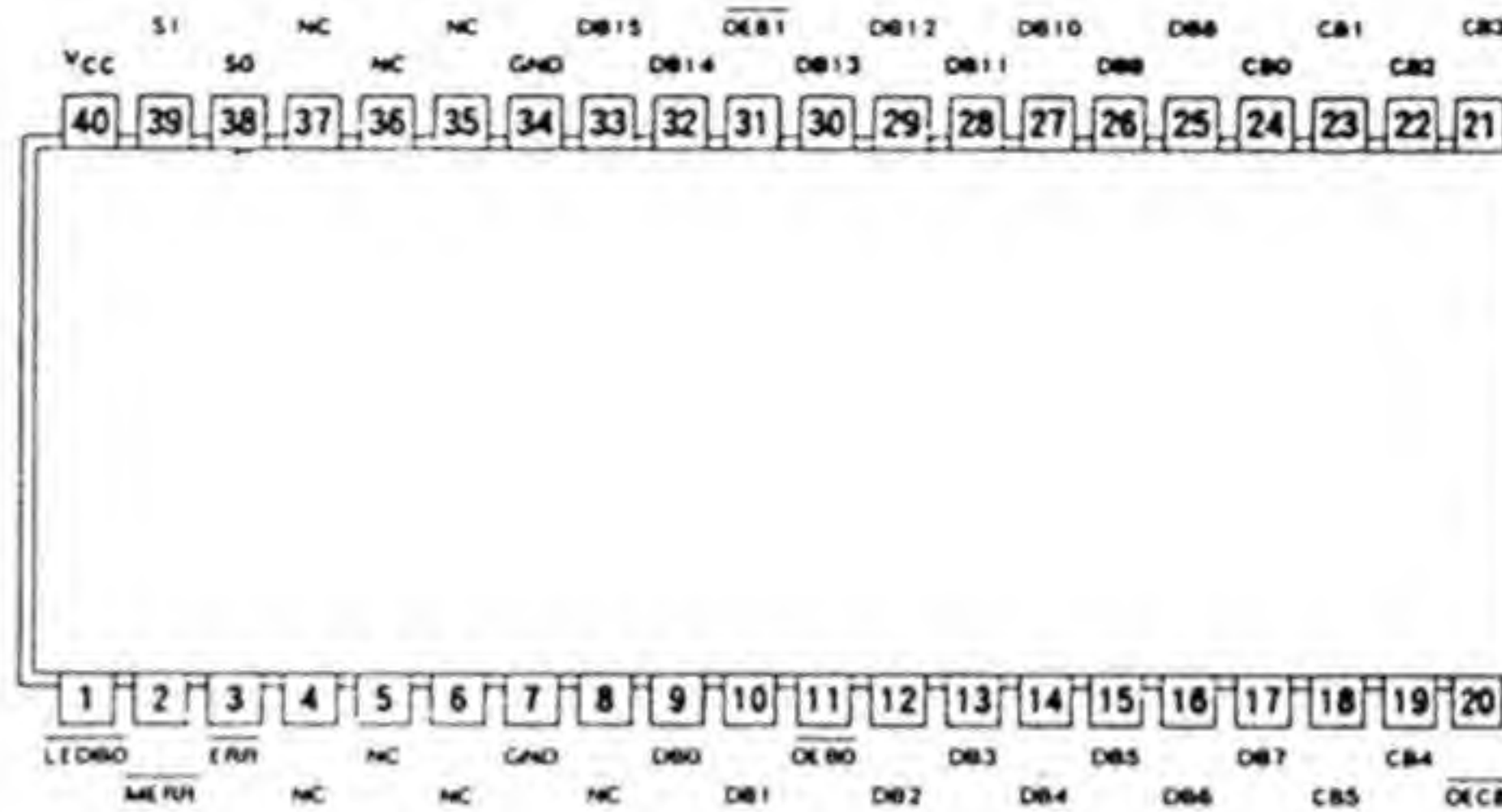
74616 16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT



- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル処理時間
- データのバッファが2系統に分離
- 3ステート出力

メモリ サイクル	EDAC 発生	コントロール SI S0	データ I/O	DB コントロール OE	DB 出力ラッチ LE	チェック I/O	DB コントロール OE	エラーフラグ ERR MEER
ライト	チェック・ワード 発生	L L	入 力	H	X	チェック・ ビット出力	L	H H
リード	エラー・フラグ 発生	H L	入 力	H	X	入 力	H	イネーブル
リード	データと チェック・ビット をラッチ	H H	データ入力	H	L	チェック・ ワード入力	H	イネーブル
リード	訂正データと シンドローム・ ビットを出力	H H	訂正データ・ ワード出力	L	X	シンドローム・ ビット出力	L	イネーブル
リード	データと チェック・ビット をラッチ	H H	データ入力	H	L	チェック・ ワード入力	H	イネーブル
リード	出力ラッチで データ・ワード 訂 正	H H	データ ワード出力	H	H	H-Z シンドローム・ ビット出力	L	イネーブル
メモファイ /ライト	バイト範囲と そのチェック・ ワード発生	L L	BYTE0 を メモファイ した入力 BYTE0 出 力	H L	H	チェック・ ワード出力	L	H H
	リードと フラグ	H L	データ・ワード 入 力	H	X	チェック・ ビット入力	H	H H
	チェック・ワード をラッチ、データ 入力はトランス ペアレント	L H	自己診断 データ・ワード 入 力	H	L	チェック・ ビット入力	H	イネーブル
	出力に自己診 断データ・ ワードをラッチ	L H	自己診断 データ・ワード 入 力	H	H	チェック・ ビット出力 H-Z	L	イネーブル
	入力に自己診 断データ・ ワードをラッチ	H H	自己診断 データ・ワード 入 力	H	H	シンドローム・ ビット出力 H-Z	L	イネーブル
	自己診断 データ・ワード とシンドローム・ ビットを出力	H H	自己診断 データ・ワード 出 力	L	H	シンドローム・ ビット出力 H-Z	L	イネーブル
	訂正自己診断 データ・ワード とシンドローム・ ビットを出力	H H	訂正自己診 断データ・ワード 出 力	L	L	シンドローム・ ビット出力 H-Z	L	イネーブル

74617 16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT

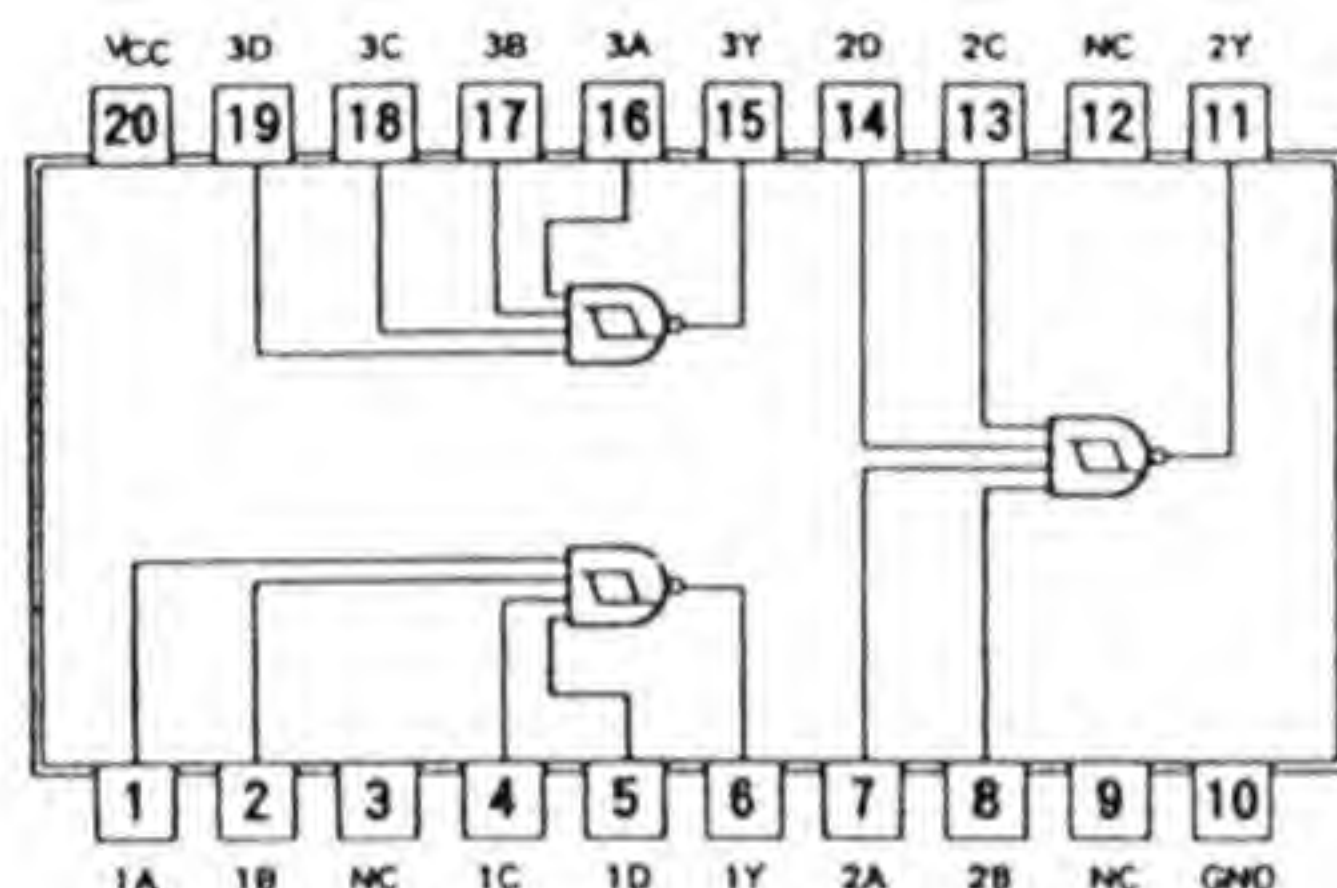


- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル処理時間
- データのバッファが2系統に分離
- オープン・コレクタ出力

メモリ サイクル	EDAC 発生	コントロール SI S0	データ I/O	DB コントロール OE	DB 出力ラッチ LE	チェック I/O	DB コントロール OE	エラーフラグ ERR MEER
ライト	チェック・ワード 発生	L L	入 力	H	X	チェック・ ビット出力	L	H H
リード	エラー・フラグ 発生	H L	入 力	H	X	入 力	H	イネーブル
リード	データと チェック・ビット をラッチ	H H	データ入力	H	L	チェック・ ワード入力	H	イネーブル
リード	訂正データと シンドローム・ ビットを発生	H H	訂正データ ワード出力	L	X	シンドローム・ ビット出力	L	イネーブル
リード	データと チェック・ビット をラッチ	H H	データ入力	H	L	チェック・ ワード入力	H	イネーブル
リード	出力ラッチで データ・ワード 訂 正	H H	データ・ ワード出力	H	H	H-Z シンドローム・ ビット出力	L	イネーブル
メモファイ /ライト	バイト範囲と そのチェック・ ワード発生	L L	BYTE0 を メモファイ した入力 BYTE0 出 力	H L	H	チェック・ ワード出力	L	H H
	リードとフラグ	H L	データ・ワード 入 力	H	X	チェック・ ビット入力	H	H H
	チェック・ワード をラッチ、データ 入力はトランス ペアレント	L H	自己診断 データ・ワード 入 力	H	L	チェック・ ビット入力	H	イネーブル
	出力に自己診 断データ・ ワードをラッチ	L H	自己診断 データ・ワード 入 力	H	H	チェック・ ビット出力 H-Z	L	イネーブル
	入力に自己診 断データ・ ワードをラッチ	H H	自己診断 データ・ワード 入 力	H	H	シンドローム・ ビット出力 H-Z	L	イネーブル
	自己診断 データ・ワード とシンドローム・ ビットを出力	H H	自己診断 データ・ワード 入 力	L	H	シンドローム・ ビット出力 H-Z	L	イネーブル
	訂正自己診断 データ・ワード とシンドローム・ ビットを出力	H H	訂正自己診 断データ・ワード 出 力	L	L	シンドローム・ ビット出力 H-Z	L	イネーブル

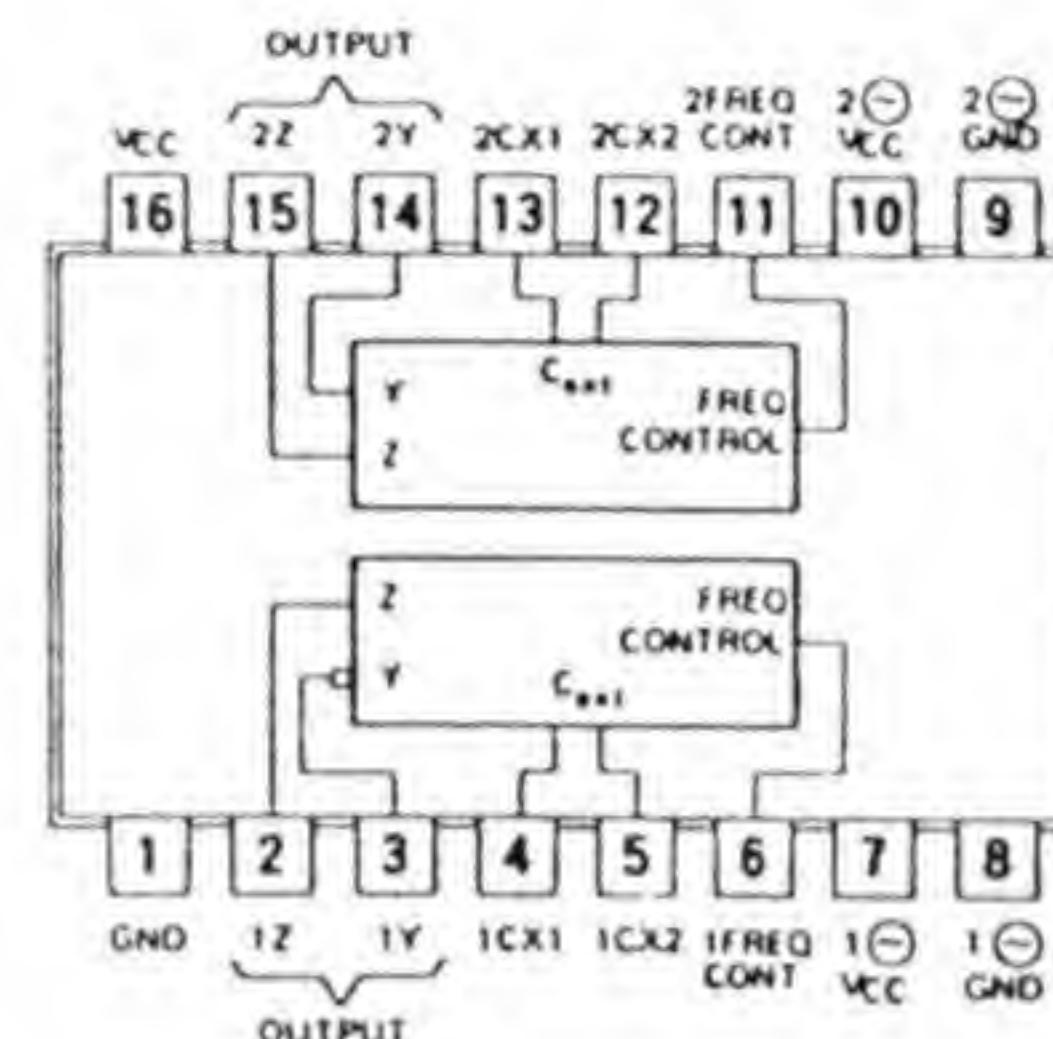
74618, 74624, 74625, 74626

74618 SCHMITT-TRIGGER POSITIVE-NAND GATES WITH TOTEM-POLE OUTPUTS



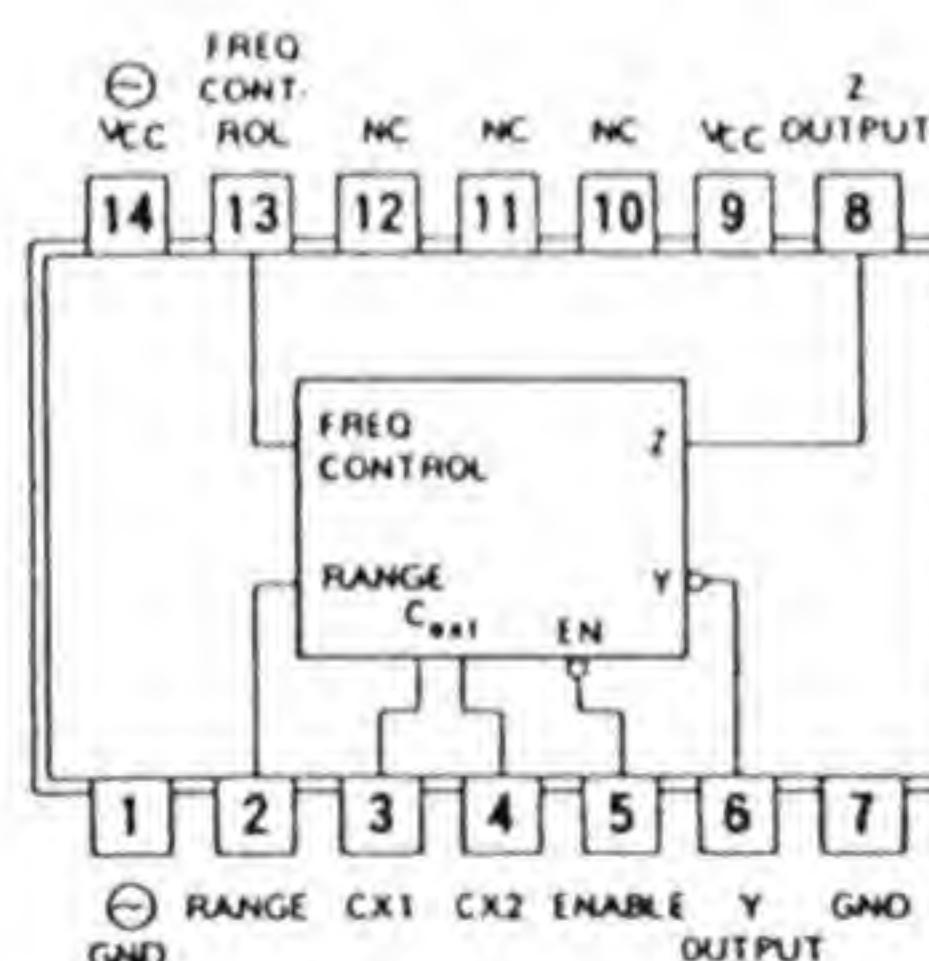
- PNP トランジスタ入力

74625 VOLTAGE-CONTROLLED OSCILLATOR



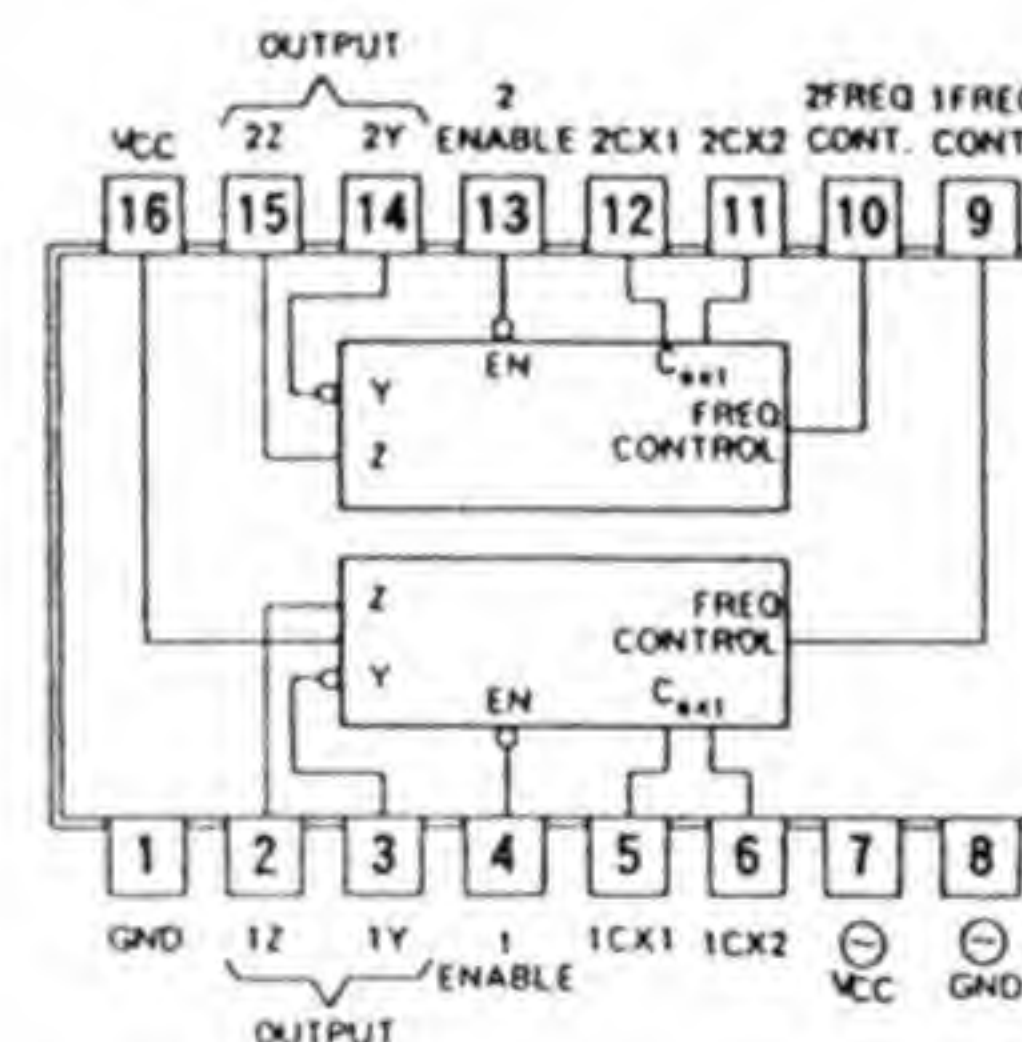
- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一 C_{ext} の値で 4 倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74624 VOLTAGE-CONTROLLED OSCILLATOR



- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一 C_{ext} の値で 4 倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74626 VOLTAGE-CONTROLLED OSCILLATOR

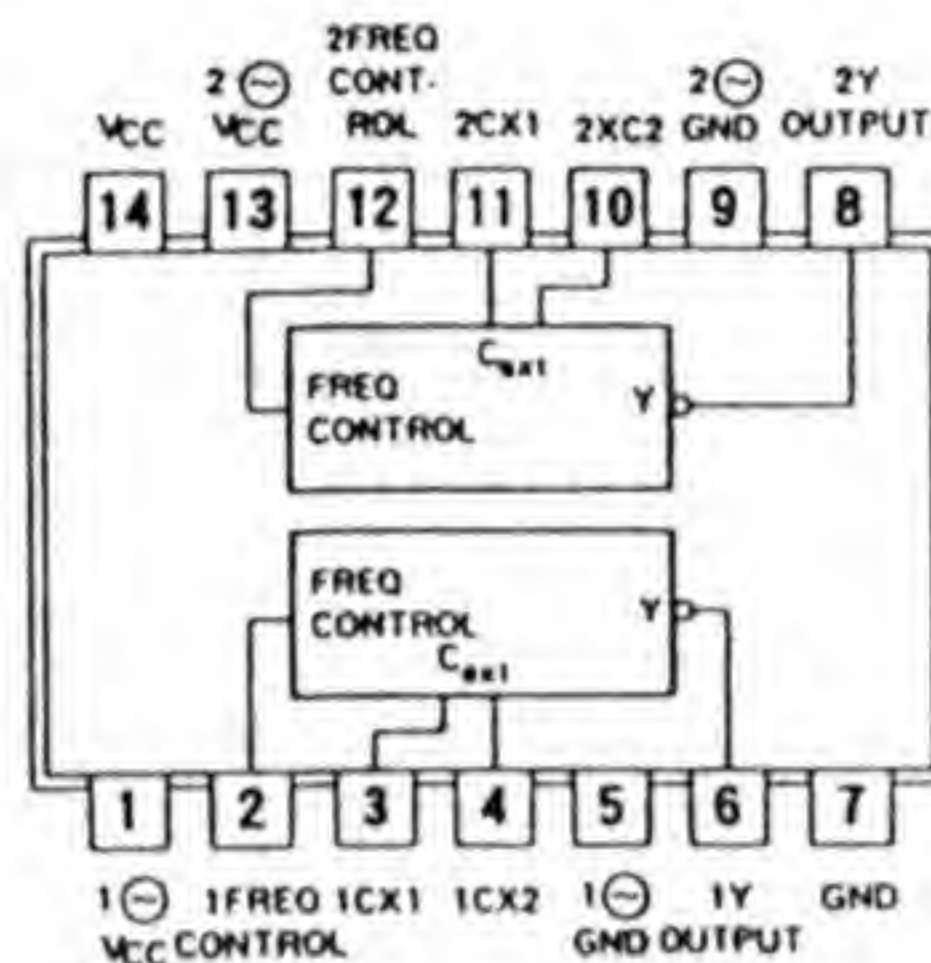


- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一 C_{ext} の値で 4 倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74627, 74628, 74629, 74630

74627

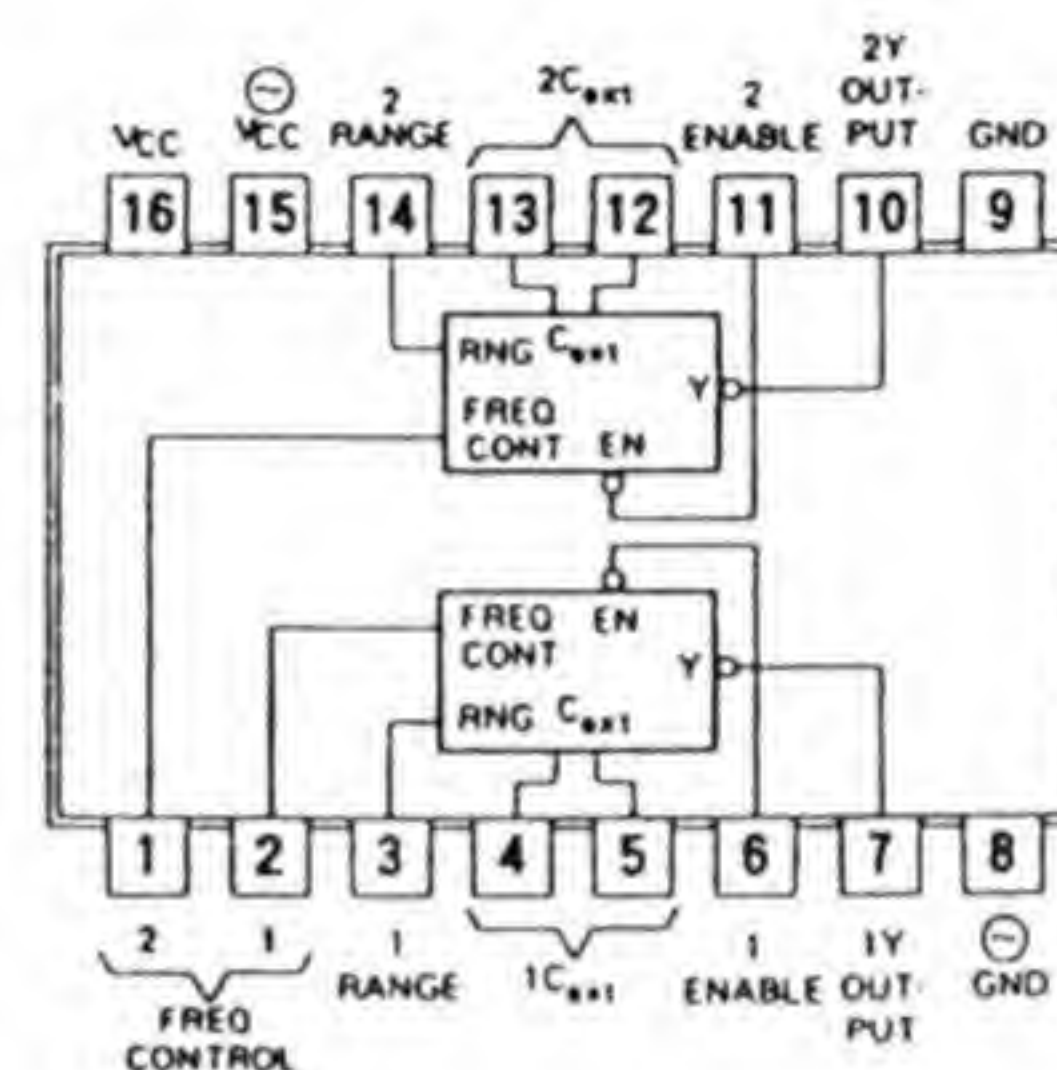
VOLTAGE-CONTROLLED OSCILLATOR



- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一Cext の値で4倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74629

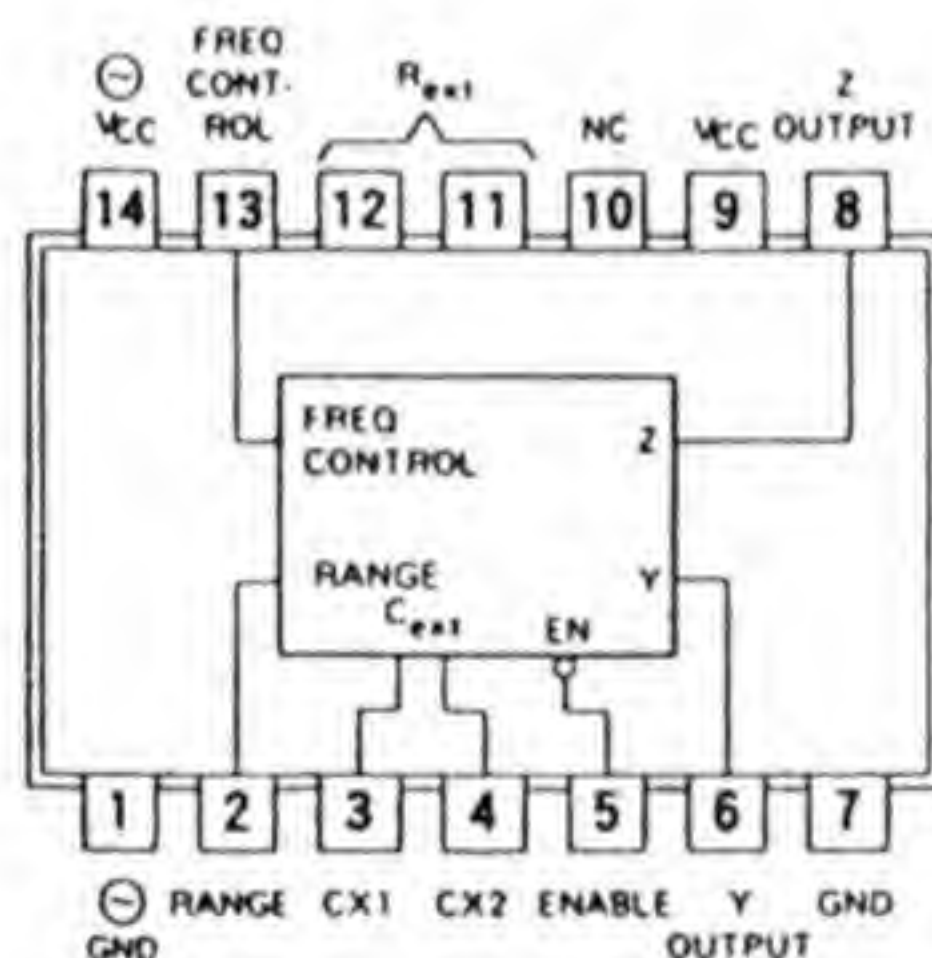
VOLTAGE-CONTROLLED OSCILLATOR



- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一Cext の値で4倍の発振周波数が得られる
- イネーブル端子による原発振の停止が可能

74628

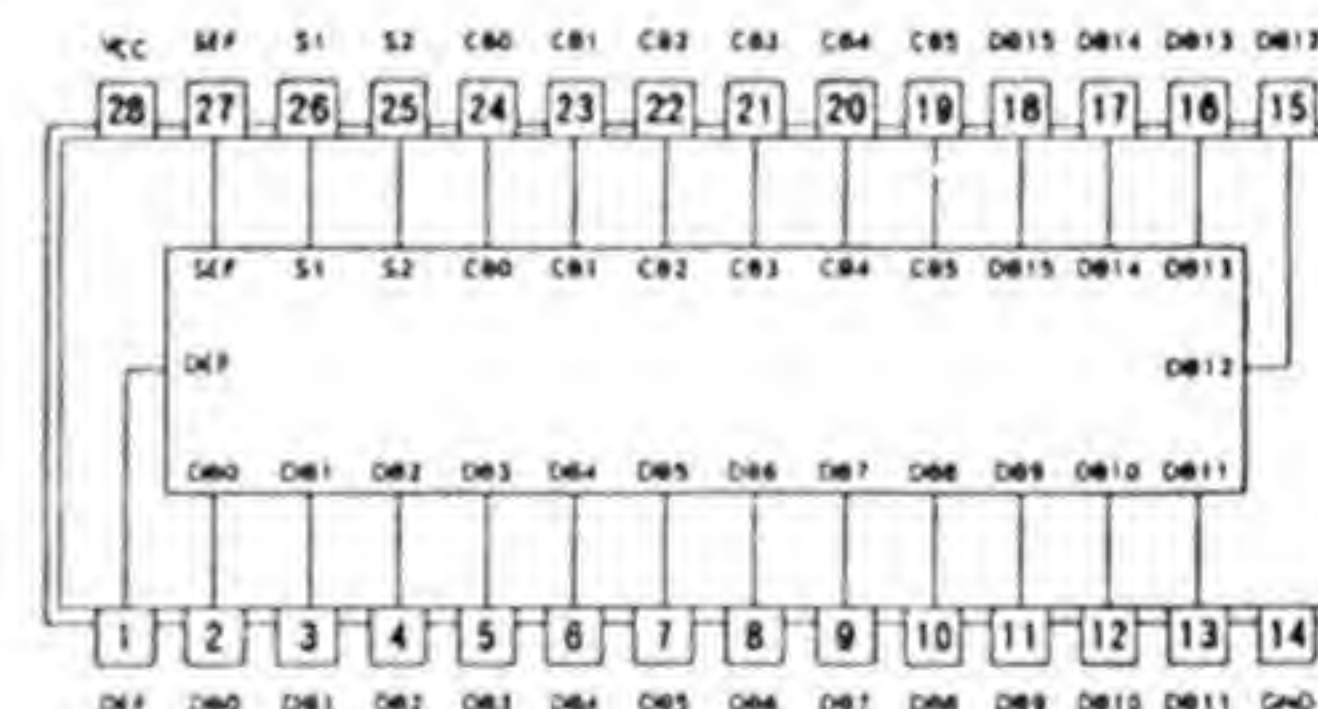
VOLTAGE-CONTROLLED OSCILLATOR



- LS124, LS324 ~ LS327 に比べ、コントロール入力電圧に対する出力周波数の直線性を改善
- LS124, LS324 ~ LS327 に比べ、同一Cext の値で4倍の発振周波数が得られる
- 外付け抵抗により温度補償が可能

74630

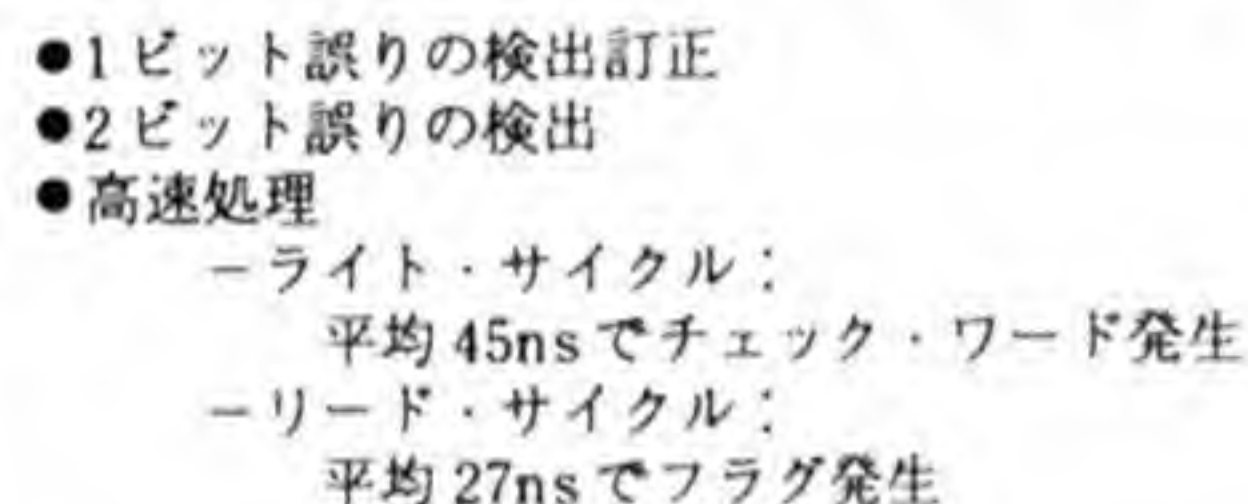
16-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT



- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 高速処理
- ーライト・サイクル:
平均 45ns でチェック・ワード発生
- ーリード・サイクル:
平均 27ns でフラグ発生

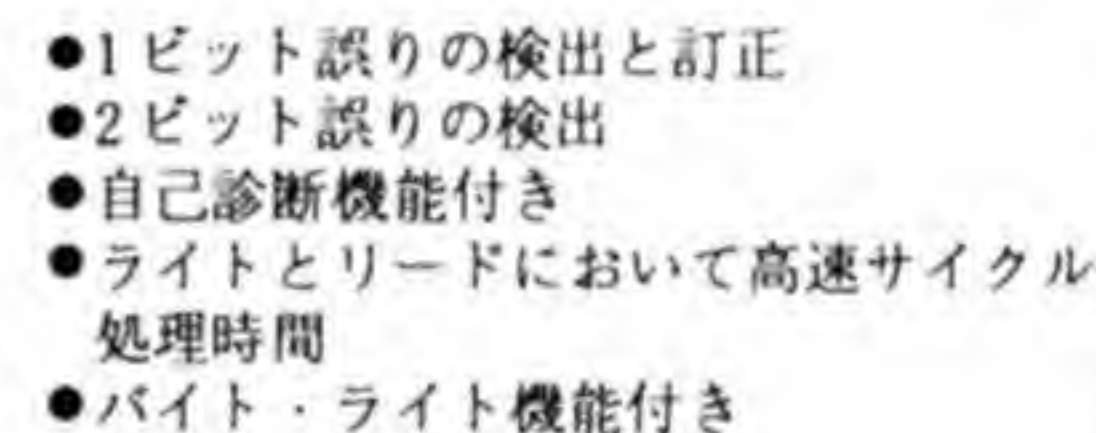
メモリ・サイクル	コントロール		EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号	
	S1	S0				SEF	DEF
ライト	L	L	チェック・ワードを発生	データ入力	チェック・ワード出力	L	L
リード	L	H	データとチェック・ワード読み込み	データ入力	チェック・ワード入力	L	L
リード	H	H	データ・ラッチとエラー検出	データをラッチ	チェック・ワードをラッチ	イネーブル	
リード	H	L	データ訂正とシンドローム・ビットの発生	訂正データを出力	シンドローム・ビットを出力	イネーブル	

74631



メモリ・ サイクル	コントロール		EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号	
	SI	SO				SEF	DEF
ライト	L	L	チェック・ワード を発生	データ入力	チェック・ワード 出 力	L	L
リード	L	H	データとチェック・ ワード読み	データ入力	チェック・ワード 入 力	L	L
リード	H	H	データ・ラッチと エラー検出	データを ラ ッ チ	チェック・ワード をラッチ	イネーブル	
リード	H	L	データ訂正とシンド ローム・ビットの発生	訂正データ を出力	シンδροーム・ ビットを出力	イネーブル	

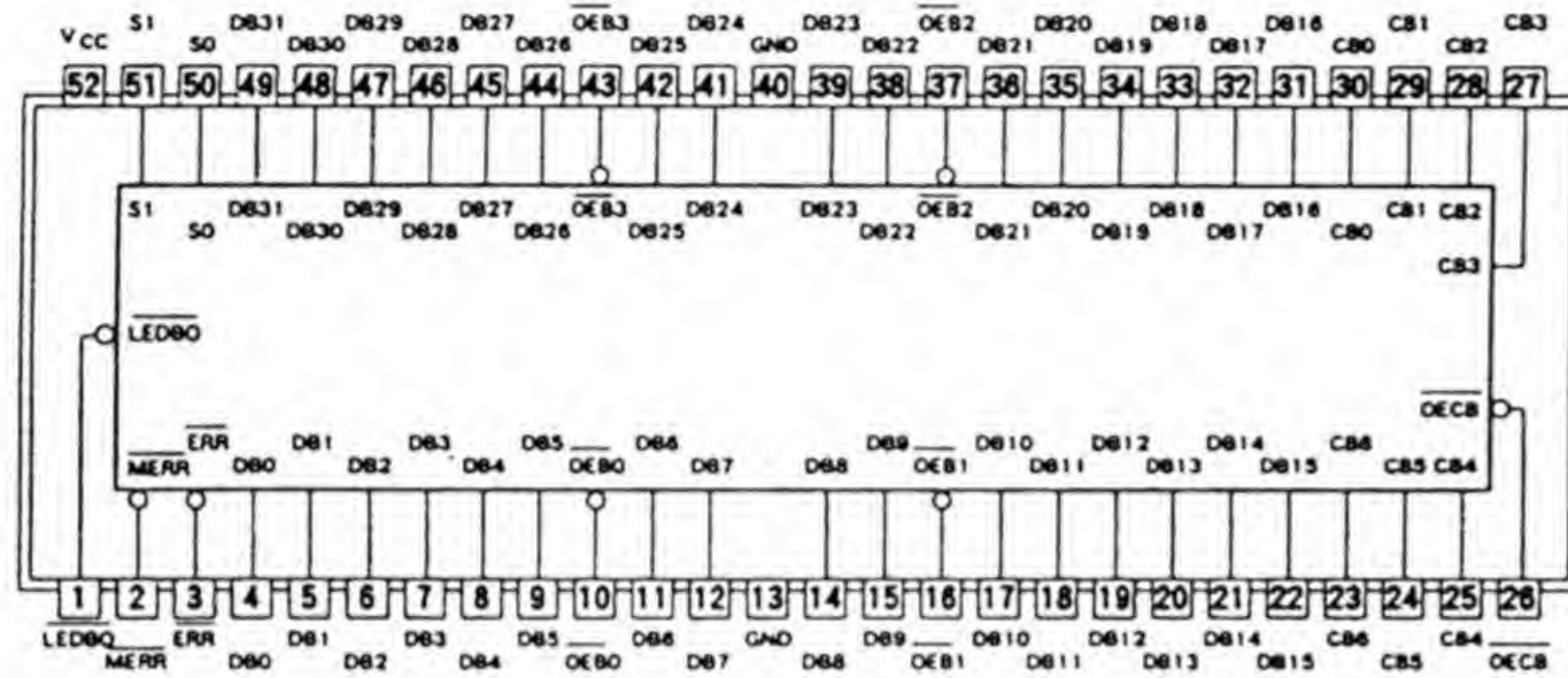
74632



メキリ ヤイブ	EDAC 製 品	コンロー S1 S2	チー 1/0	DB コンロー OECE	DB モリナ CECE	チエッ 1/0	DB コンロー OECE	エー 1/0
ライ	チエッ 製 品	し し	入 力	し	し	チエッ モリナ	し	し
ライ	エー 製 品	し し	入 力	し	し	入 力	し	エー
ライ	チー チエッ モリナ	し し	チー入	し	し	チエッ フー入	し	エー
ライ	訂正チー コンロー モリナ	し し	訂正チー フー入	し	し	コンロー モリナ	し	エー
ライ	チー チエッ モリナ	し し	チー入	し	し	チエッ フー入	し	エー
ライ	出力チー チー 訂 正	し し	チー フー入	し	し	し コンロー モリナ	し	エー
メキリ ライ	ライ チエッ フー入	し し	ライ チエッ モリナ	し	し	チエッ フー入	し	し
	エー 製 品	し し	チー 入 力	し	し	チエッ モリナ	し	し
	チエッ モリナ	し し	し チー 入 力	し	し	チエッ モリナ	し	エー
	出力チー し フー入	し し	し チー 入 力	し	し	チエッ モリナ	し	エー
	入力チー し フー入	し し	し チー 入 力	し	し	し コンロー モリナ	し	エー
	し チー コンロー モリナ	し し	し チー 入 力	し	し	し コンロー モリナ	し	エー
	訂正し チー コンロー モリナ	し し	訂正し チー 入 力	し	し	し コンロー モリナ	し	エー

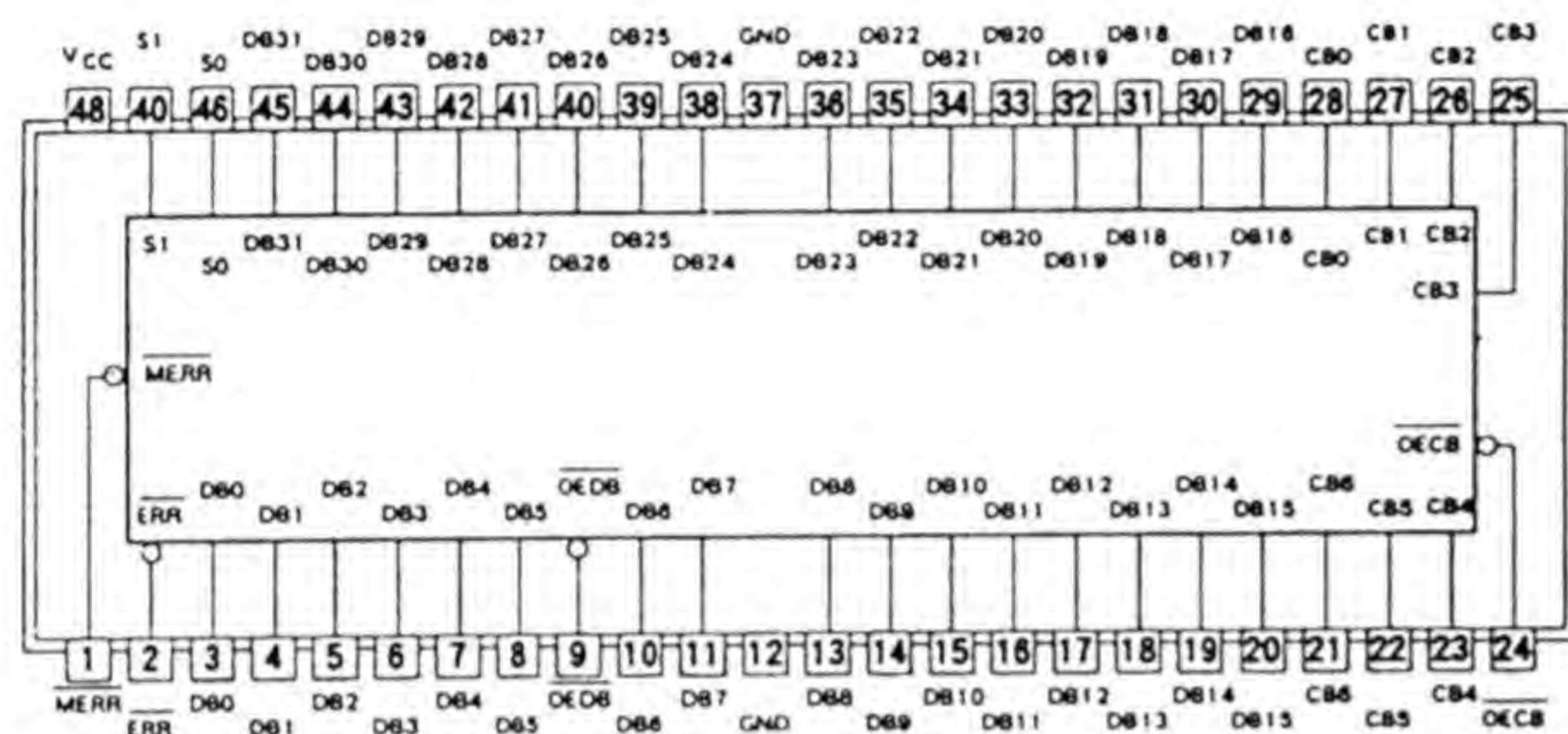
74633, 74634

74633 32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT



74635, 74636, 74637

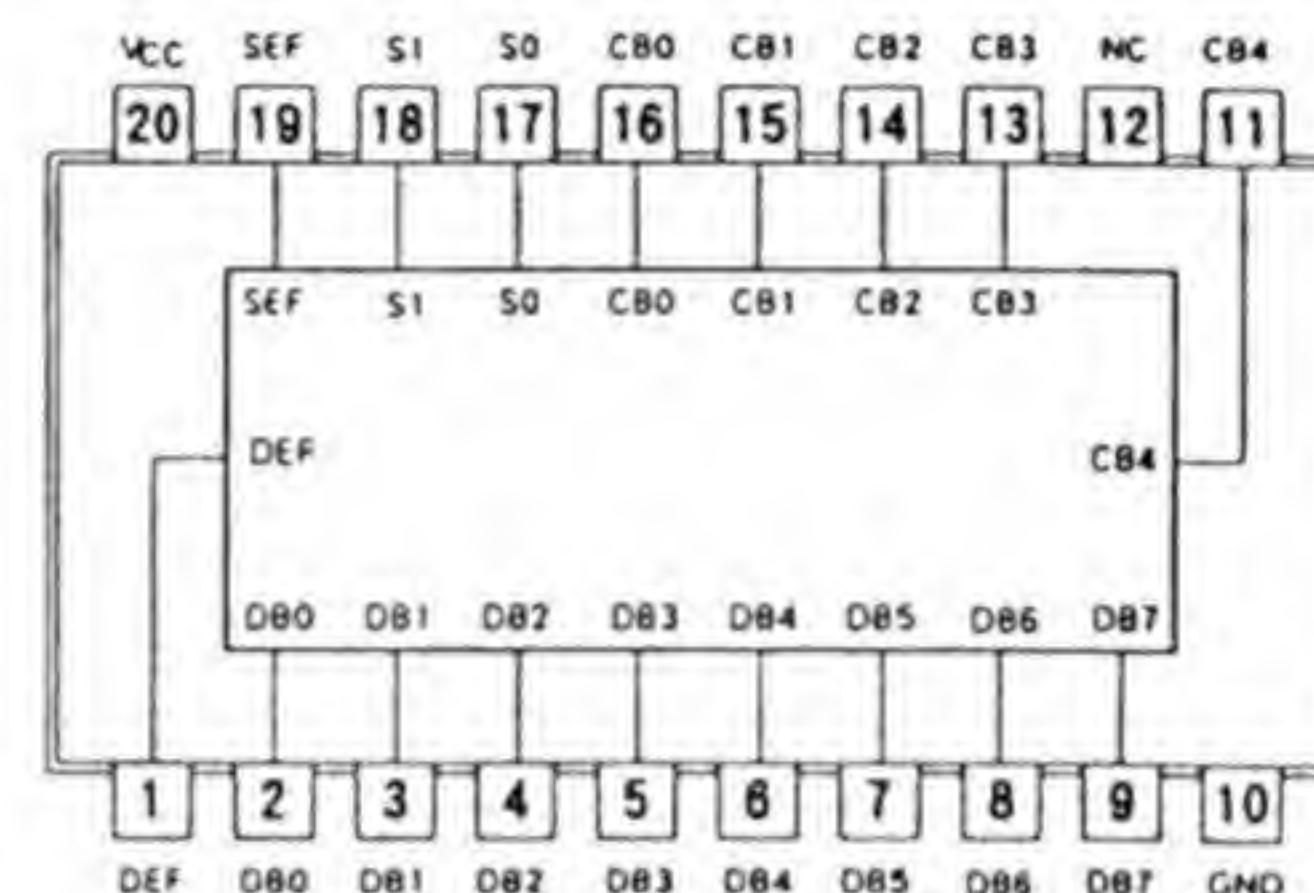
74635 32-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUITS



- 1ビット誤りの検出と訂正
- 2ビット誤りの検出
- 自己診断機能付き
- ライトとリードにおいて高速サイクル
処理時間

メモリ サイクル	EDAC 機能	コントロール S1 S0	データ I/O	データ バス D80-D101	データ バス D80-D101	データ バス D80-D101	データ バス D80-D101	データ バス D80-D101	データ バス D80-D101
ライト	チェック・ワード 発生	L L	入力	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力
リード	エラー・フラグ 発生	H H	出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力
リード	データと チェック・ワード 読み込み	L H	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力
リード	訂正データと シンドローム ビットの発生	H H	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力
リード	データと チェック・ワード ラッチ	L L	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力
リード	データラッチと エラー検出	H H	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力
リード	データ訂正とシンド ローム・ビットの発生	H L	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力
リード	データと チェック・ワード ラッチ	L L	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力	データ入力
リード	データラッチと エラー検出	H H	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力
リード	データ訂正とシンド ローム・ビットの発生	H L	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力	データ出力

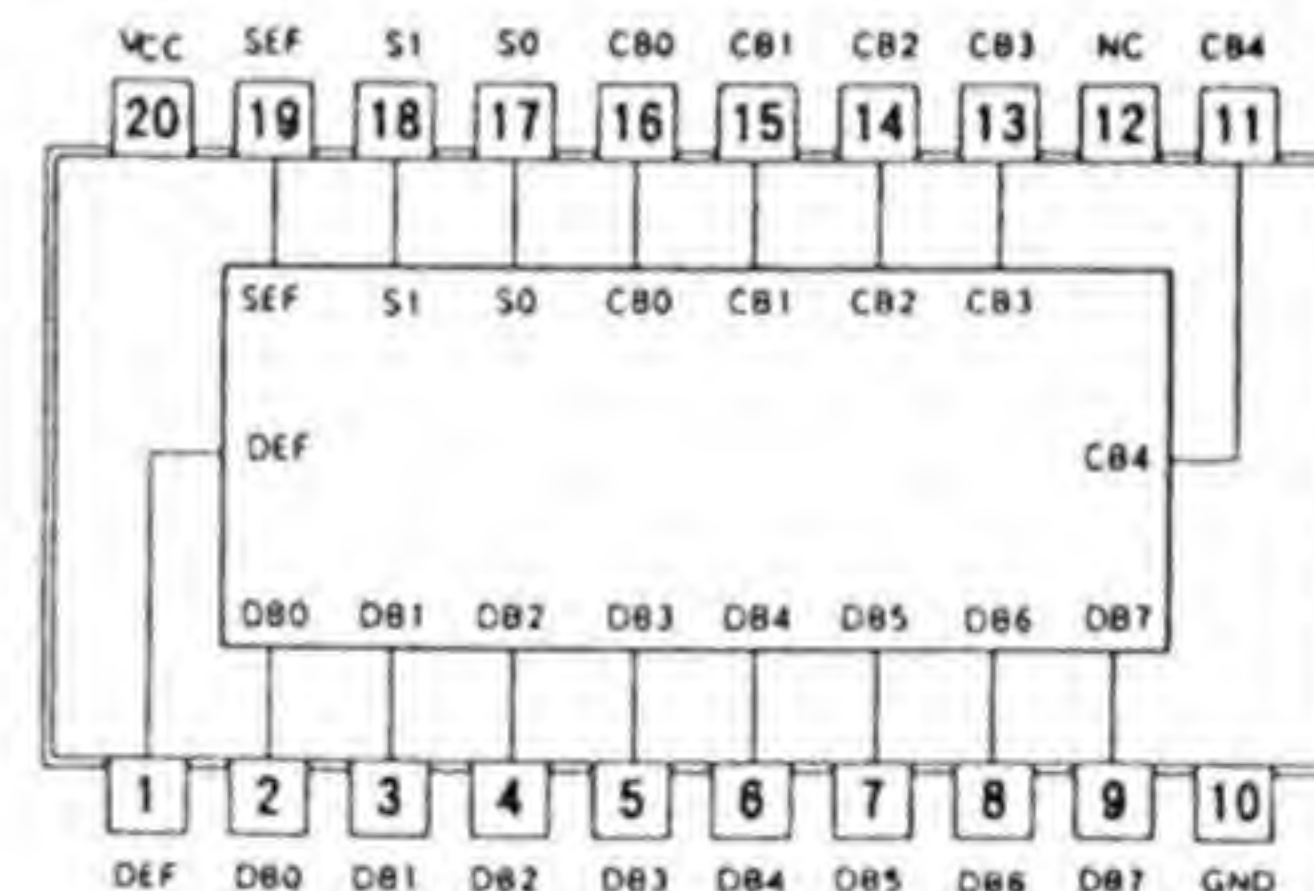
74636 8-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT



- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 高速処理
- ーライト・サイクル:
平均 45ns でチェック・
ワード発生
- ーリード・サイクル:
平均 27ns でフラグ発生

メモリ・ サイクル	コントロール		EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号	
	S1	S0				SEF	DEF
ライト	L	L	チェック・ワード 発生	データ入力	チェック・ワード 出力	L	L
リード	L	H	データとチェック・ ワード読み込み	データ入力	チェック・ワード 入力	L	L
リード	H	H	データ・ラッチと エラー検出	データを ラッチ	チェック・ワード をラッチ	イネーブル	
リード	H	L	データ訂正とシンド ローム・ビットの発生	訂正データ を出力	シンドローム・ ビットを出力	イネーブル	

74637 8-BIT PARALLEL ERROR DETECTION AND CORRECTION CIRCUIT



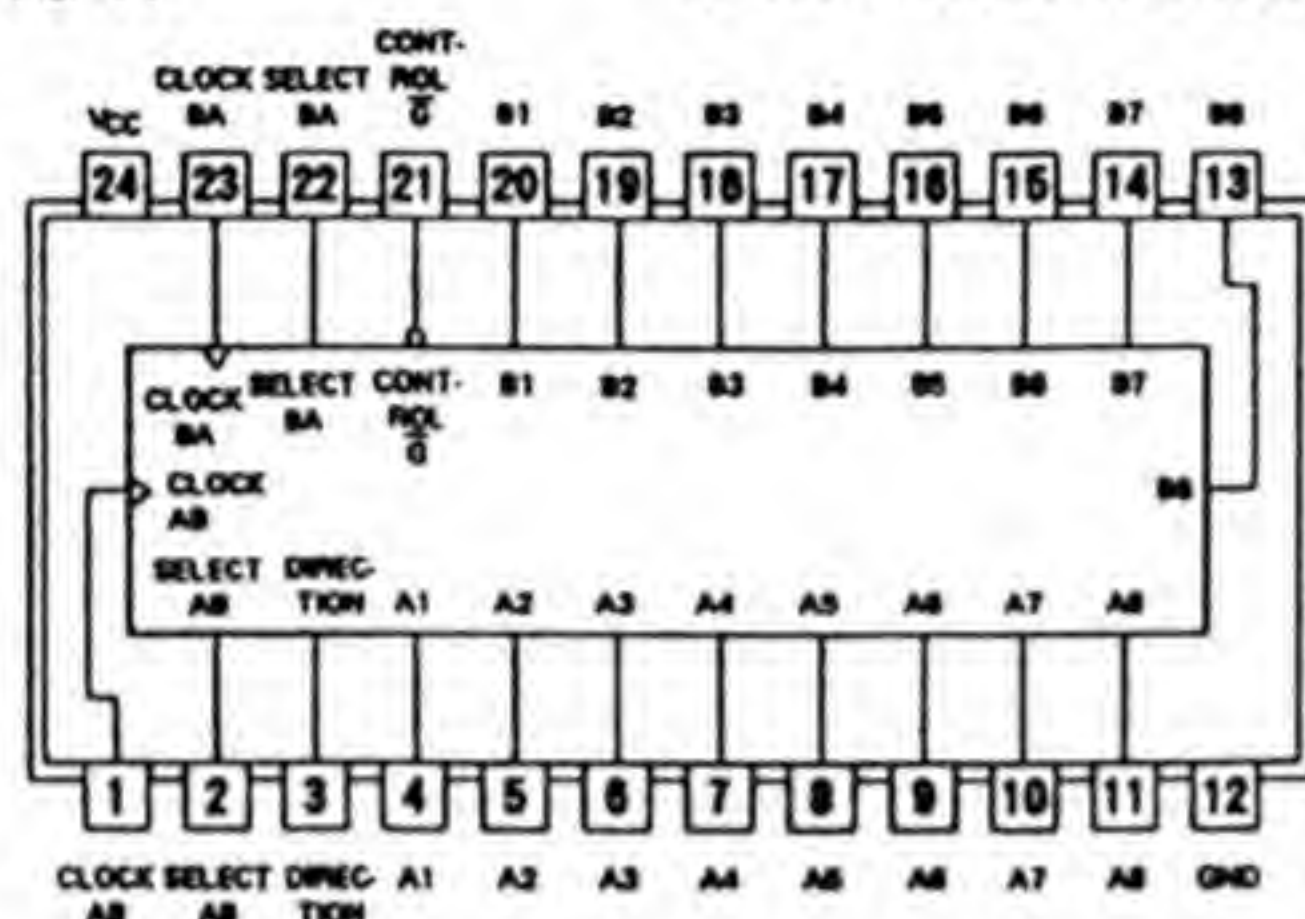
- 1ビット誤りの検出訂正
- 2ビット誤りの検出
- 高速処理
- ーライト・サイクル:
平均 45ns でチェック・
ワード発生
- ーリード・サイクル:
平均 27ns でフラグ発生

メモリ・ サイクル	コントロール		EDAC 機能	データ I/O	チェック・ワード I/O	誤差信号	
	S1	S0				SEF	DEF
ライト	L	L	チェック・ワード 発生	データ入力	チェック・ワード 出力	L	L
リード	L	H	データとチェック・ ワード読み込み	データ入力	チェック・ワード 入力	L	L
リード	H	H	データ・ラッチと エラー検出	データを ラッチ	チェック・ワード をラッチ	イネーブル	
リード	H	L	データ訂正とシンド ローム・ビットの発生	訂正データ を出力	シンドローム・ ビットを出力	イネーブル	

74647, 74649, 74653, 74654

74647

OCTAL BUS TRANSCEIVERS AND REGISTERS



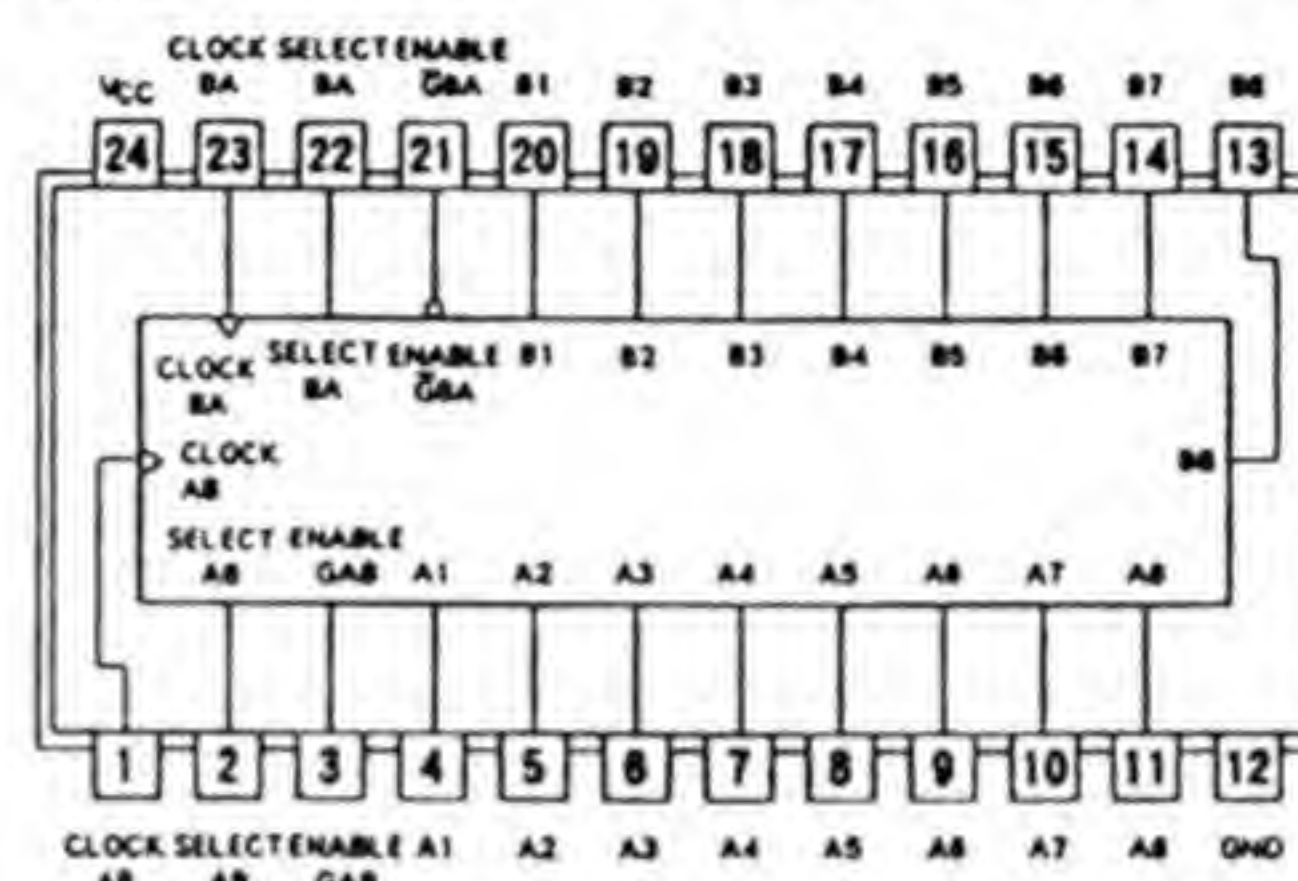
- レジスタ付き双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独立のレジスタ内蔵
- リアル・タイムとデータのストア
- 非反転出力
- オープン・コレクタ出力

入		カ		データ I/O*		機能・動作
\overline{G}	DIR	CAB	CBA	SAB SBA	A1からA8 B1からB8	
H	X	HまたはL	HまたはL	X X	入力 入力	アイソレーション Aデータ、Bデータ・ストア
H	X	↑	↑	X X	出力 出力	リアル・タイムBデータからAバス ストアードBデータからAバス
L	L	X	X	X L	出力 入力	リアル・タイムAデータからBバス ストアードAデータからBバス
L	L	X	HまたはL	X H	出力 出力	リアル・タイムAデータからBバス ストアードAデータからBバス

* Aポート、Bポートのデータはクロックの立ち上がりエッジで常に取込まれます。

74653

OCTAL BUS TRANSCEIVERS AND REGISTERS

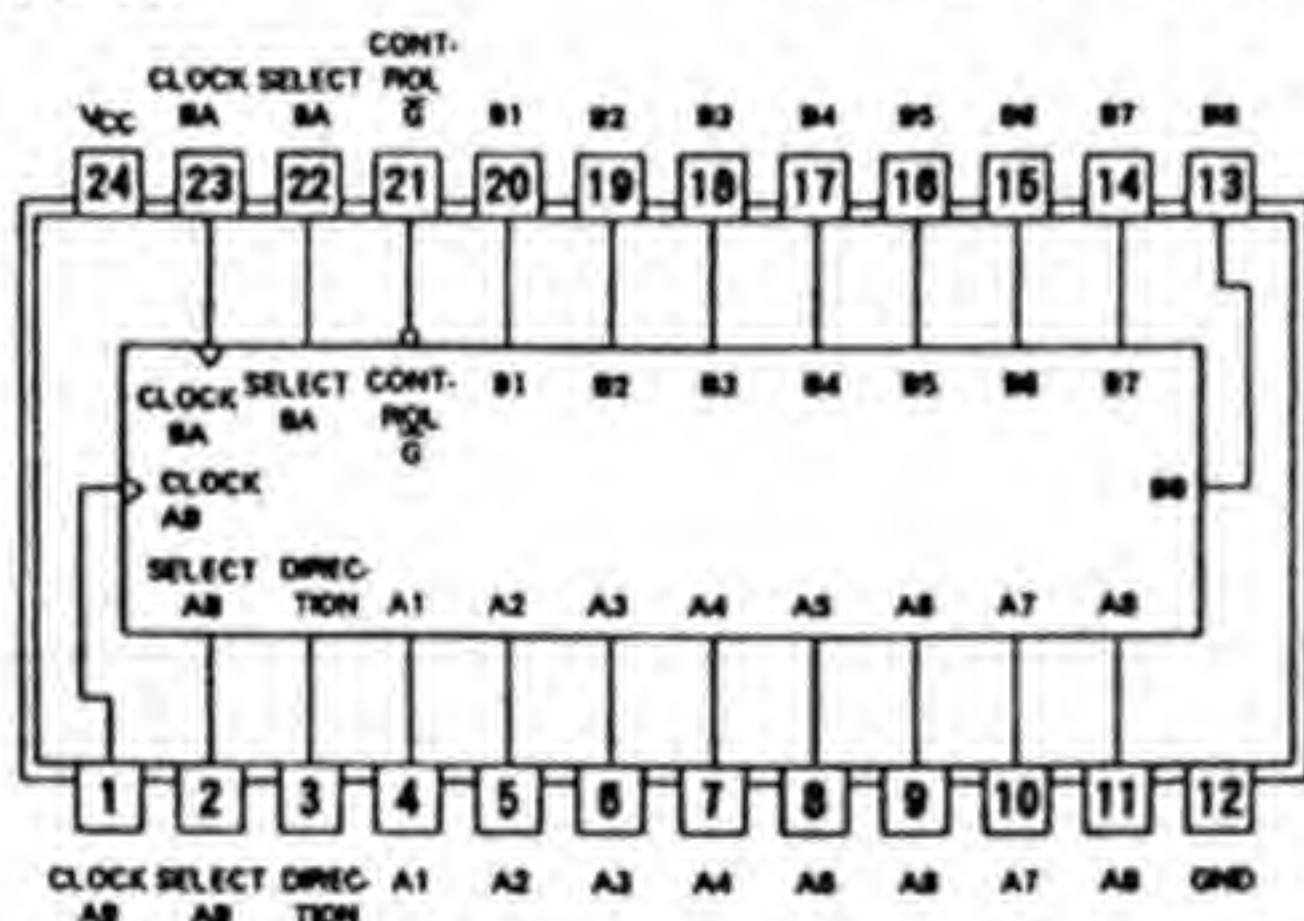


- レジスタ付き双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独立のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 反転出力
- Aポート：オープン・コレクタ出力
- Bポート：3ステート出力

入			カ		データ I/O		機 能 ・ 動 作
GAB \overline{G} BA	CAB CBA	SAB SBA	A1からA8	B1からB8			
L H	HまたはL	HまたはL	X X	入 力	入 力	アイソレーション Aデータ、Bデータ・ストア	
L H	↑	↑	X X	入 力	不 定	ストアA、ホールドB	
X H	↑	HまたはL	X X	入 力	出 力	両方のレジスタにAデータをストア	
H H	↑	↑	X X	入 力	入 力	両方のレジスタにBデータをストア	
L X	HまたはL	↑	X X	不 定	入 力	ホールドA、ストアB	
L L	↑	↑	X X	出 力	入 力	両方のレジスタにBデータをストア	
L L	X	X	X L	出 力	入 力	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ	
L L	X	HまたはL	X H	入 力	出 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ	
H H	X	X	L X	入 力	出 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ	
H H	HまたはL	X	H X	入 力	出 力	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ	
H L	HまたはL	HまたはL	H H	出 力	出 力	リアル・タイムでAデータをBバスへ ストアされたBデータをAバスへ	

74649

OCTAL BUS TRANSCEIVERS AND REGISTERS



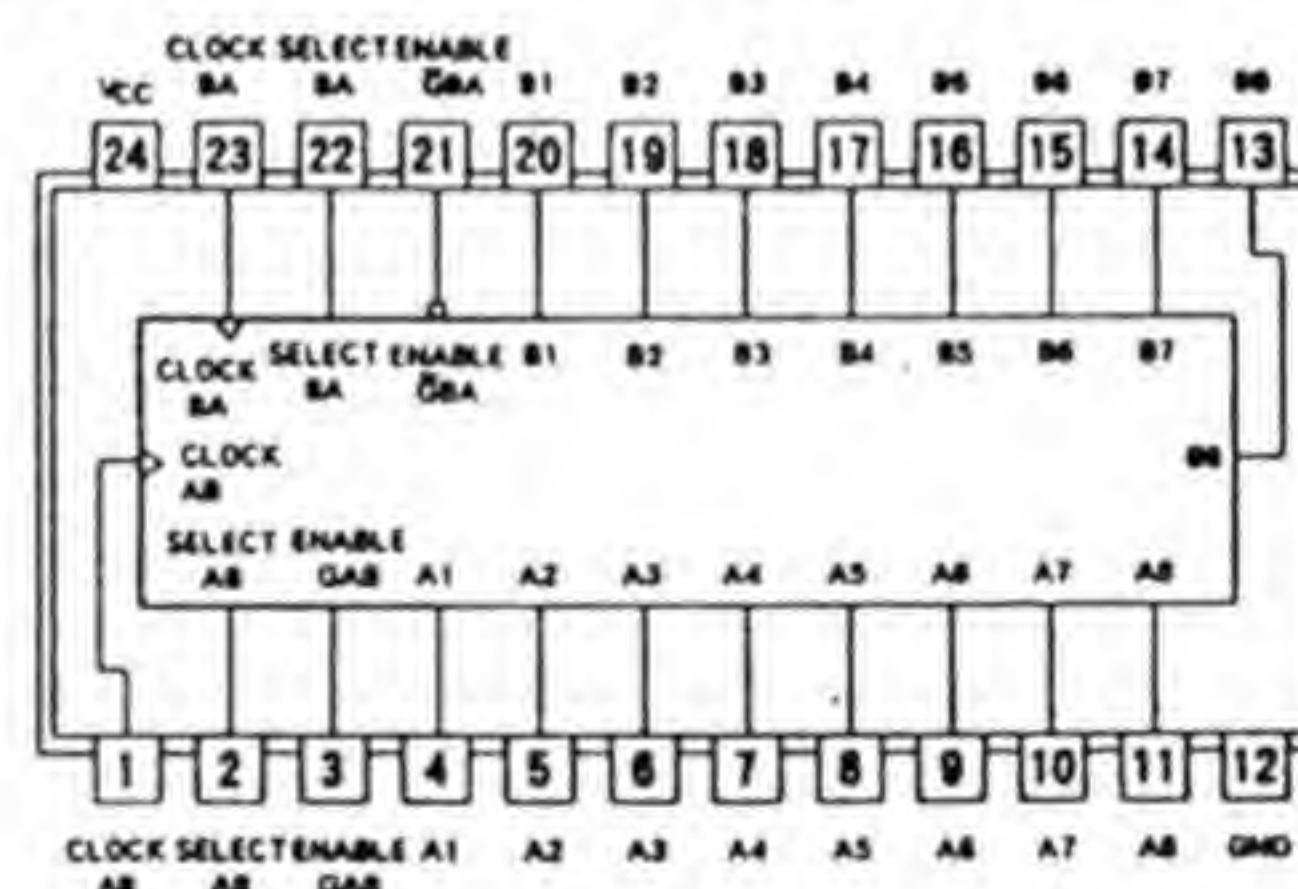
- レジスタ付き双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独立のレジスタ内蔵
- リアル・タイムとデータのストア
- 反転出力
- オープン・コレクタ出力

入		カ		データ I/O*		機能・動作
\overline{G}	DIR	CAB	CBA	SAB SBA	A1からA8 B1からB8	
H	X	HまたはL	HまたはL	X X	入力 入力	アイソレーション Aデータ、Bデータ・ストア
H	X	↑	↑	X X	出力 出力	リアル・タイムBデータからAバス ストアードBデータからAバス
L	L	X	X	X L	出力 入力	リアル・タイムAデータからBバス ストアードAデータからBバス
L	L	X	HまたはL	X H	出力 出力	リアル・タイムAデータからBバス ストアードAデータからBバス

* Aポート、Bポートのデータはクロックの立ち上がりエッジで常に取込まれます。

74654

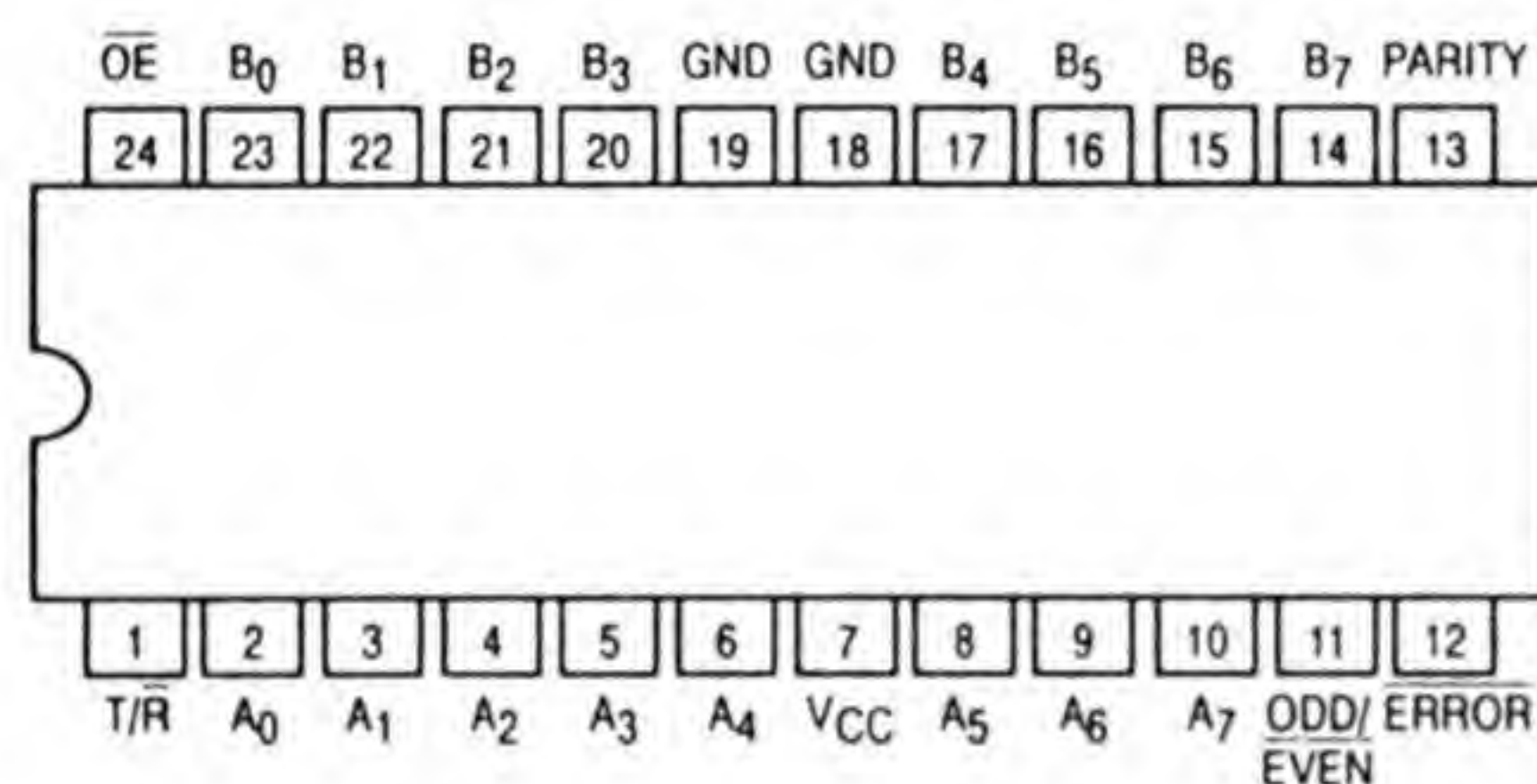
OCTAL BUS TRANSCEIVERS AND REGISTERS



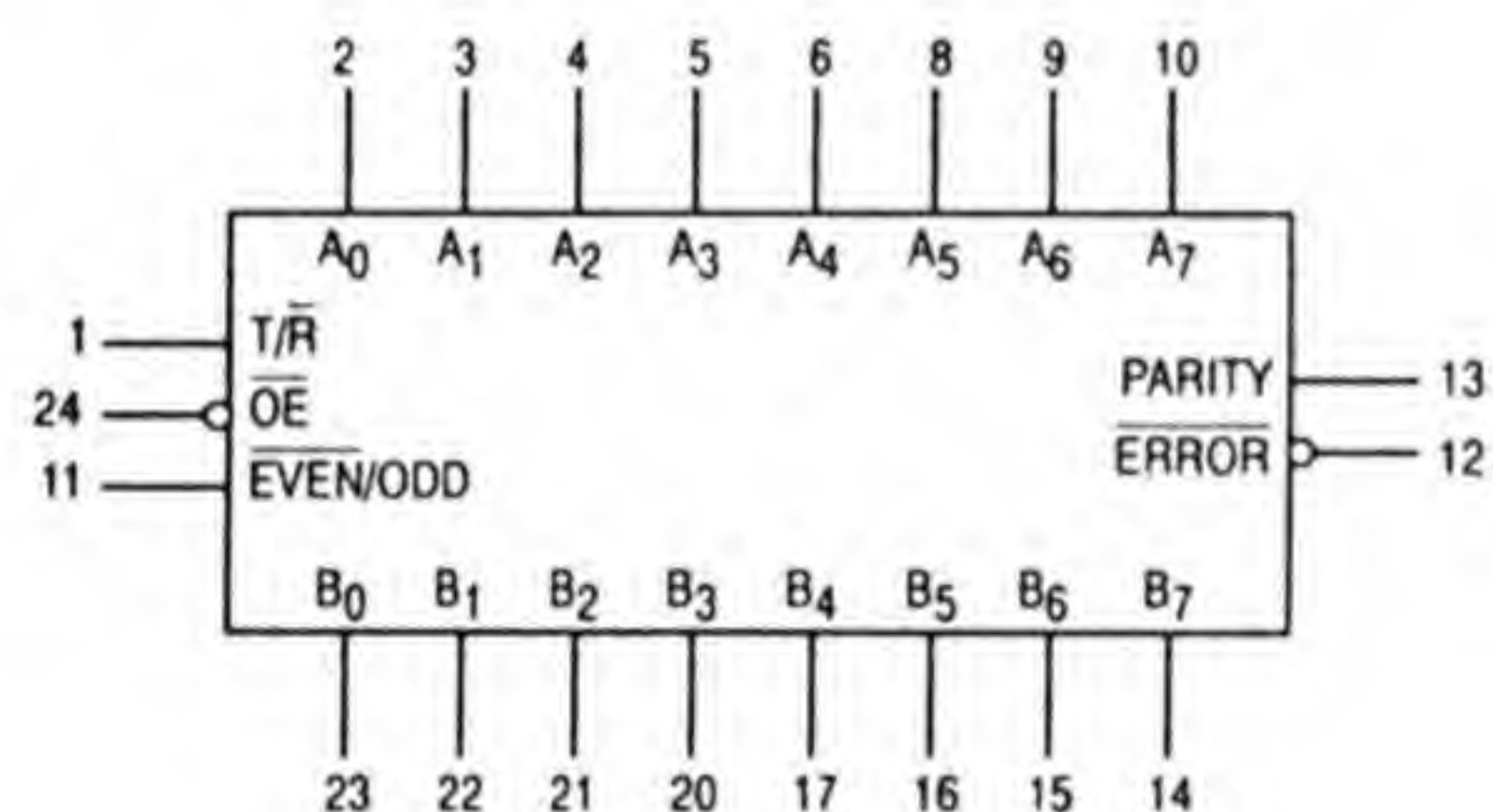
- レジスタ付き双方向バス・トランシーバ
- Aポート、Bポートそれぞれ独立のレジスタとイネーブル内蔵
- リアル・タイムとデータのストア
- 非反転出力
- Aポート：オープン・コレクタ出力
- Bポート：3ステート出力

入		カ		データ I/O		機 能・動 作
GAB GBA	CAB CBA	SAB SBA	A1からA8	B1からB8		
L H	HまたはL	HまたはL	X X	入 力	入 力	アイソレーション Aデータ、Bデータ・ストア
L H	↑	↑	X X	入 力	入 力	ストアA、ホールドB
X H	↑	HまたはL	X X	入 力	不 定	両方のレジスタにAデータをストア
H H	↑	↑	X X	入 力	出 力	
L X	HまたはL	↑	X X	不 定	入 力	ホールドA、ストアB
L L	↑	↑	X X	出 力	入 力	両方のレジスタにBデータをストア
L L	X	X	X L	出 力	入 力	リアル・タイムでBデータをAバスへ ストアされたBデータをAバスへ
L L	X	HまたはL	X H	出 力	入 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H H	X	X	L X	入 力	出 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H H	HまたはL	X	H X	入 力	出 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ
H L	HまたはL	HまたはL	H H	出 力	出 力	リアル・タイムでAデータをBバスへ ストアされたAデータをBバスへ

OCTAL BIDIRECTIONAL TRANSCEIVER WITH 8-BIT PARITY GENERATOR CHECKER



- '245と'280の機能を1パッケージ化
- 3ステート出力



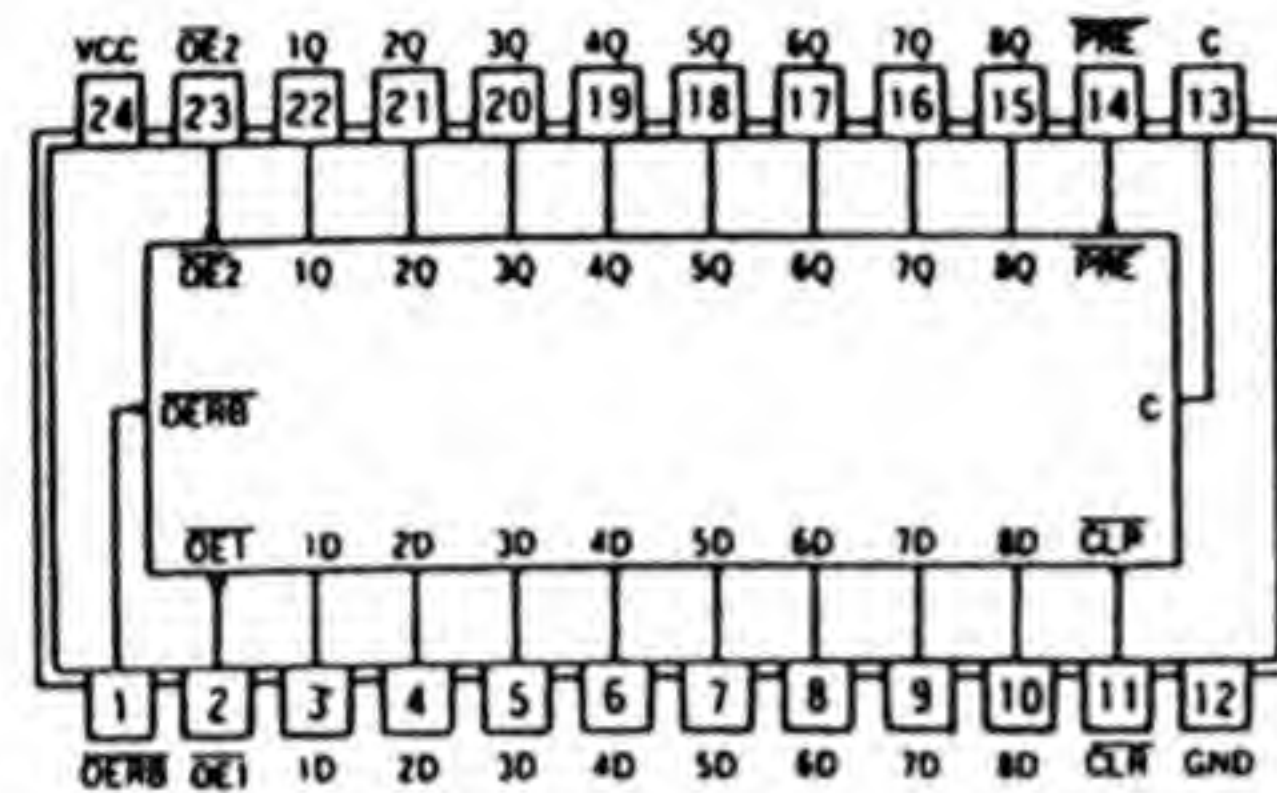
入力が“H”の数	入 力			入出力	出 力	
	OE	T/R	Even/Odd	Parity	Error	出力のモード
0, 2, 4, 6, 8	L	H	H	H	Z	Transmit
	L	H	L	L	Z	Transmit
	L	L	H	H	H	Receive
	L	L	H	L	L	Receive
	L	L	L	H	L	Receive
	L	L	L	L	H	Receive

入力が“H”の数	入 力			入出力	出 力	
	OE	T/ \bar{R}	Even/Odd	Parity	Error	出力のモード
1, 3, 5, 7	L	H	H	L	Z	Transmit
	L	H	L	H	Z	Transmit
	L	L	H	H	L	Receive
	L	L	H	L	H	Receive
	L	L	L	H	H	Receive
	L	L	L	L	L	Receive
無視	H	X	X	Z	Z	Z

[illegible][illegible]

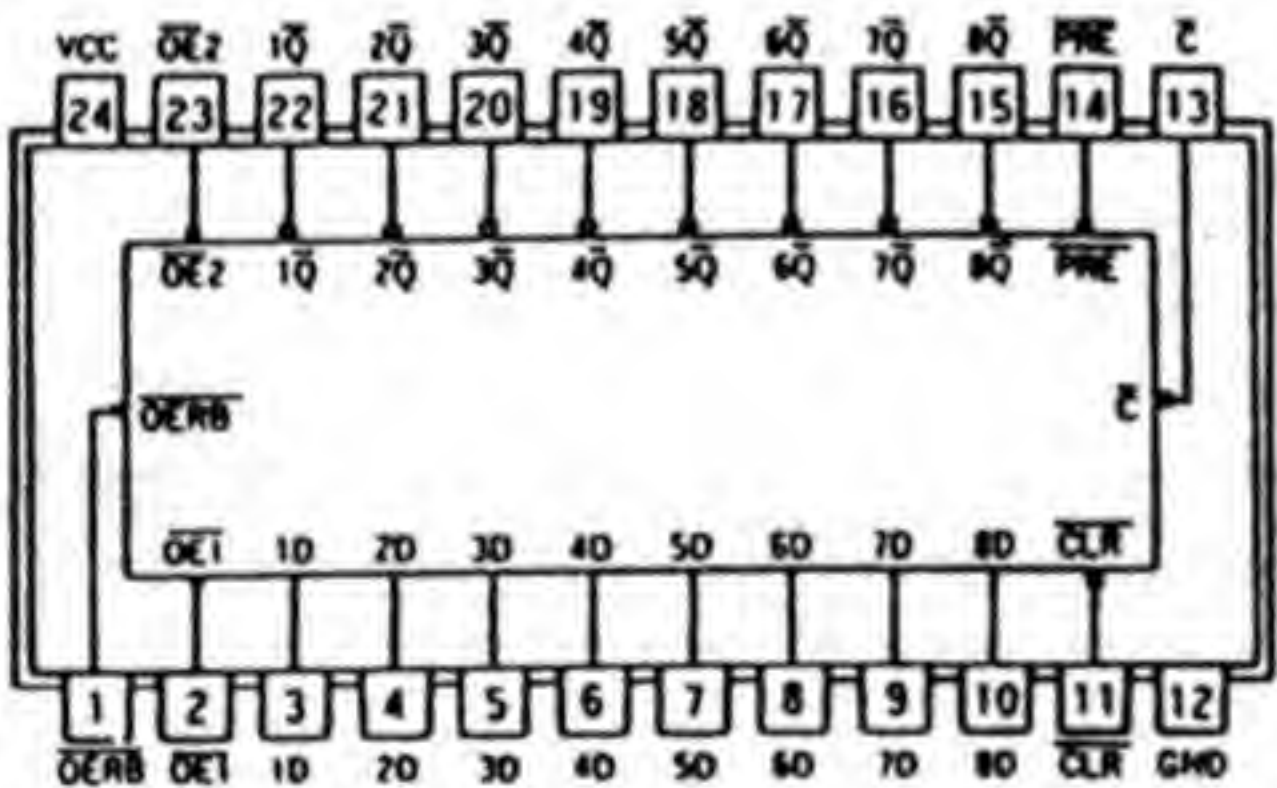
74666, 74667, 74671

74666 8-BIT D-TYPE TRANSPARENT READ-BACK LATCHES



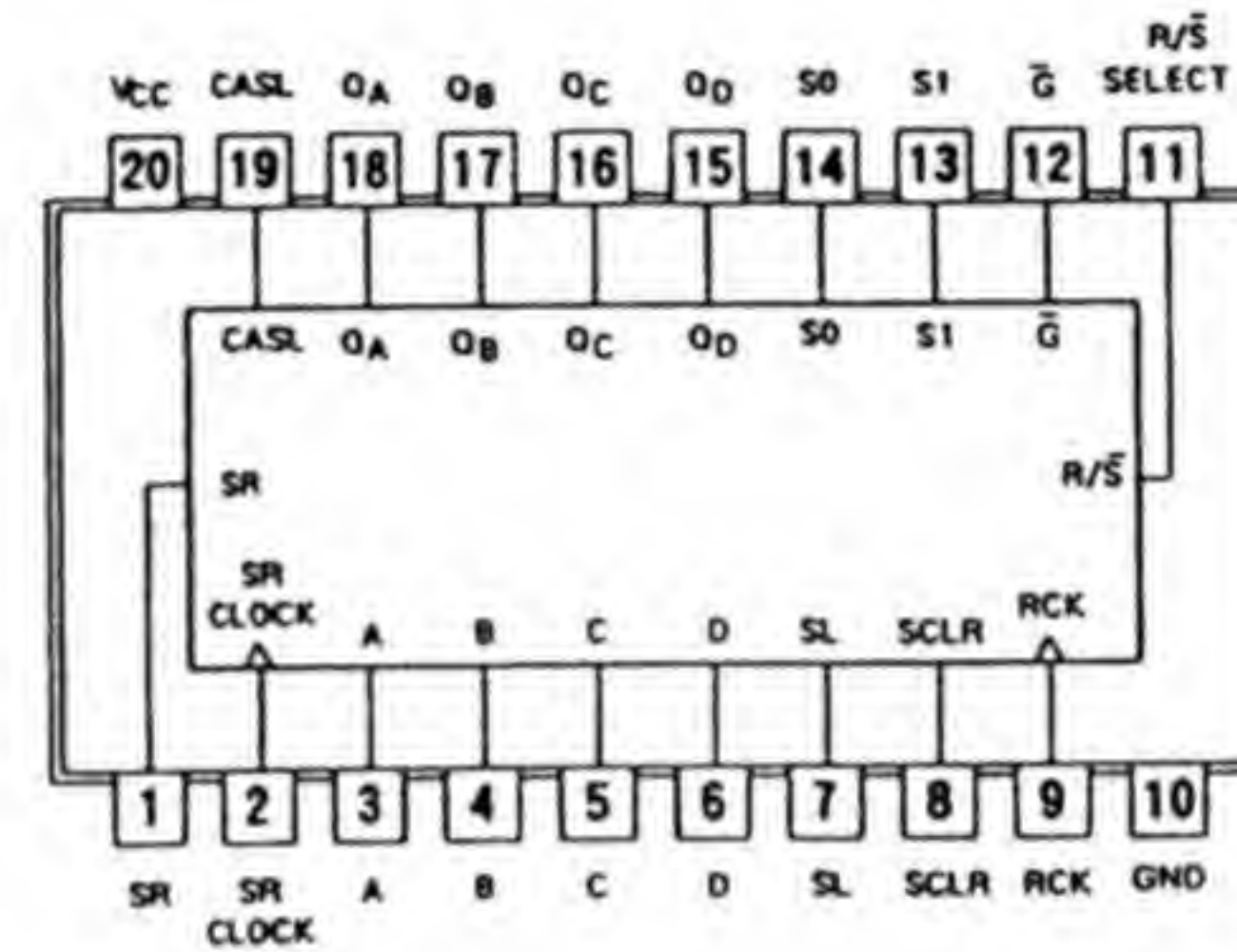
- 3ステート I/O タイプ リード・バック入力
- 正論理出力
- バス構成に合ったピン配置

74667 8-BIT D-TYPE TRANSPARENT READ-BACK LATCHES



- 3ステート I/O タイプ リード・バック入力
- 負論理出力
- バス構成に合ったピン配置

74671 4-BIT UNIVERSAL SHIFT REGISTER/LATCH WITH THREE-STATE OUTPUT

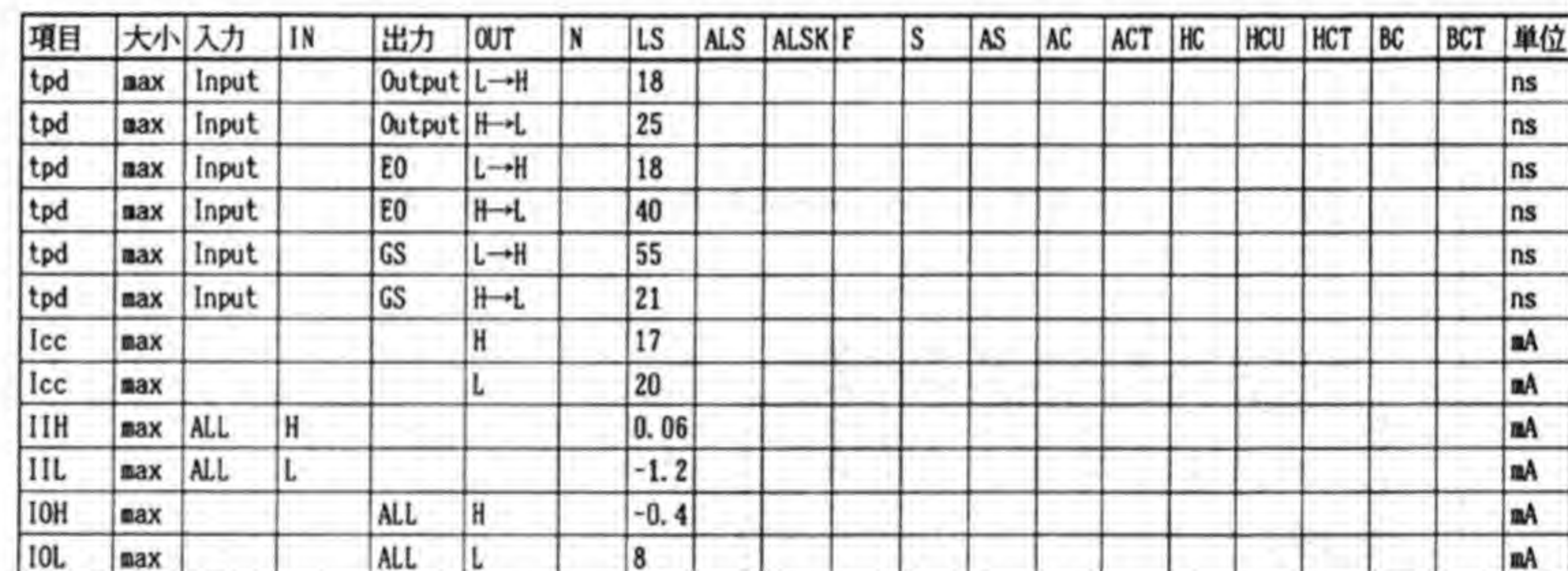


- シフト・レジスタの出力にラッチとマルチプレクサを付加
- ダイレクト・クリア付きシフト・レジスタ
- 3ステート出力
- 任意のワード長に拡張可能

\bar{G}	R/\bar{S}	\bar{SCLR}	SRモード		SCK 'LS671	シリアル 入 力		パラレル 入 力				パラレル 出 力				CASC*
			SI	S0		SL	SR	A	B	C	D	QA	QB	QC	QD	
L	L	L	X	X	X	X	X	X	X	X	X	L	L	L	L	(*)
L	L	H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0	(*)
L	L	H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0	H
L	L	H	L	H	↑	X	H	X	X	X	X	H	QA _n	QB _n	QC _n	OC _n
L	L	H	L	H	↑	X	L	X	X	X	X	L	QA _n	QB _n	QC _n	OC _n
L	L	H	H	L	↑	H	X	X	X	X	X	OB _n	OC _n	OD _n	H	OB _n
L	L	H	H	L	↑	L	X	X	X	X	X	OB _n	OC _n	OD _n	L	OB _n
L	L	H	H	H	↑	X	X	a	b	c	d	a	b	c	d	H
H	X	X	L	H	↑	X	X	X	X	X	X	Z	Z	Z	Z	OC _n
H	X	X	H	L	↑	X	X	X	X	X	X	Z	Z	Z	Z	OB _n
L	H	X	X	X	X	X	X	X	X	X	X	内部レジスタ・データ				(*)

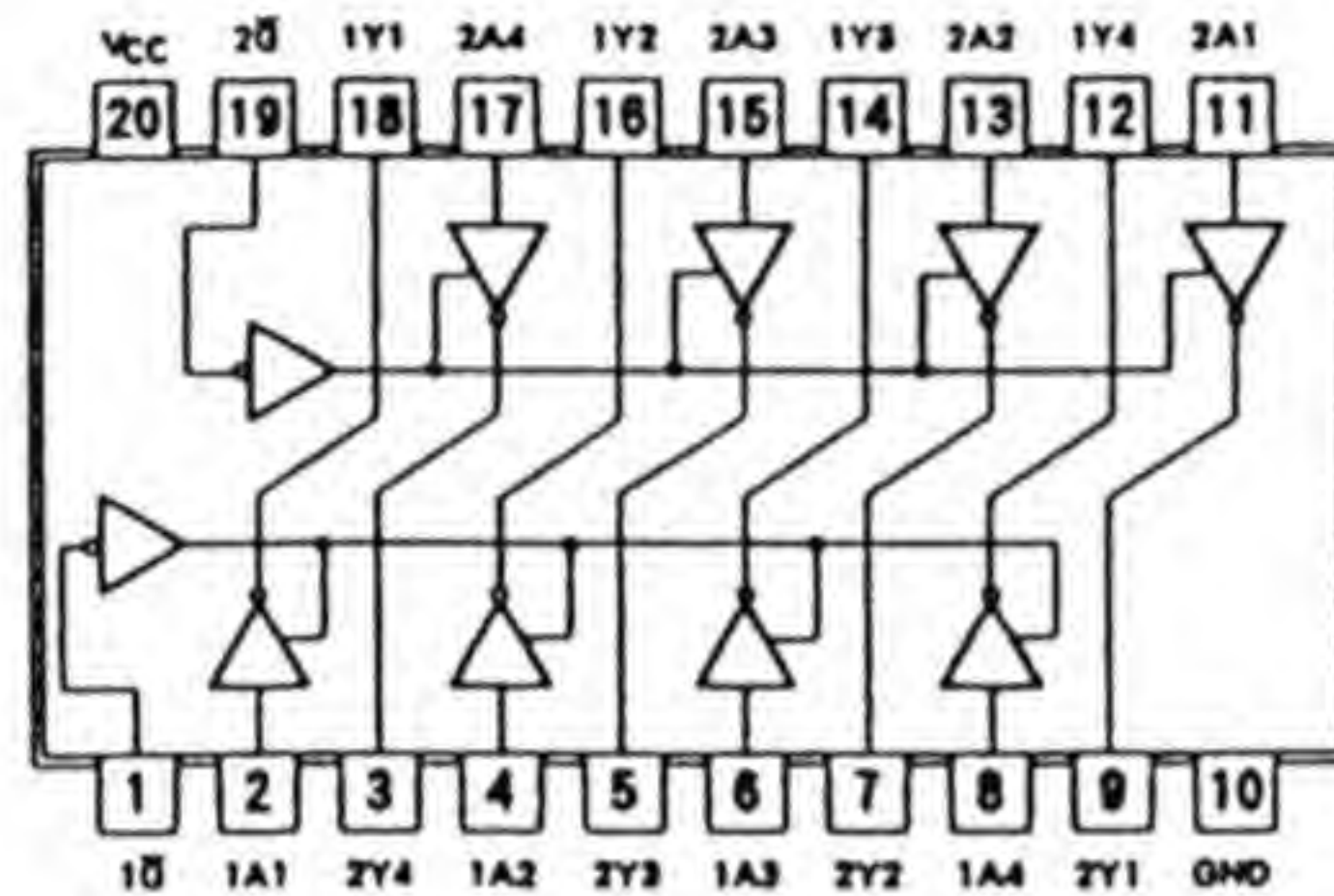
* 出力コントロールGがハイのときスリー・ステート出力はハイ・インピーダンス状態である。
しかしながら、シフト・レジスタの内部動作やCASC出力には影響しない。

74748

[illegible]

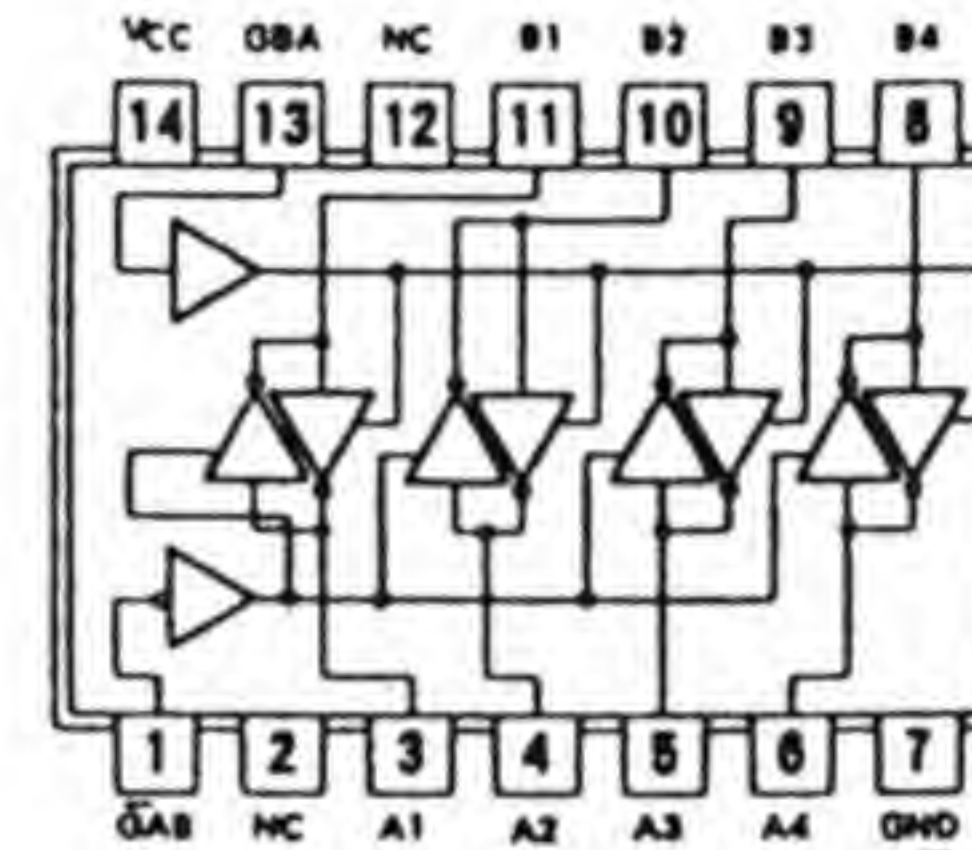
74756, 74757, 74758, 74760

74756 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)



- 3 ステート・オーバーラップ・プロテクション不要
- PNP 入力
- AS240 のオープン・コレクタ型

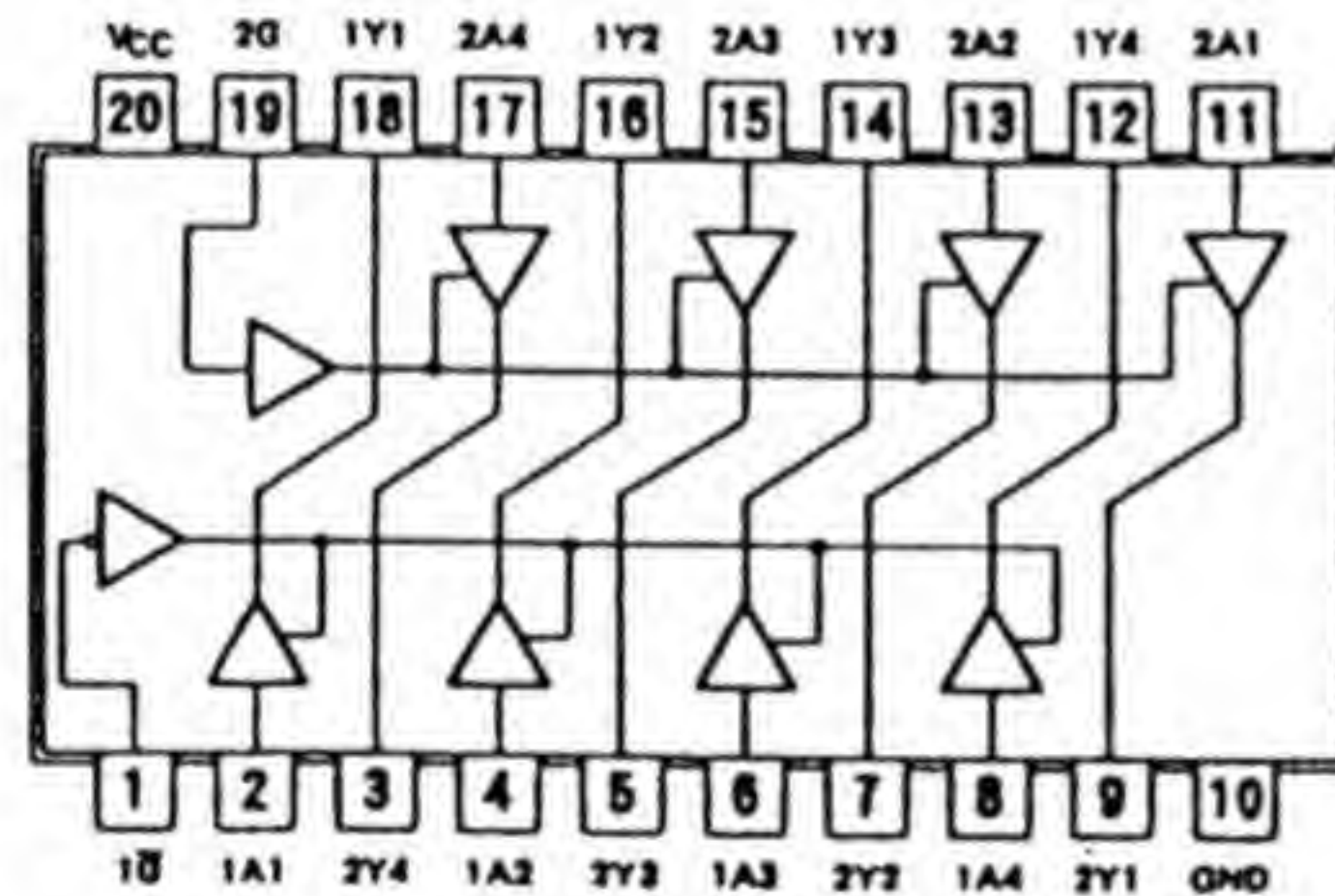
74758 QUADRUPLE BUS TRANSCEIVER (WITH OPEN-COLLECTOR OUTPUTS)



- PNP 入力
- AS242 のオープン・コレクタ型

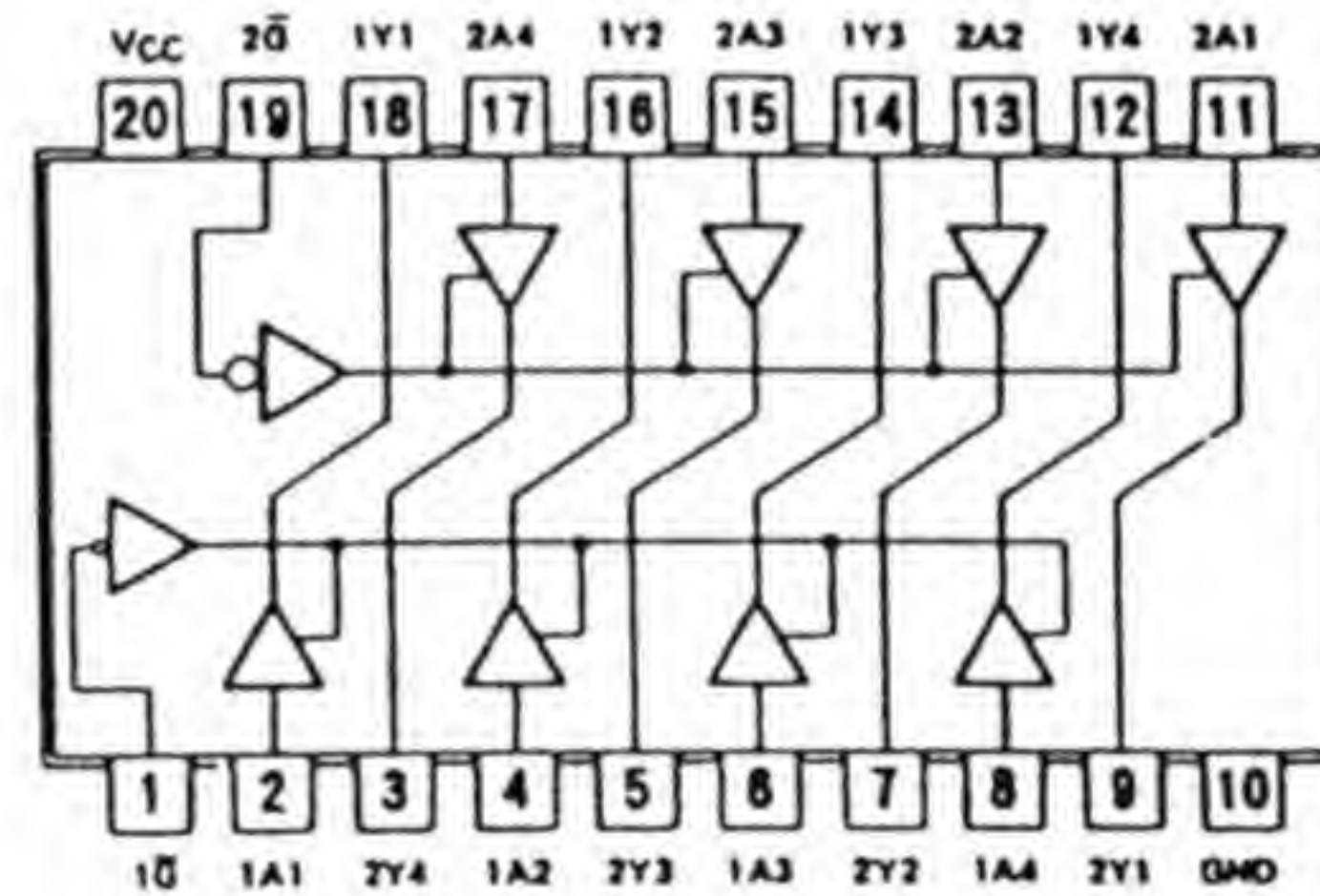
入 力		動 作
GAB	GBA	
L	L	A から B
H	H	B から A
H	L	アイソレーション
L	H	ラッチ A と B (A = B)

74757 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)



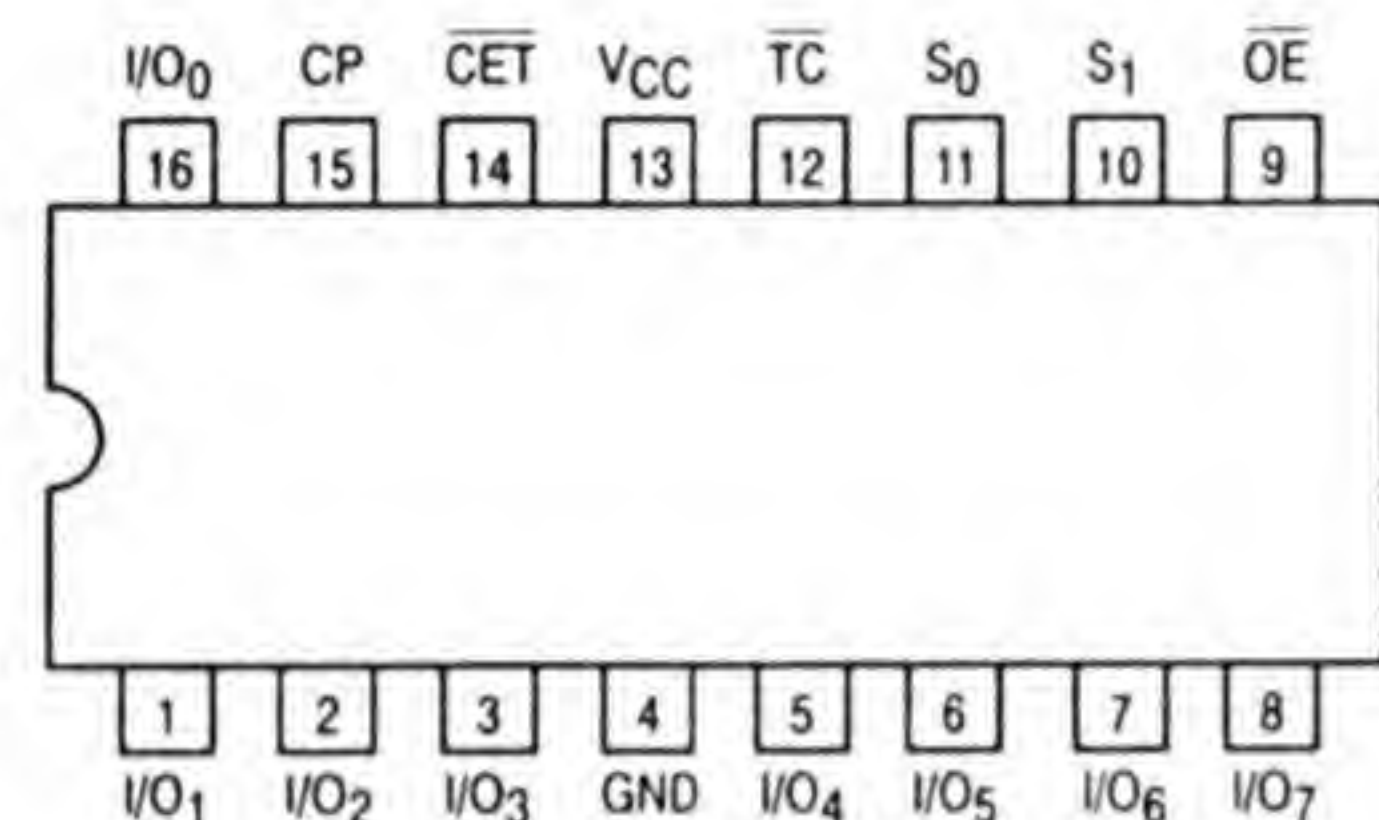
- 3 ステート・オーバーラップ・プロテクション不要
- PNP 入力
- AS241 のオープン・コレクタ型

74760 OCTAL BUFFER/LINE DRIVER/LINE RECEIVER (WITH OPEN-COLLECTOR OUTPUTS)

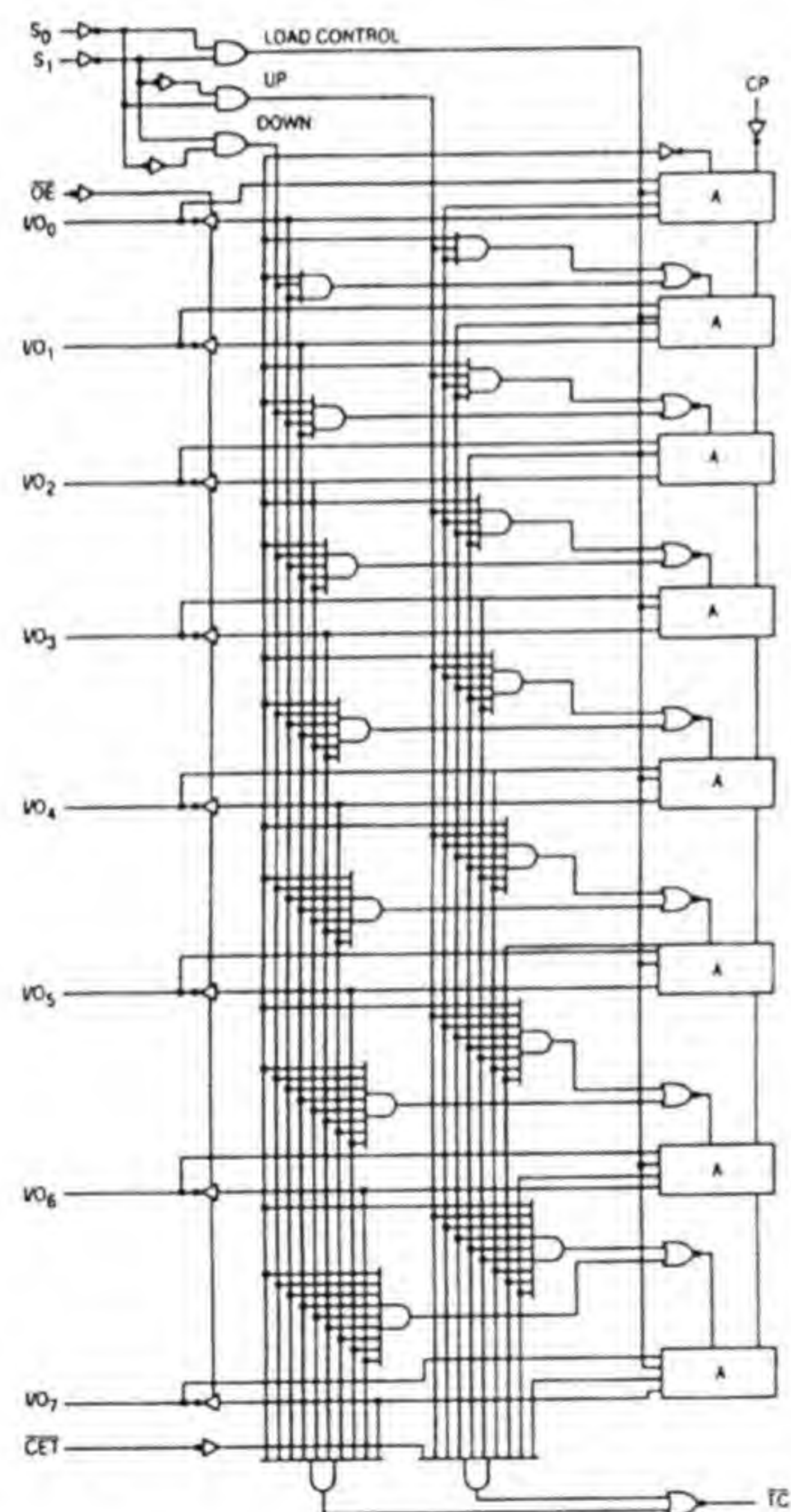


- オープン・コレクタ出力
- PNP 入力
- AS244 のオープン・コレクタ型
- 74AC11×××ファミリはセンタ・ピン・タイプ

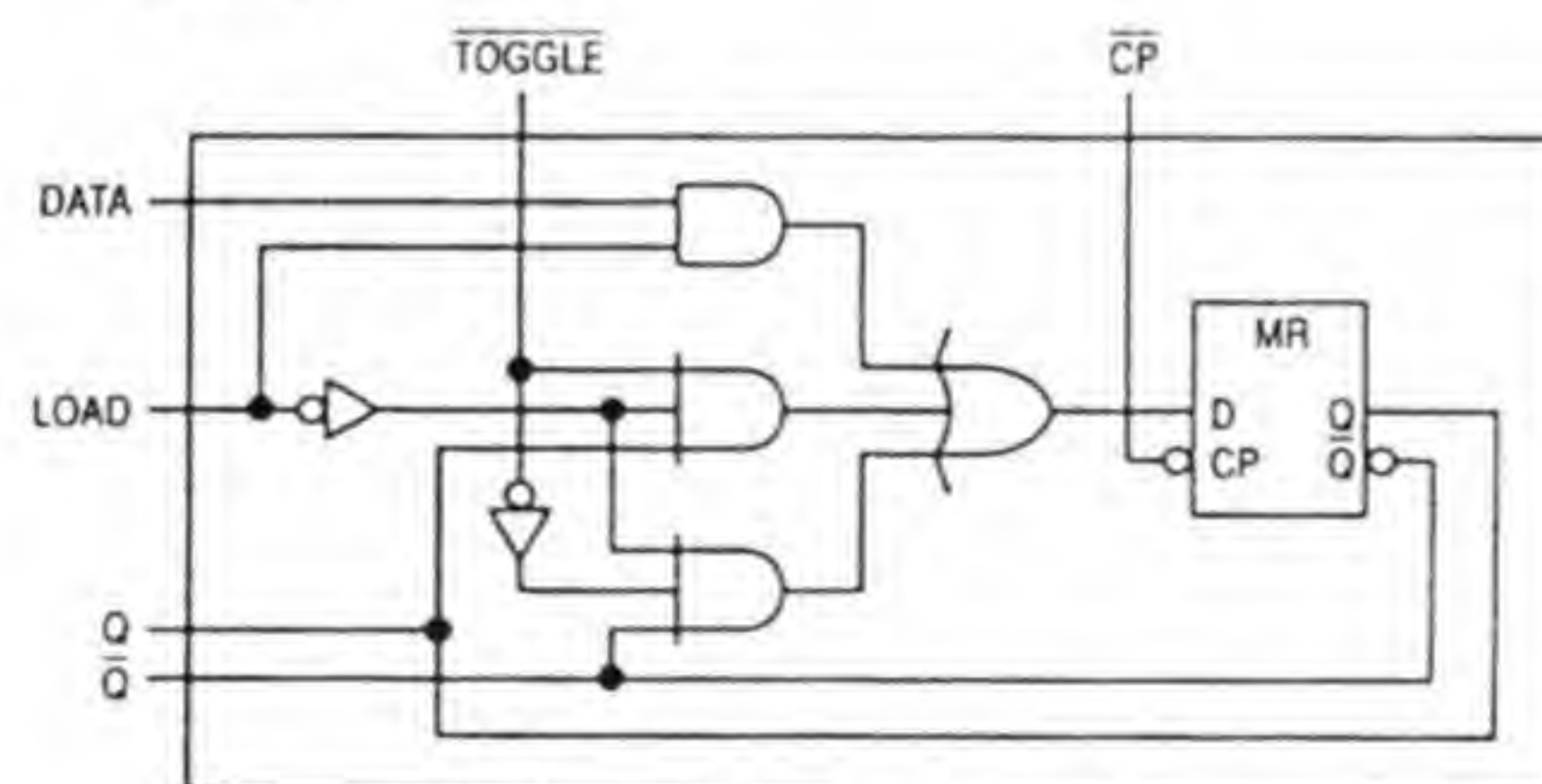
8-BIT BIDIRECTIONAL BINARY COUNTER (3-STATE)



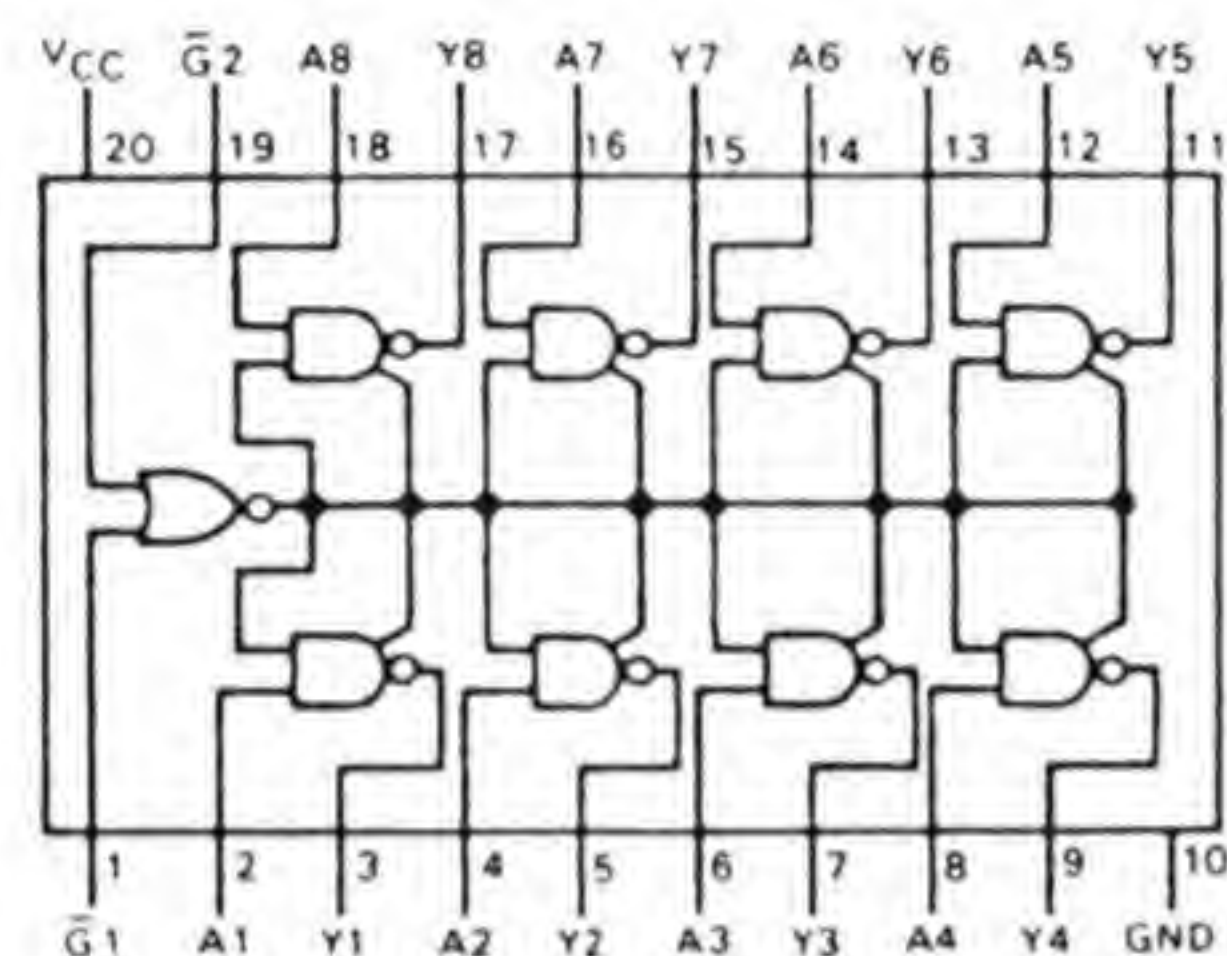
S1	S0	$\overline{\text{CET}}$	$\overline{\text{OE}}$	CP	動作モード
X	X	X	H	X	I/Oa to I/Oh in Hi-Z
X	X	X	L	X	Flip-flop outputs appear on I/O lines
L	L	X	H	↑	Parallel load all flip-flops
(not LL)		H	X	↑	Hold (TC held High)
H	L	L	X	↑	Count up
L	H	L	X	↑	Count Down

[illegible][illegible]

A の詳細



TRI-STATE OCTAL BUFFERS

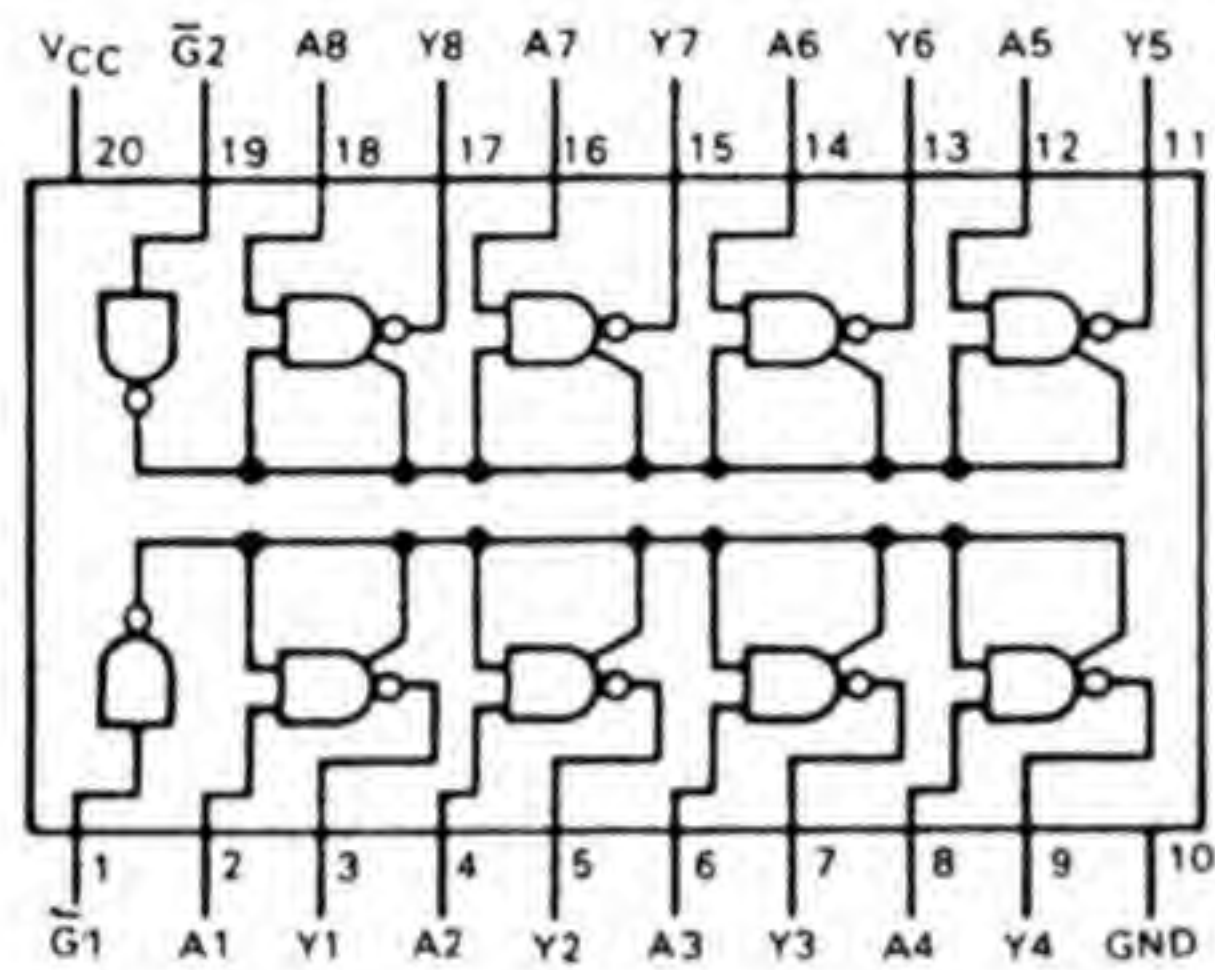


入力			出力
$\bar{G}1$	$\bar{G}2$	A	Y
H	X	X	Z
X	H	X	Z
L	L	H	L
L	L	L	H

[illegible][illegible]

74798

TRI-STATE OCTAL BUFFERS

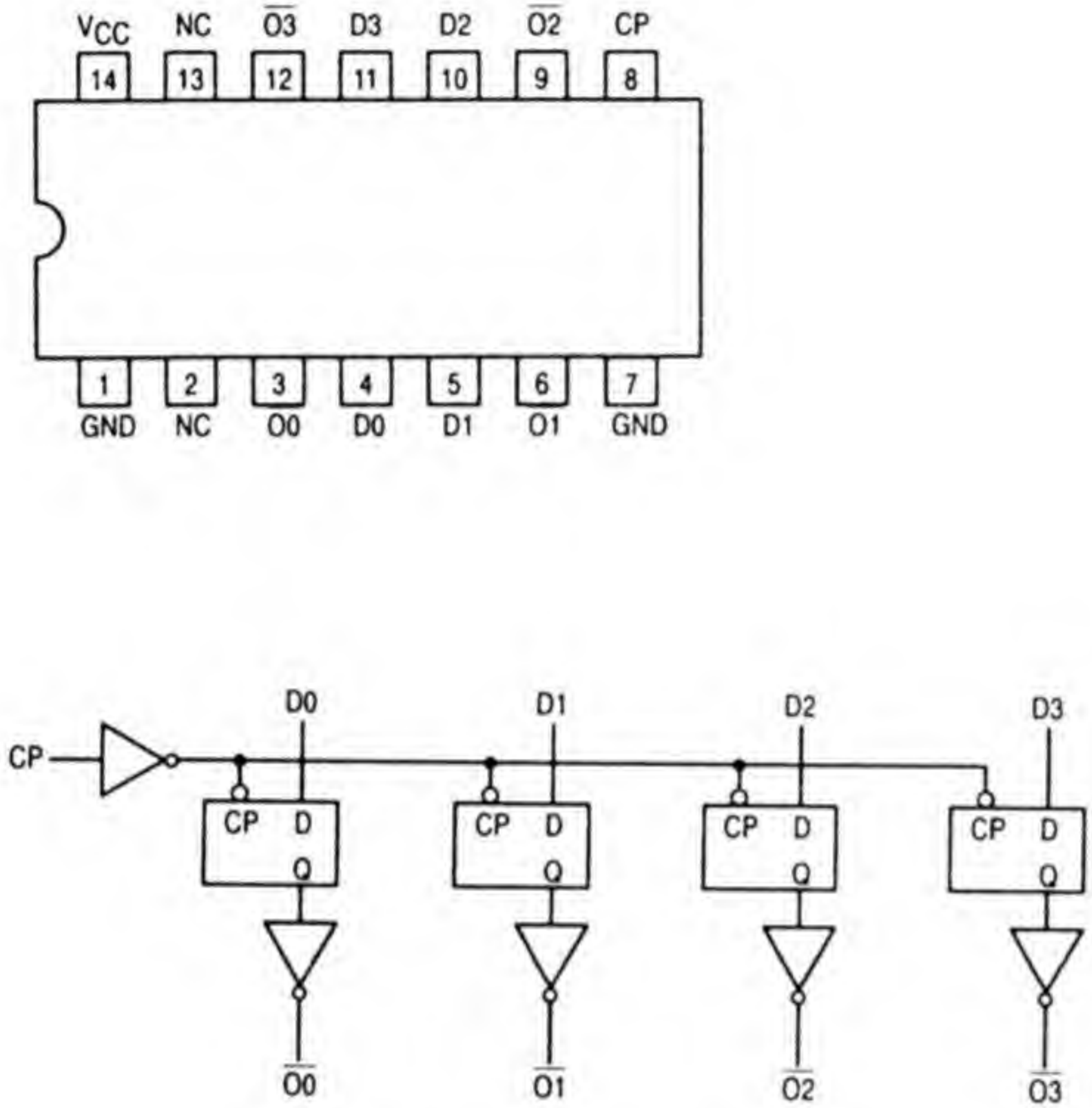


入力		出力
\bar{G}	A	Y
H	X	Z
L	H	L
L	L	H

項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max				L→H		10													ns
tpd	max				H→L		17													ns
tpd	max				Z→H		27													ns
tpd	max				Z→L		25													ns
tpd	max				H→Z		20													ns
tpd	max				L→Z		27													ns
Icc	max						21													mA
IIH	max	ALL	H				0.02													mA
IIL	max	ALL	L				-0.4													mA
IOH	max				H		-5													mA
IOL	max				L		16													mA
					社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
					日立															
					JRC															
					MOT		DF													
					日電															
					NS															
					沖															
					PHIL															
					RCA															
					三洋															
					SIGNE															
					TI															
					東芝															

74803

CLOCK DRIVER QUAD D-TYPE FLIP-FLOP WITH MATCHED PROPAGATION DELAYS

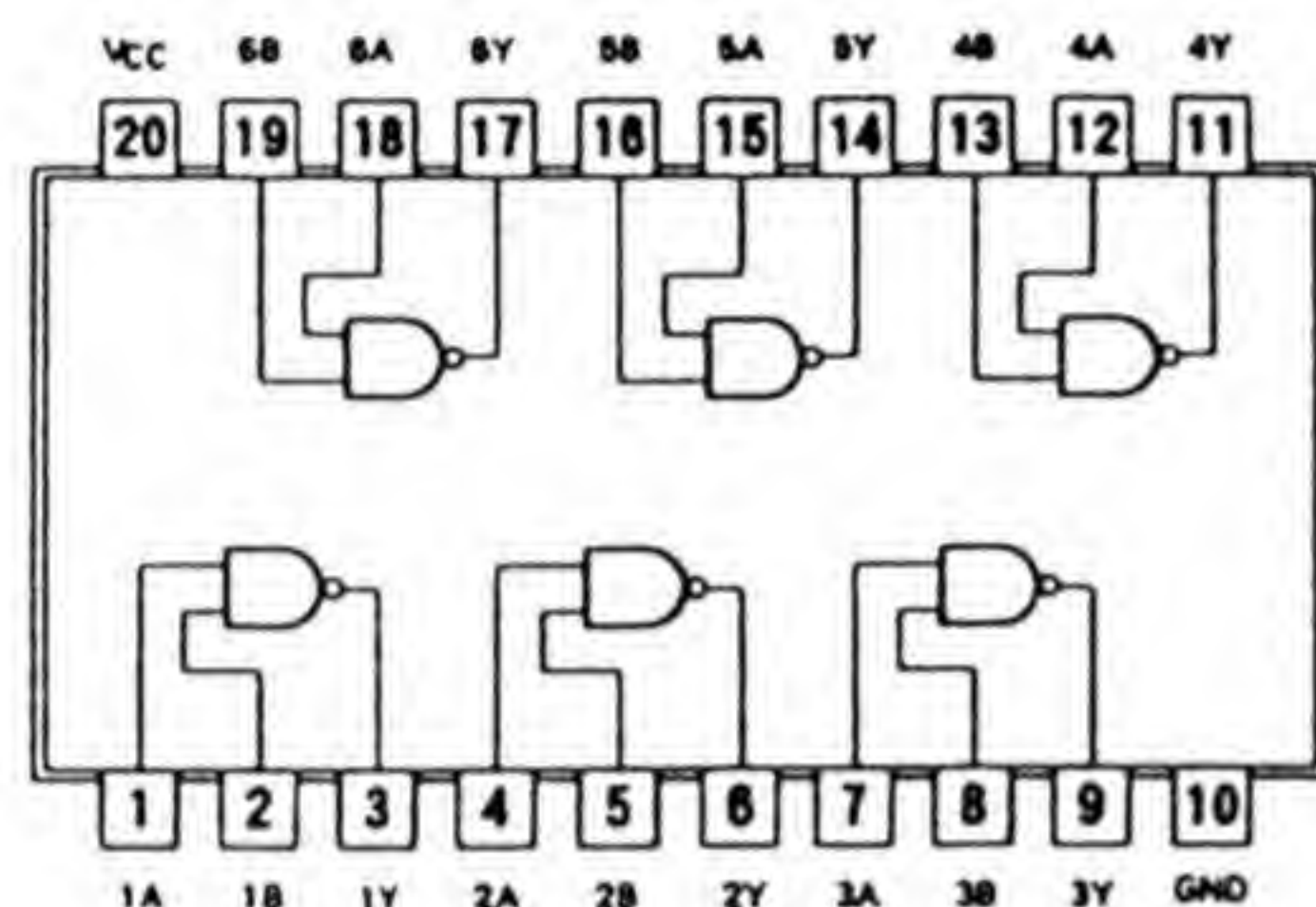


項目	大小	入力	IN	出力	OUT	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
fmax	min									50										MHz
tpd	max	CP	↑	On	L→H					10										ns
tpd	max	CP	↑	On	H→L					10										ns
Icc	max									70										mA
IIH	max	ALL	H							0.1										mA
IIl	max	ALL	L							-0.6										mA
IOH	max			ALL	H					-20										mA
IOL	max			ALL	L					24										mA
		社名	N	LS	ALS	ALSK	F	S	AS	AC	ACT	HC	HCU	HCT	BC	BCT				
		日立																		
		JRC																		
		MOT					DF													
		日電																		
		NS																		
		沖																		
		PHIL																		
		RCA																		
		三洋																		
		SIGNE																		
		TI																		
		東芝																		

74804, 74805, 74808, 74832

74804

HEX 2-INPUT NAND DRIVERS

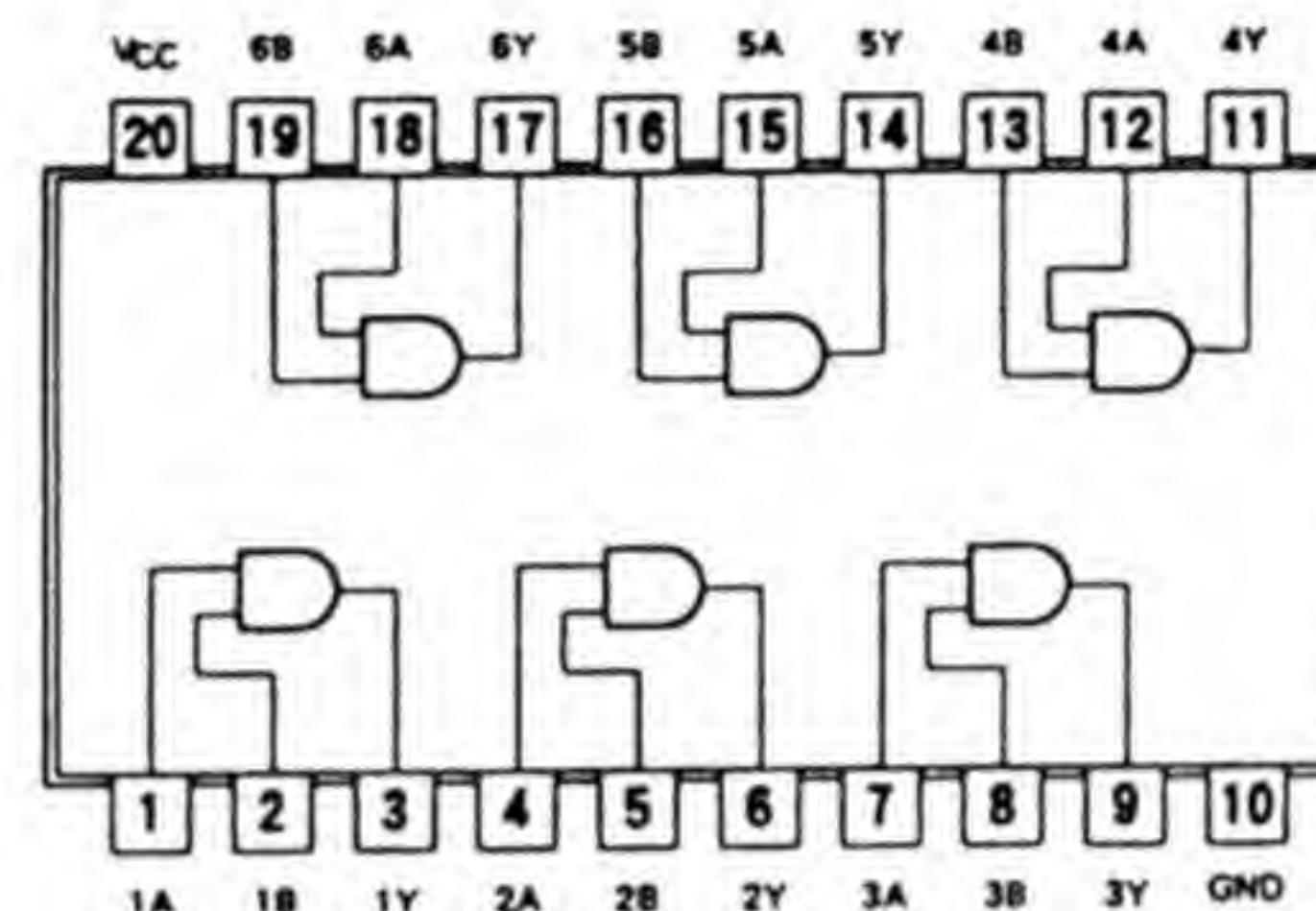


- バッファ出力タイプ
- 動作電源電圧範囲 2V~6V
- 入力端子に保護ダイオード内蔵
- $Y = \overline{AB}$

入 力		出 力
A	B	Y
H	H	H
L	X	L
X	L	L

74808

HEX 2-INPUT AND DRIVERS

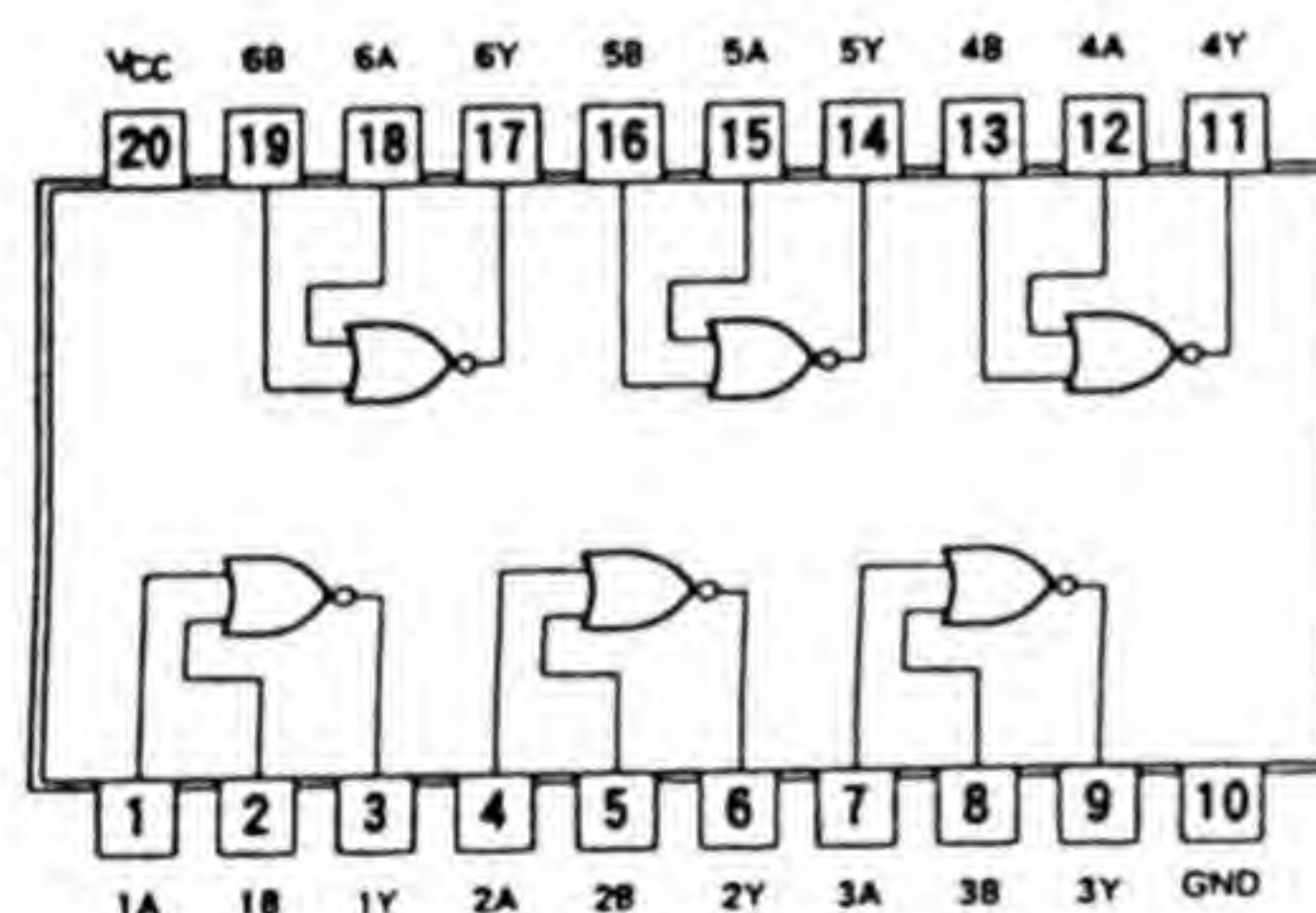


- バッファ出力タイプ
- 動作電源電圧範囲 2V~6V
- 入力端子に保護ダイオード内蔵
- $Y = AB$

入 力		出 力
A	B	Y
H	H	H
L	X	L
X	L	L

74805

HEX 2-INPUT NOR DRIVERS

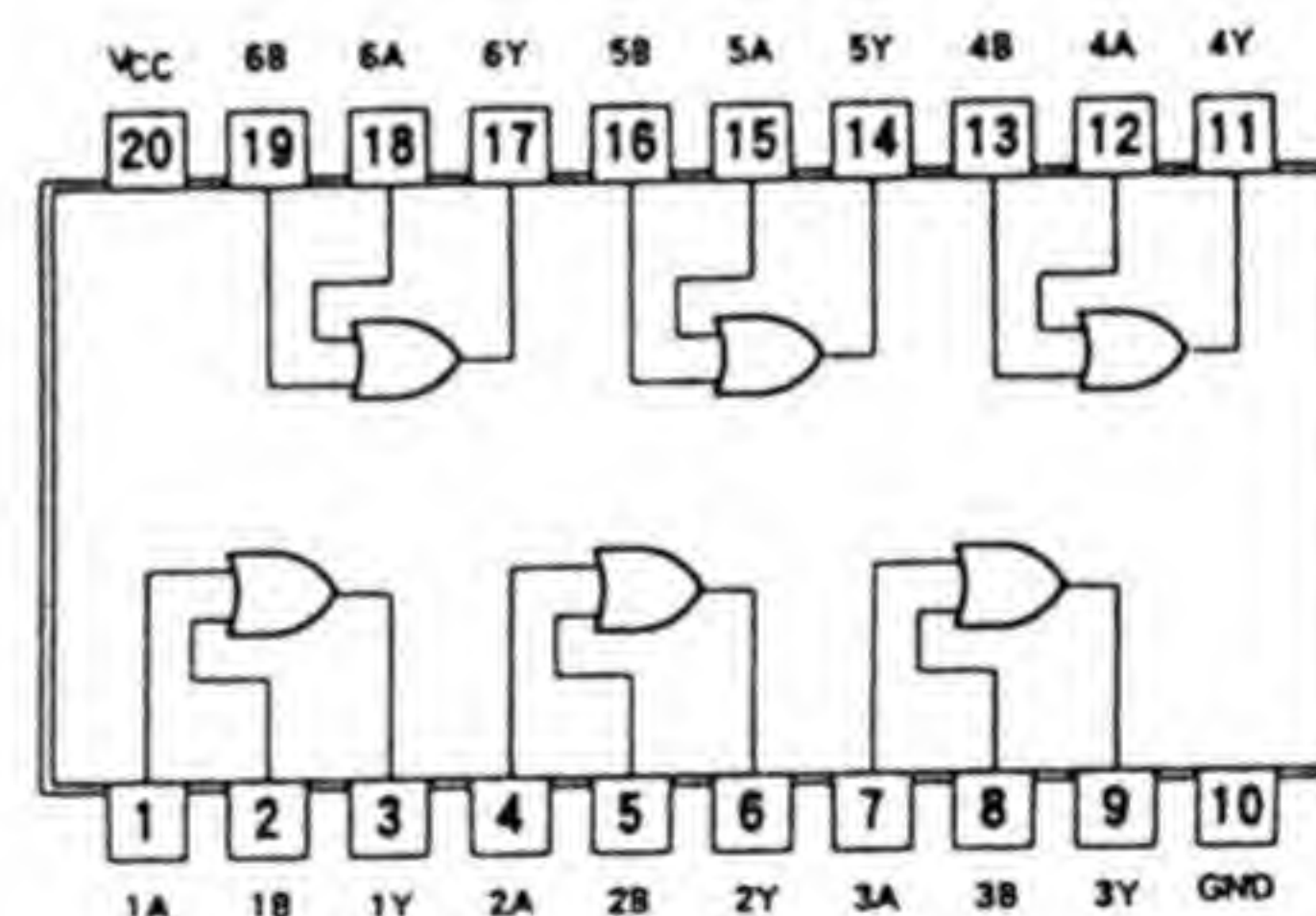


- バッファ出力タイプ
- 動作電源電圧範囲 2V~6V
- 入力端子に保護ダイオード内蔵
- $Y = \overline{A + B}$

入 力		出 力
A	B	Y
H	X	L
X	H	L
L	L	H

74832

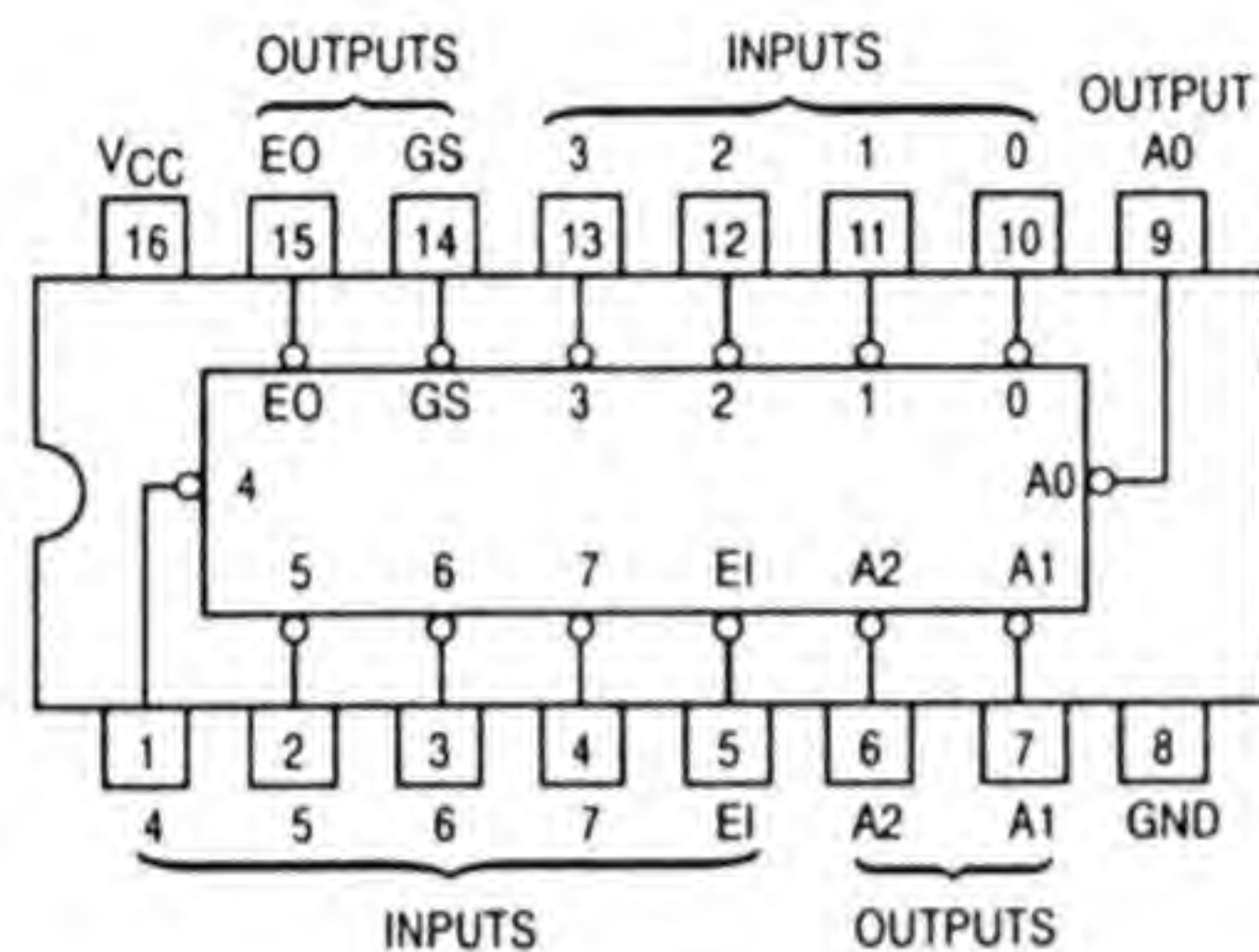
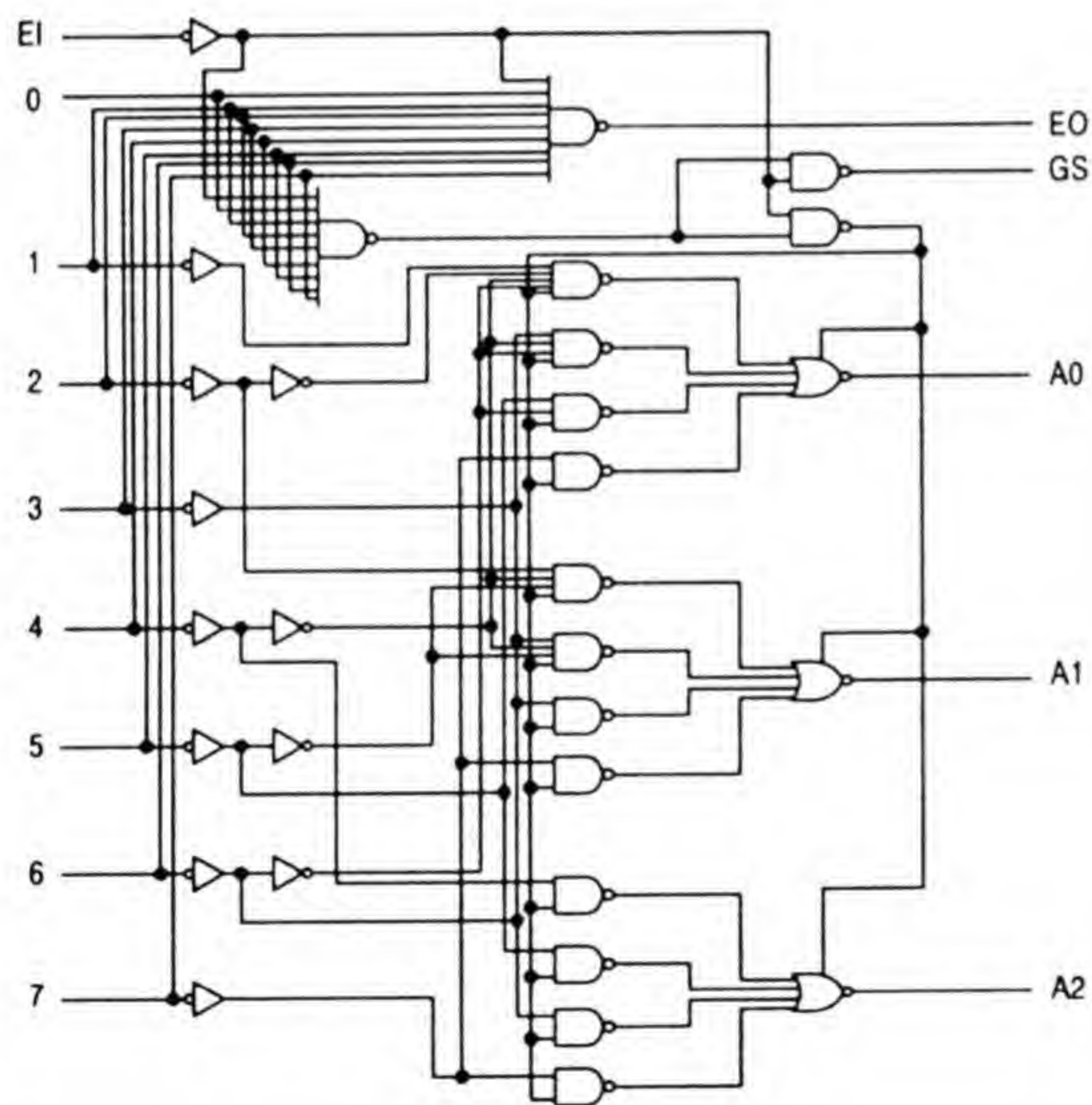
HEX 2-INPUT OR DRIVERS



- バッファ出力タイプ
- 動作電源電圧範囲 2V~6V
- 入力端子に保護ダイオード内蔵
- $Y = A + B$

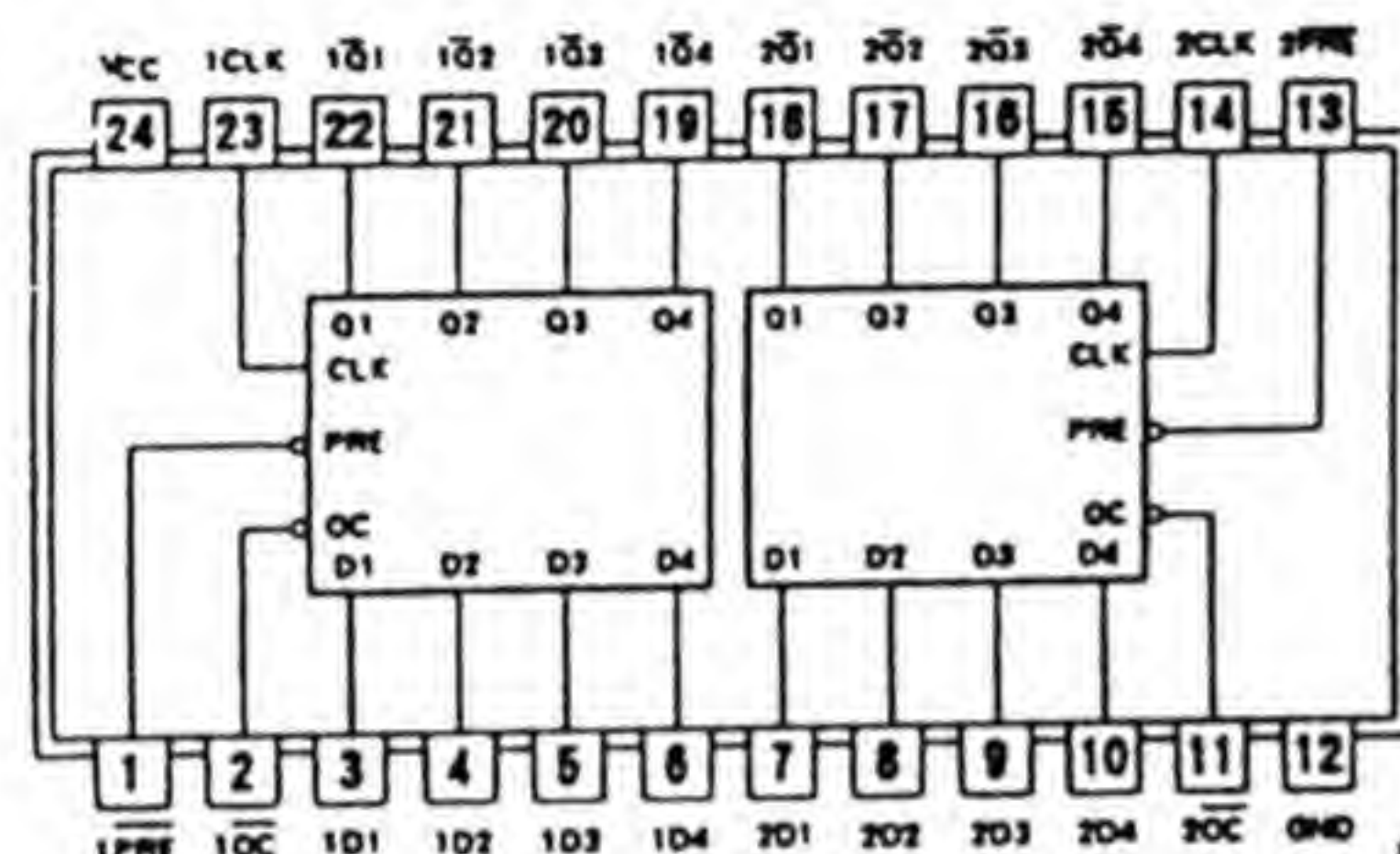
入 力		出 力
A	B	Y
H	X	H
X	H	H
L	L	L

8-INPUT PRIORITY ENCODERS WITH 3-STATE OUPUTS

[illegible][illegible][illegible]

74876, 74878, 74881

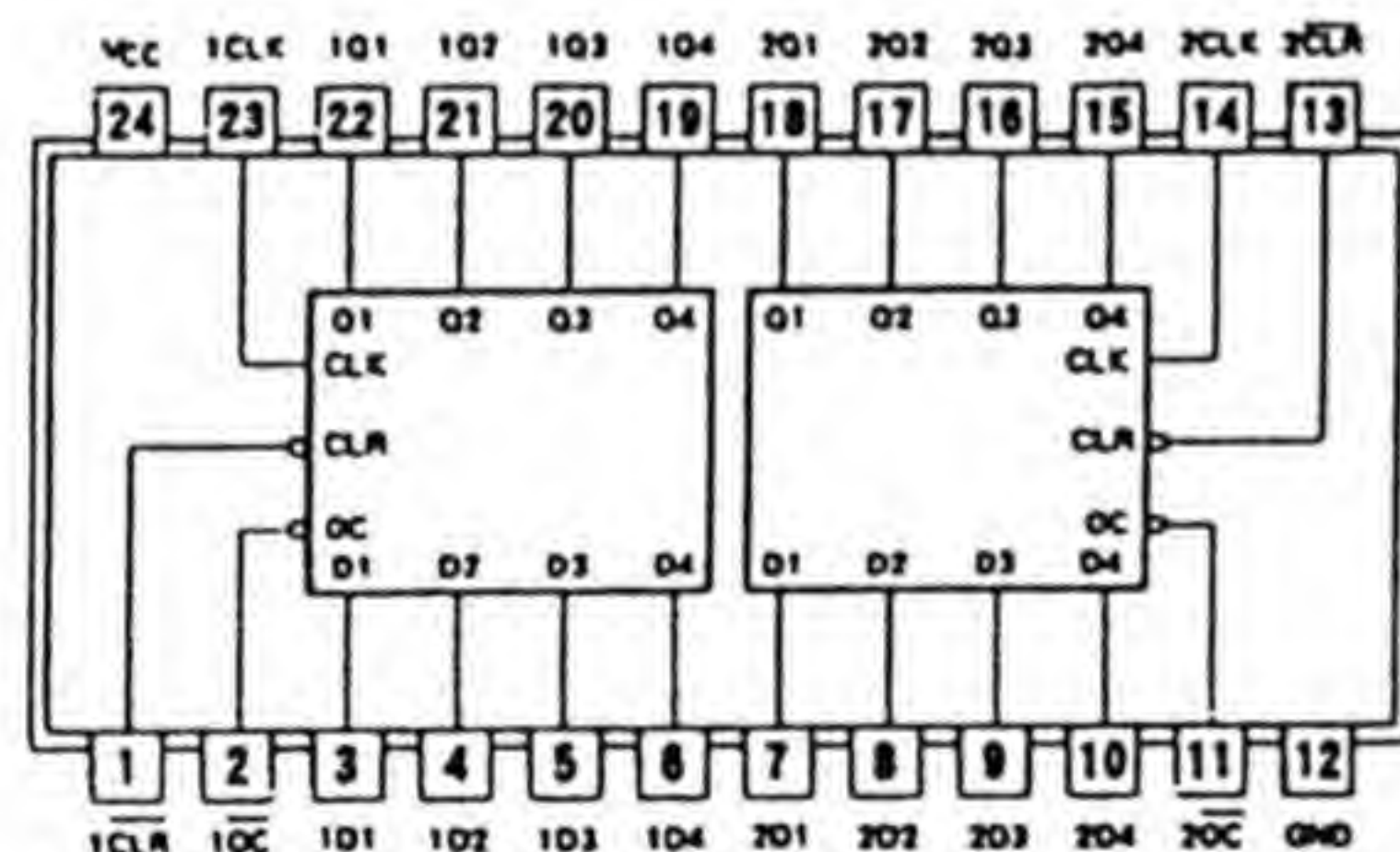
74876 DUAL 4-BIT D-TYPE EDGE-TRIGGERED FLIP-FLOPS WITH INVERTED OUTPUTS



- 3 ステート出力
- バス構成に合ったピン配置
- 反転出力
- 非同期クリア

入 力				出 力
OC	PRE	CLK	D	
L	L	X	X	L
L	H	↑	H	L
L	H	↑	L	H
L	H	L	X	$\overline{Q_0}$
H	X	X	X	Z

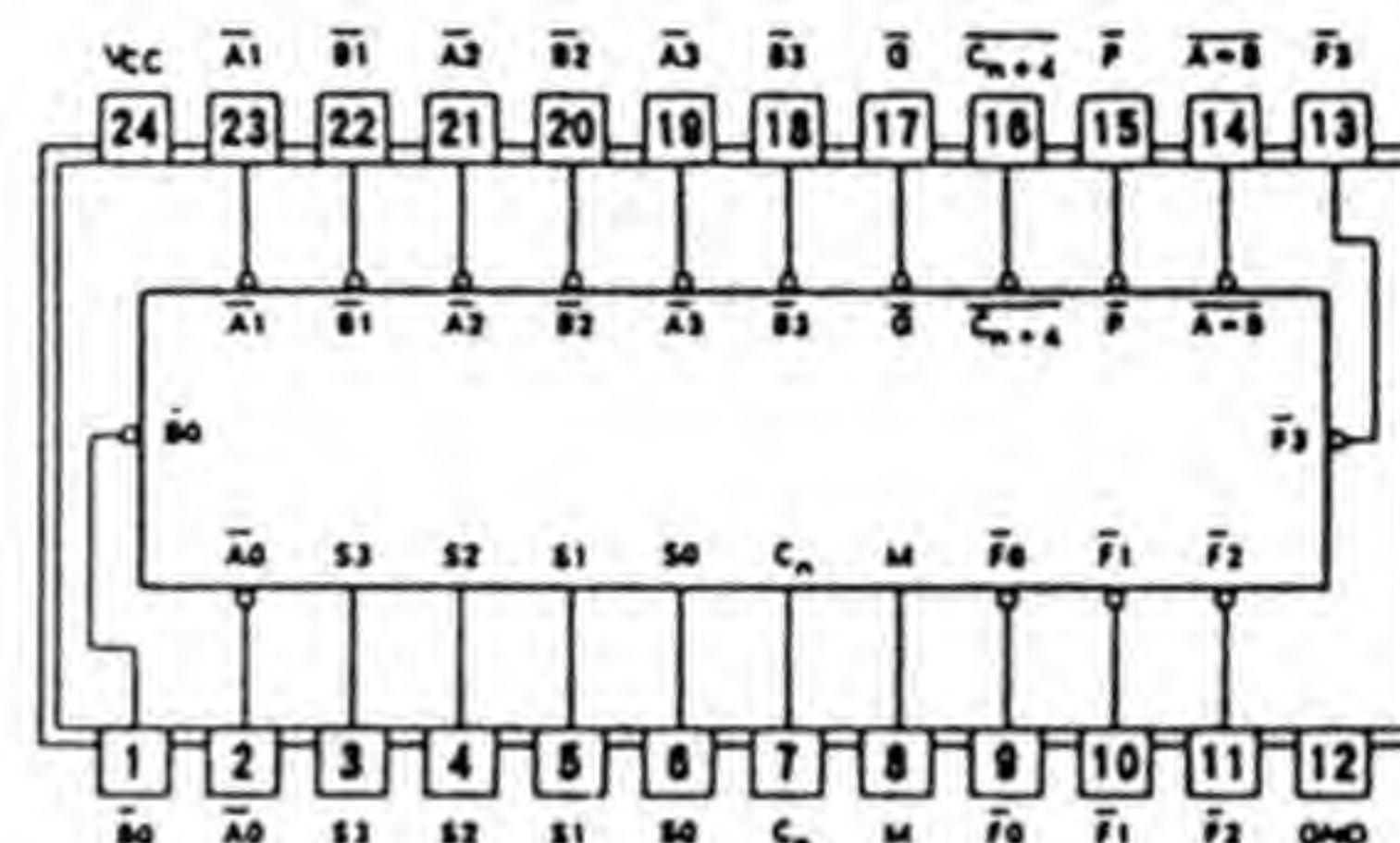
74878 DUAL 4-BIT D-TYPE EDGE-TRIGGERED FLIP-FLOPS



- 3 ステート出力
- 同期クリア

入 力				出 力
OC	CLR	CLK	D	
L	L	↑	X	L
L	H	↑	H	H
L	H	↑	L	L
L	H	L	X	Q_0
H	X	X	X	Z

74881 ARITHMETIC LOGIC UNIT/FUNCTION GENERATOR



- 24 ピン、300mil パッケージ
- 完全なルック・アヘッド
ワードが長い場合でも
高速動作可能

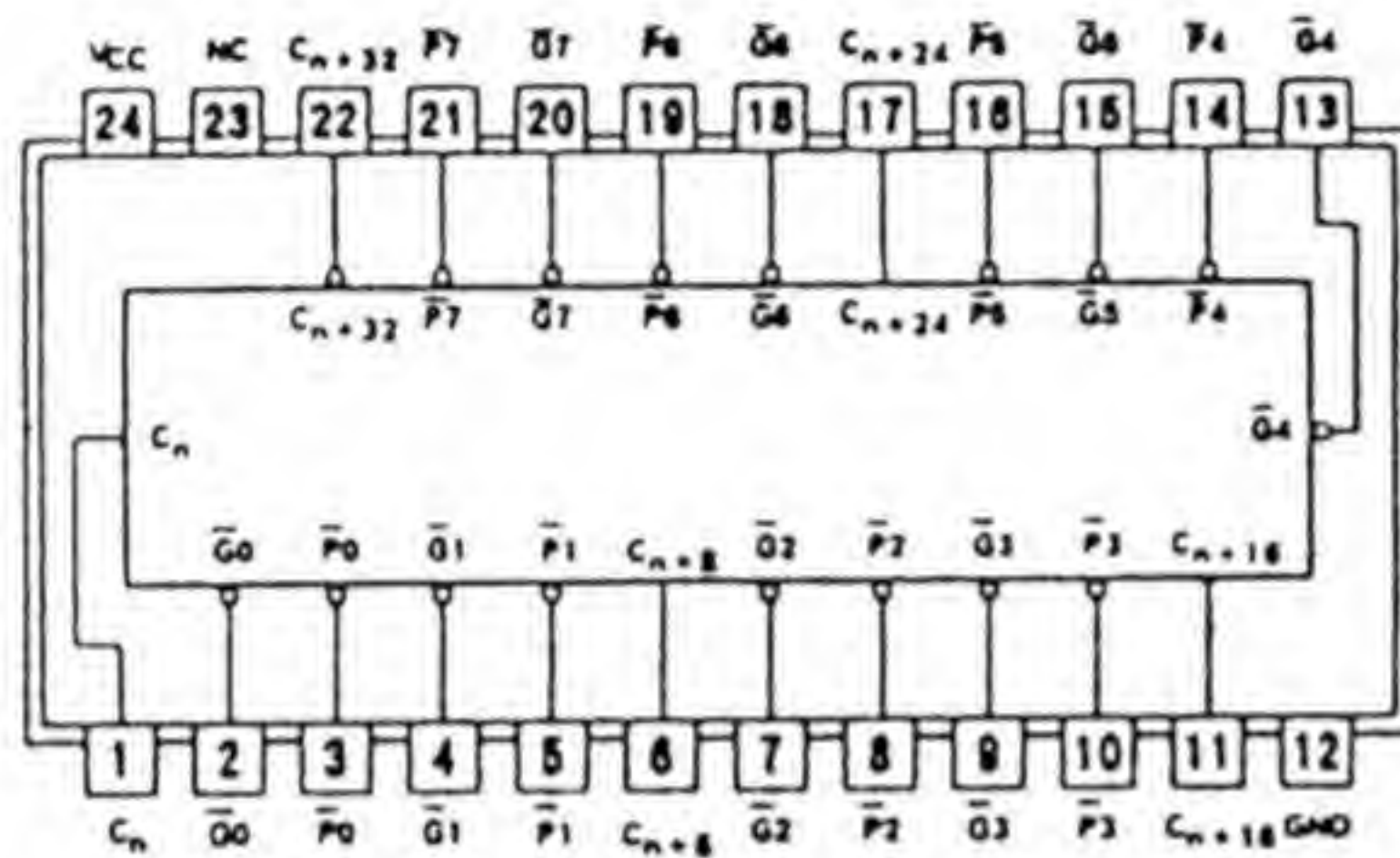
セレクト ション	アクティブ・ロー・データ		
	M = H (論理演算)	M = L (算術演算)	
		Cn = L	Cn = H
S3 S2 S1 S0	F = \overline{A}	F = A マイナス 1	F = A
L L L L	F = \overline{AB}	F = AB マイナス 1	F = AB
L L L H	F = $\overline{A+B}$	F = AB マイナス 1	F = \overline{AB}
L L H L	F = 1	F = マイナス 1 (2's COMP)	F = ゼロ
L L H H	F = $\overline{A+B}$	F = A プラス (A+B)	F = A プラス (A+B) プラス 1
L H L L	F = \overline{B}	F = AB プラス (A+B)	F = AB プラス (A+B) プラス 1
L H L H	F = $\overline{A \oplus B}$	F = A マイナス B マイナス 1	F = A マイナス B
L H H L	F = A+B	F = A+B	F = (A+B) プラス 1
L H H H	F = $\overline{A \oplus B}$	F = A プラス (A+B)	F = A プラス (A+B) プラス 1
H L L L	F = $\overline{A \oplus B}$	F = A プラス B	F = A プラス B プラス 1
H L L H	F = B	F = AB プラス (A+B)	F = AB プラス (A+B) プラス 1
H L H L	F = A+B	F = (A+B)	F = (A+B) プラス 1
H L H H	F = 0	F = A+A*	F = A プラス A プラス 1
H H L L	F = \overline{AB}	F = AB プラス A	F = AB プラス A プラス 1
H H L H	F = AB	F = AB プラス A	F = AB プラス A プラス 1
H H H L	F = A	F = A	F = A プラス 1

セレクト ション	アクティブ・ハイ・データ		
	M = H (論理演算)	M = L (算術演算)	
		Cn = H	Cn = L
S3 S2 S1 S0	F = \overline{A}	F = A	F = A プラス 1
L L L L	F = $\overline{A+B}$	F = A+B	F = (A+B) プラス 1
L L L H	F = \overline{AB}	F = A+B	F = (A+B) プラス 1
L L H L	F = 0	F = マイナス 1 (2's COMP)	F = ゼロ
L L H H	F = \overline{AB}	F = A プラス AB	F = A プラス AB プラス 1
L H L L	F = \overline{B}	F = (A+B) プラス AB	F = (A+B) プラス AB プラス 1
L H L H	F = $\overline{A \oplus B}$	F = A マイナス B マイナス 1	F = A マイナス B
L H H L	F = \overline{AB}	F = AB マイナス 1	F = AB
L H H H	F = $\overline{A+B}$	F = A プラス AB	F = A プラス AB プラス 1
H L L L	F = $\overline{A \oplus B}$	F = A プラス B	F = A プラス B プラス 1
H L L H	F = B	F = (A+B) プラス AB	F = (A+B) プラス AB プラス 1
H L H L	F = AB	F = AB マイナス 1	F = AB
H L H H	F = 1	F = A プラス A*	F = A プラス A プラス 1
H H L L	F = A+B	F = (A+B) プラス A	F = (A+B) プラス A プラス 1
H H L H	F = A+B	F = (A+B) プラス A	F = (A+B) プラス A プラス 1
H H H L	F = A	F = A マイナス 1	F = A

74882, 74885

74882

32-BIT LOOK-AHEAD CARRY GENERATOR



- 24ピン, 300milパッケージ
- カスケード接続可能
- C_n から C_{n+1} までのキャリ伝搬
- 時間の標準値は 6ns 以下 ($C_L=15pF$)

入	力	出力
$\bar{G}_1 \bar{G}_0 \bar{P}_1 \bar{P}_0 C_n$	C_{n+8}	
L X X X X	H	
X L L X X	H	
X X L L H	H	
他の組合せ	L	

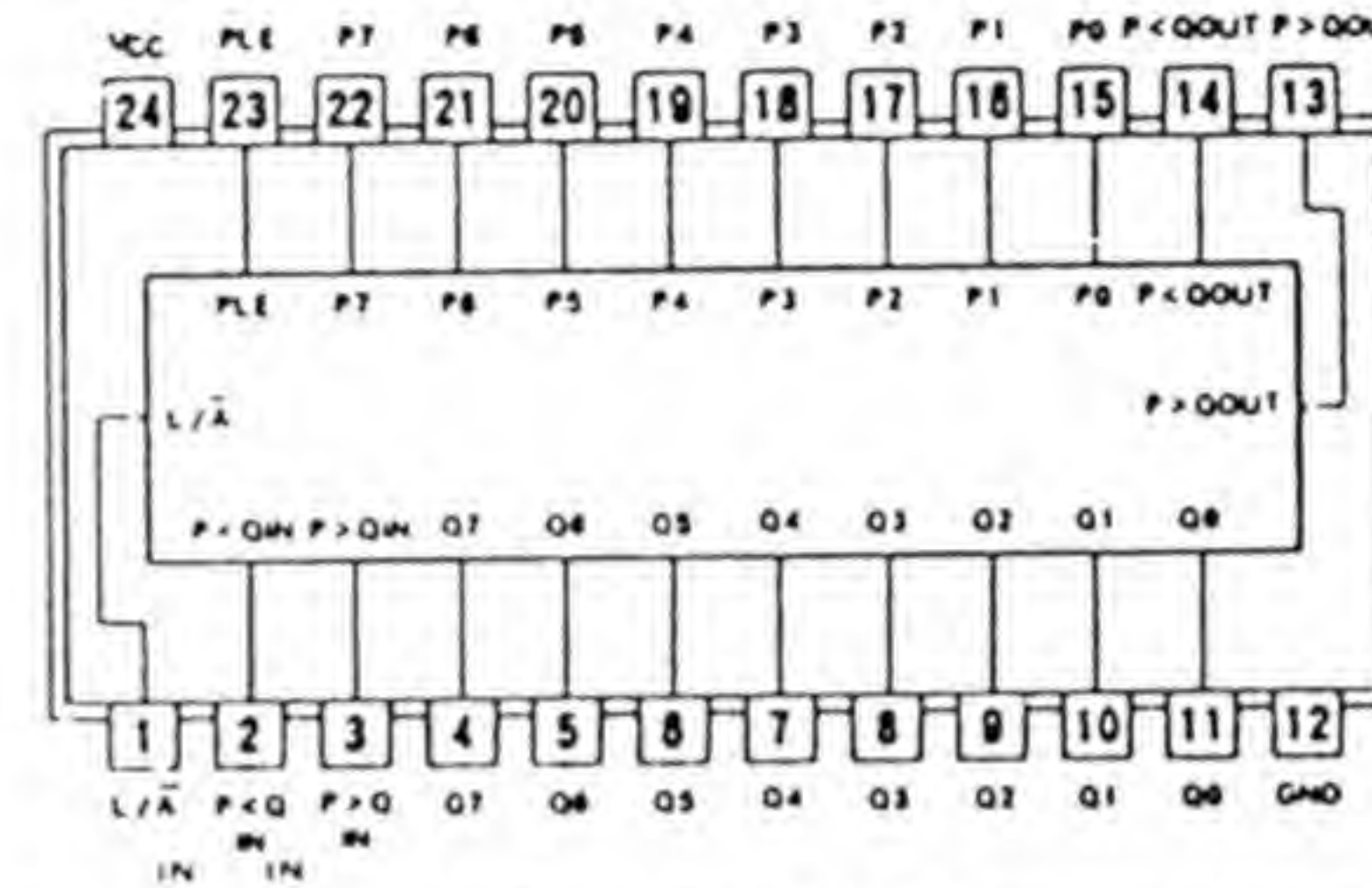
入	力	出力
$\bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{G}_0 \bar{P}_3 \bar{P}_2 \bar{P}_1 \bar{P}_0 C_n$	C_{n+16}	
L X X X X X X X	H	
X L X X X X X X	H	
X X L X X X X X	H	
X X X L L L L X X	H	
X X X X L L L L H	H	
他の組合せ	L	

入	力	出力
$\bar{G}_5 \bar{G}_4 \bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{G}_0 \bar{P}_5 \bar{P}_4 \bar{P}_3 \bar{P}_2 \bar{P}_1 \bar{P}_0 C_n$	C_{n+24}	
L X X X X X X X X X	H	
X L X X X X X X X X	H	
X X L X X X X X X X	H	
X X X L X X X X X X	H	
X X X X L X X X X X	H	
X X X X X L L L L X X	H	
X X X X X X L L L L X X	H	
X X X X X X X L L L L H	H	
他の組合せ	L	

入	力	出力
$\bar{G}_7 \bar{G}_6 \bar{G}_5 \bar{G}_4 \bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{G}_0 \bar{P}_7 \bar{P}_6 \bar{P}_5 \bar{P}_4 \bar{P}_3 \bar{P}_2 \bar{P}_1 \bar{P}_0 C_n$	C_{n+32}	
L X X X X X X X X X X X X X	H	
X L X X X X X X X X X X X X	H	
X X L X X X X X X X X X X X	H	
X X X L X X X X X X X X X X	H	
X X X X L X X X X X X X X X	H	
X X X X X L X X X X X X X X	H	
X X X X X X L X X X X X X X	H	
X X X X X X X L L L L L X X X	H	
X X X X X X X X L L L L L L X X	H	
X X X X X X X X X L L L L L L H	H	
他の組合せ	L	

74885

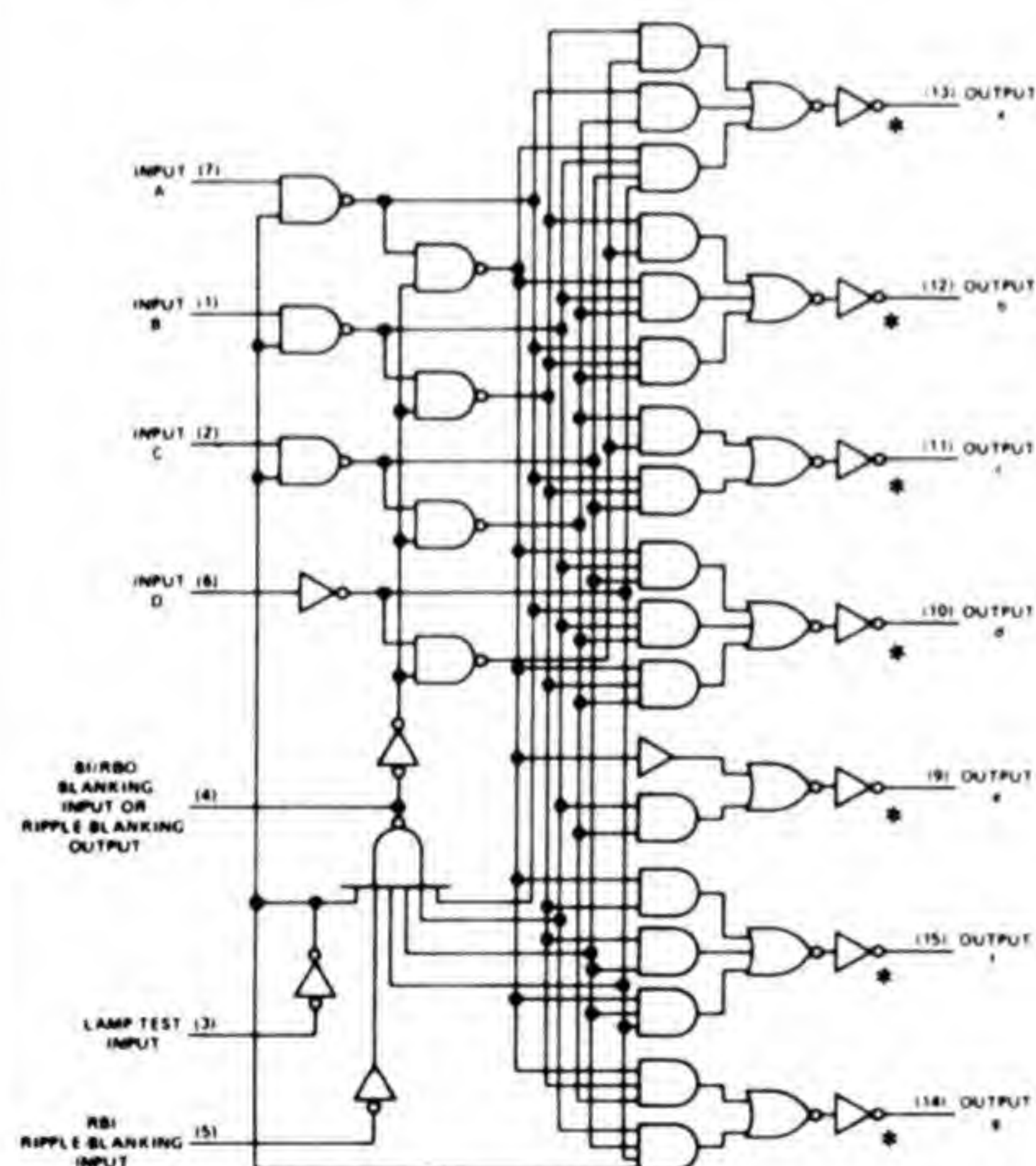
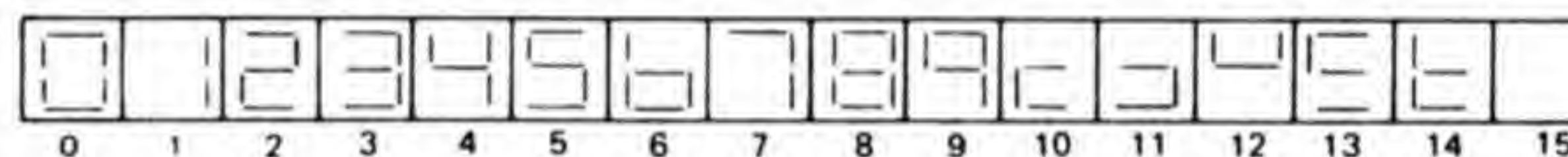
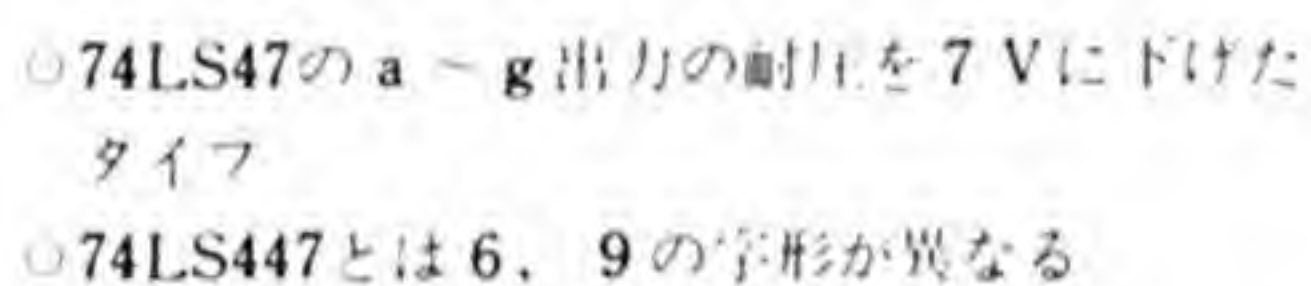
8-BIT MAGNITUDE COMPARATOR



- ラッチ付きの入力ポート P (電源投入時にクリアされる)
- 論理比較と算術 (2 の補数) 比較を選択可能
- PNP 入力
- カスケード接続可

比較モード	L/\bar{A}	データ入力 P_0-P_7, Q_0-Q_7	入 力 $P > Q$	入 力 $P < Q$	出 力 $P > Q$	出 力 $P < Q$
論 理	H	$P > Q$	X	X	H	L
論 理	H	$P < Q$	X	X	L	H
論 理*	H	$P = Q$	H または L	H または L	H または L	H または L
算 術	L	$P > Q$	X	X	H	L
算 術	L	$Q > P$	X	X	L	H
算 術*	L	$P = Q$	H または L	H または L	H または L	H または L

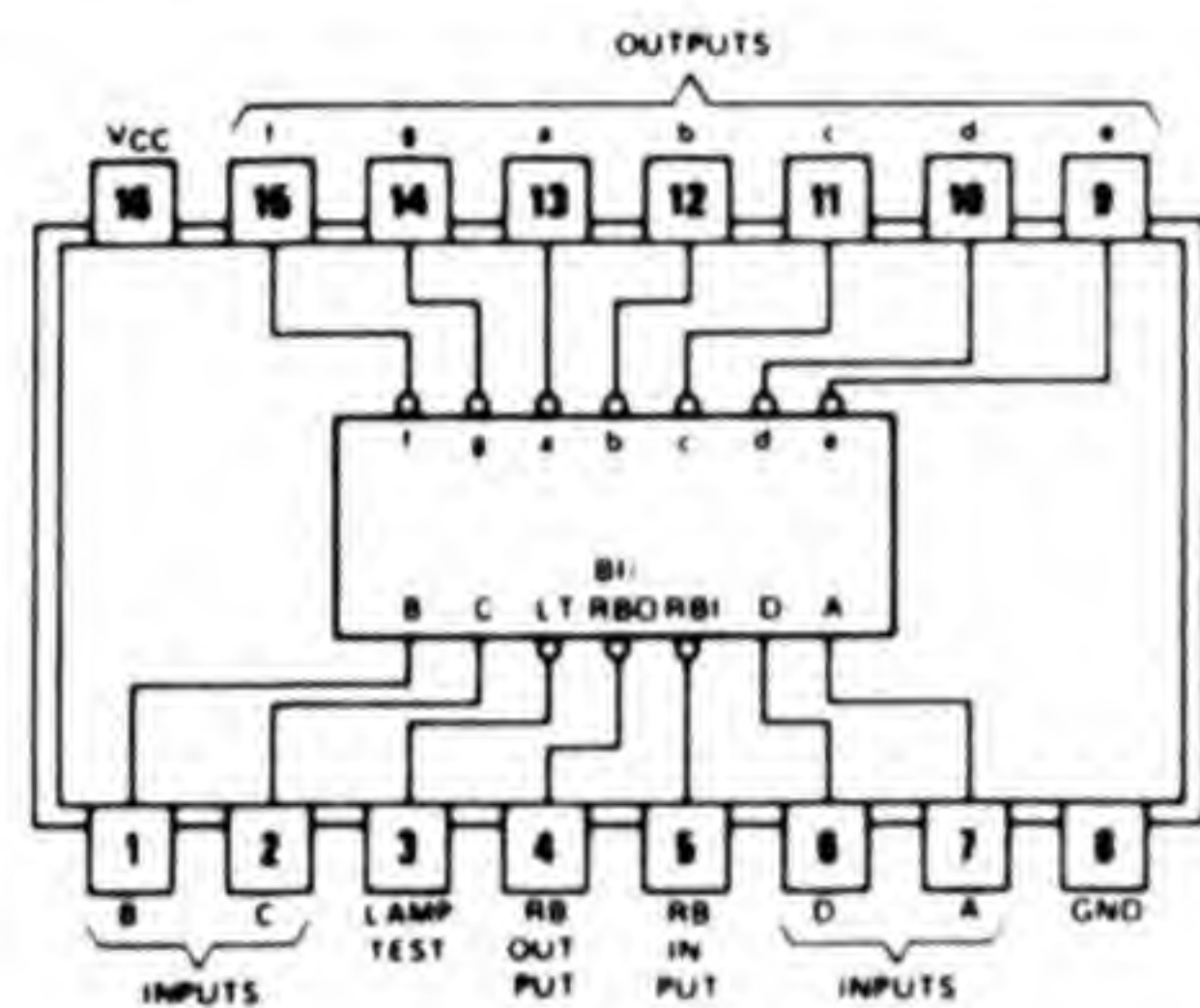
* この場合、 $P > Q$ 出力は $P > Q$ 入力に従い、 $P < Q$ 出力は $P < Q$ 入力に従う。

[illegible][illegible]

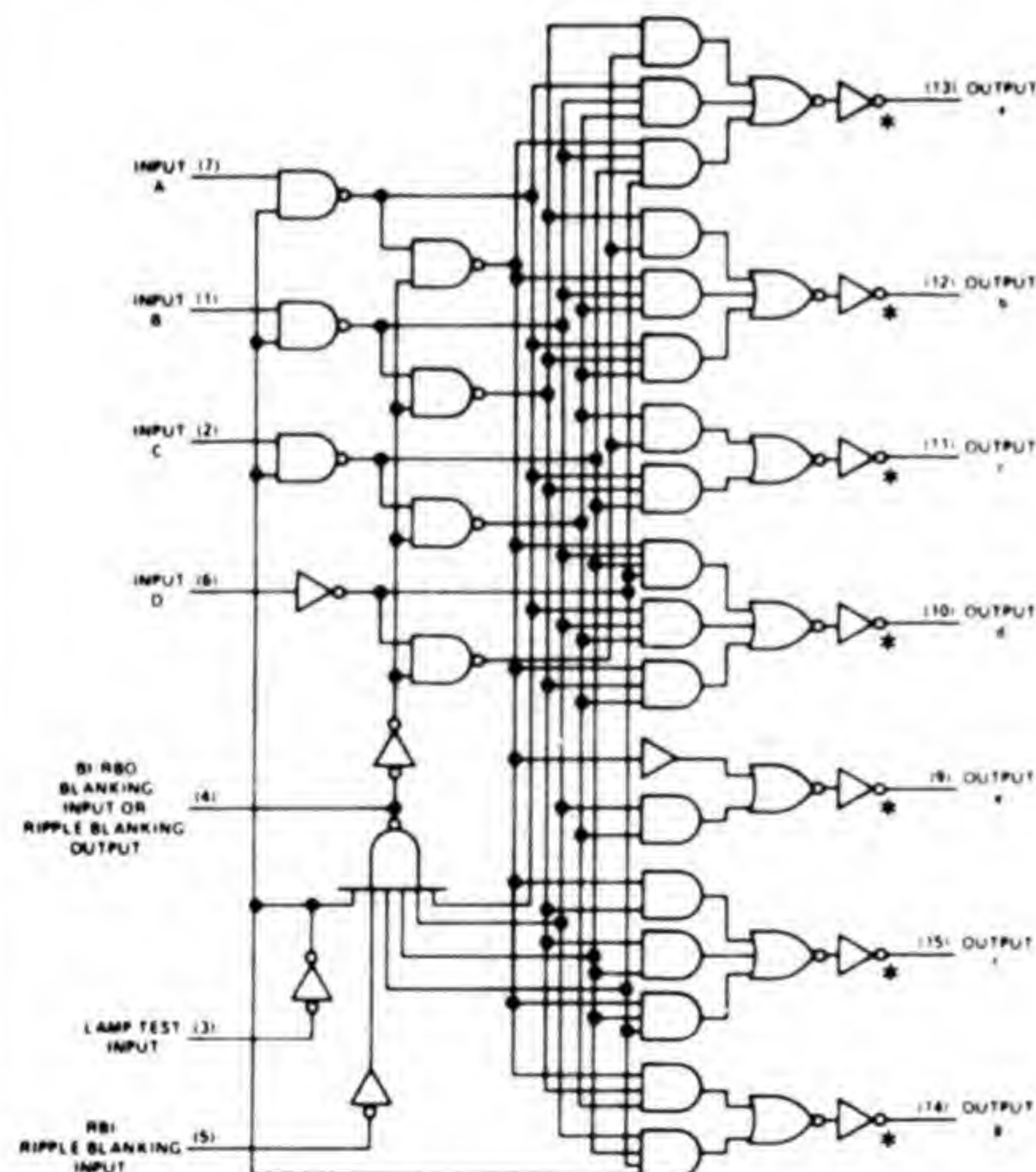
参考品種
7447
74447

74447

BCD to 7 Segment Decoder/Driver



- 74LS274の a ~ g 出力の耐圧を 7 V に下げたタイプ
- 74LS347とは 6, 9 の字形が異なる

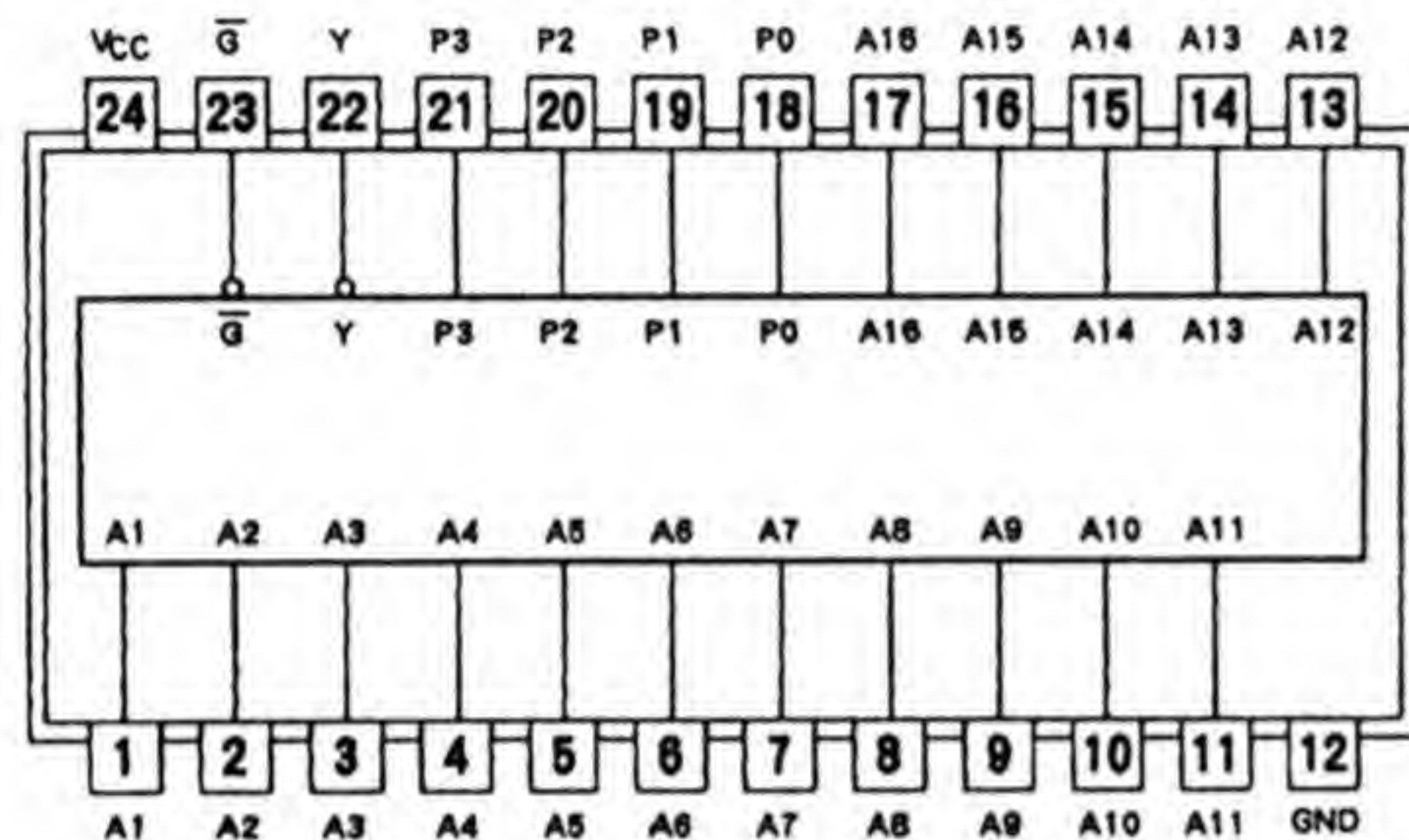


項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	MAX						100												ns
VOH	MAX						7												V
Icc	MAX	ALL	H	OPEN			13												mA
I1H	MAX	B1/RBO	H																μA
I1L	MAX	B1/RBO	L				1												mA
I1H	MAX	OTHERS	H				20												μA
I1L	MAX	OTHERS	L				0.4												mA
IOH	MAX			B1/RBO	H		0.05												mA
IOL	MAX			B1/RBO	L		3.2												mA
IOL	MAX			a~g	L		24												mA

社名	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	
日立														
MOT														
日電														
NS		D												
PHIL														
RCA														
SIGNE														
TI														
東芝														
SGS														
CYPRES														
IDT														

参考品種
74247
74347

Address Comparator



- 16ビット・アドレス・コンパレータ
(イネーブル付き)

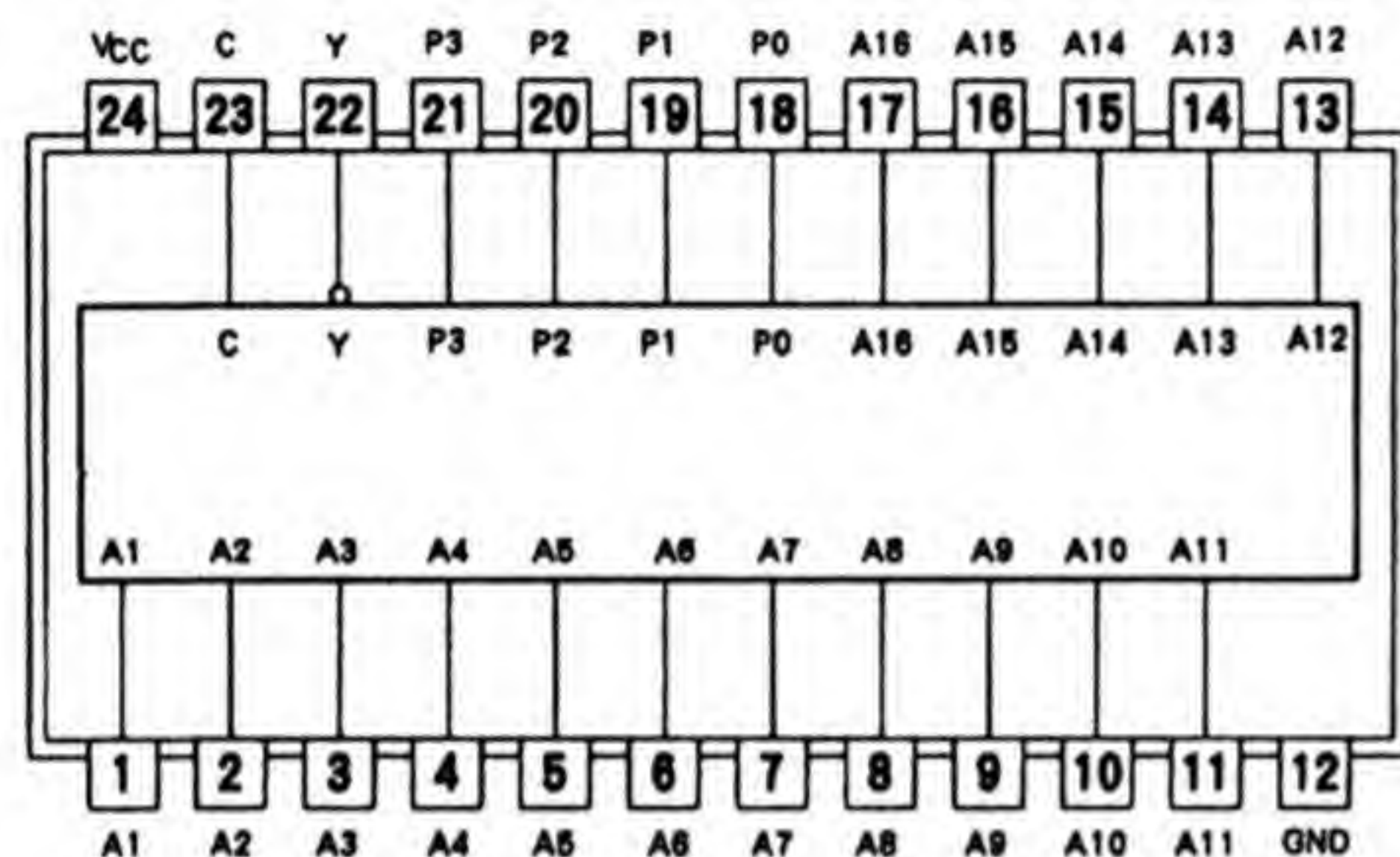
性能表

[illegible]

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			25						62					ns
tpd	max	P		Y	H→L			35						62					ns
tpd	max	A		Y	L→H			22						36					ns
tpd	max	A		Y	H→L			35						36					ns
tpd	max	G		Y	L→H			13						25					ns
tpd	max	G		Y	H→L			25						25					ns
Icc	max							33						.004					mA
Icc	max																		mA
I _{IH}	max																		μA
I _{IL}	max																		mA
I _{OH}	max																		mA
I _{OL}	max							24						4					mA

[illegible]

Address Comparator



●16ビット・アドレス・コンパレータ
(出力ラッチ付き)

C	入 力																出力 Y				
	P3	P2	P1	P0	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12		A13	A14	A15	A16
H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	L	H	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	H	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L
H	L	H	H	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	L
H	H	L	L	H	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	H	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	L
H	H	L	H	H	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H	L
H	H	L	H	H	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
H	他の組合せ																				H
L	任意の組合せ																				ラッチ

項目	大小	入力	IN	出力	OUT	LV	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	BC	BCT	単位
tpd	max	P		Y	L→H			22						66					ns
tpd	max	P		Y	H→L			43						66					ns
tpd	max	A		Y	L→H			21						42					ns
tpd	max	A		Y	H→L			35						42					ns
tpd	max	C		Y	L→H			20						30					ns
tpd	max	C		Y	H→L			48						30					ns
Icc	max							35						.004					mA
Icc	max																		mA
I IH	max																		μA
I IL	max																		mA
I OH	max																		mA
I OL	max							24						4					mA

[illegible]

用途別分類表

[illegible]

And Or Inverter

cct_type	#	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2W-AOI	2	NEG		2, 2IN+2, 2IN	14	51	*	*		*				*						53
2W-AOI	2	NEG		2, 2IN+3, 3IN	14	51	*	*		*				*						53
2W-AOI	1	NEG		4, 4IN	14	55	*	*												55
4W-AOI	1	NEG		3, 2, 2, 3IN	14	54	*	*												54
4W-AOI	1	NEG		2, 4, 2, 3IN	14	64		*		*										57
4W-AOI	1	NEG	OC	2, 4, 2, 3IN	14	65		*												318
2W-AOI	2	NEG		2IN+3IN	14	58								*						56

Decoder/De-multiplexer

[illegible]

7 Segments Decoder/Driver

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BDC_TO_7SEG	1	L, H	NEG	OC	30V, 40mA	16	46														317
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 46	16	246														-
BDC_TO_7SEG	1	L, H	NEG	OC	15V, 40/20mA	16	47	*													49
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 47	16	247	*													155
BDC_TO_7SEG	1	L, H	NEG	OC	7V 24mA	16	347	*													362
BDC_TO_7SEG	1	L, H	NEG	OC	LETTER 6, 9 DIFFRENT FROM 347	16	447	*													363
BDC_TO_7SEG	1	L, H	POS	PU	2K Ω PULL UP: 6.4/6V	16	48	*													51
BDC_TO_7SEG	1	L, H	POS	PU	LETTER 6, 9 DIFFRENT FROM 48	16	248	*													156
BDC_TO_7SEG	1	H	POS	OC	NO RBI RBO SIGNALS: 5.5V 8mA	14	49	*													52
BDC_TO_7SEG	1	L, H	POS	OC	5.5V 10/8mA	16	249	*													157
BCD_C_L_7SEG	1	\uparrow , L	NEG	OC	WITH BCD COUNTER: 7V, 15mA	24W	143														-
BCD_C_L_7SEG	1	\uparrow , L	NEG	OC	WITH BCD COUNTER: 15V, 25mA	24W	144														-
BCD_TO_10	1		NEG	OC	NIXIE DRIVER: 7mA	16	41														-
BCD_TO_10	1		NEG	OC	NIXIE DRIVER: 60V, 7mA	16	141														-
BCD_TO_C_TO_10	1	\uparrow , L	NEG	OC	NIXIE DRIVER: 55V, 7mA	16	142														-

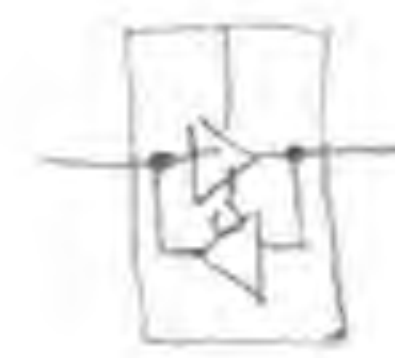
Magnitude Comparater

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
MAG_COMP	4		POS			16	85	*			*				*		*				66
EQUAL_COMP	8		POS	PU	20k Ω	20	518		*												219
EQUAL_COMP	8		POS	OC		20	519		*		*										220
EQUAL_COMP	8		NEG	PU	20k Ω	20	522														330
EQUAL_COMP	8		NEG	OC		20	689		*												282
EQUAL_COMP	8		NEG	PU	20k Ω	20	520		*		*		*	*							221
EQUAL_COMP	8		NEG			20	521		*		*		*	*	*		*				222
EQUAL_COMP	8		NEG			20	688	*	*						*		*				281
MAG_COMP	8		NEG	PU	20k Ω	20	682	*							*						275
MAG_COMP	8		NEG	PU	NO CASCADE SUPPORTED: 20K Ω	20	683	*													276
MAG_COMP	8		NEG		NO CASCADE SUPPORTED	20	684	*							*						277
MAG_COMP	8		NEG	OC		20	685														278
MAG_COMP	8		NEG	OC		24	686	*													279
MAG_COMP	8		NEG	OC		24	687														280
MAG_COMP	8		POS			24S	885					*									361
16LEVEL_COMP	1	L	NEG		16 LEVEL TO 4B COMPARATER	24S	677								*						364
12LEVEL_COMP	1	H	NEG		WITH OUTPUT LATCH	24S	678								*						365
16LEVEL_COMP	1	L	NEG		12 LEVEL TO 4B COMPARATER	20	679		*						*						273
12LEVEL_COMP	1	H	NEG		WITH OUTPUT LATCH	20	680		*						*						274

Data Selector/Encoder

[illegible]

[illegible]



Bus Transmitter/Receiver(with Register)

cct_type	#	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
2D_BUS_TR	4	L, H	POS	3S	SEPARATED OUTPUT CONTROL	14	243	*	*		*	*			*		*		*		152
2D_BUS_TR	4	L, H	NEG	3S	SEPARATED OUTPUT CONTROL	14	242	*	*		*	*			*		*		*		151
3D_BUS_TR	4	L&MODE	POS	OC	5 IN SELECT MODE	20	440														329
3D_BUS_TR	4	L&MODE	POS	3S	5 IN SELECT MODE	20	442	*							*						208
3D_BUS_TR	4	L&MODE	NEG	OC	5 IN SELECT MODE	20	441														329
3D_BUS_TR	4	L&MODE	NEG	3S	5 IN SELECT MODE	20	443								*						209
3D_BUS_TR	4	L&MODE	N, N, P	OC	B-C IS POS:5 IN SELECT MODE	20	448														330
3D_BUS_TR	4	L&MODE	N, N, P	3S	B-C IS POS:5 IN SELECT MODE	20	444								*						210
2D_BUS_TR	8	H, L	NEG	3S	SEPARATED OUTPUT CONTROL	20	620	*	*	*	*	*	*	*	*		*		*	*	251
2D_BUS_TR	8	H, L	POS	OC	SEPARATED OUTPUT CONTROL	20	621	*	*	*	*	*									252
2D_BUS_TR	8	H, L	NEG	OC	SEPARATED OUTPUT CONTROL	20	622	*	*	*	*	*									253
2D_BUS_TR	8	H, L	POS	3S	SEPARATED OUTPUT CONTROL	20	623	*	*		*	*	*	*	*		*		*	*	254
2D_BUS_TR	8	L				20	545				*										-
2D_BUS_TR	8	L			GP1B LEVEL	20	588				*										-
2D_BUS_TR	8	L&DIR	POS	3S	PNP INPUT	20	245	*	*	*	*	*	*	*	*		*		*	*	154
2D_BUS_TR	8	L&DIR	POS	3S		20	645	*	*	*	*	*			*		*		*		262
2D_BUS_TR	8	L&DIR	NEG	3S, OC	A_OUT:OC:B_OUT:3S	20	638		*			*									255
2D_BUS_TR	8	L&DIR	POS	3S, OC	A_OUT:OC:B_OUT:3S	20	639		*			*									256
2D_BUS_TR	8	L&DIR	POS	OC		20	641	*	*		*	*									258
2D_BUS_TR	8	L&DIR	NEG	3S		20	640	*	*	*	*	*	*	*	*		*		*	*	257
2D_BUS_TR	8	L&DIR	NEG	OC		20	642	*	*		*	*									259
2D_BUS_TR	8	L&DIR	N, P	3S	A TO B: INV:B TO A: BUFF	20	643	*	*		*	*	*	*	*		*		*		260
2D_BUS_TR	8	L&DIR	N, P	OC	A TO B: INV:B TO A: BUFF	20	644	*	*			*									261
2D_BUS_D-FF	8	L&DIR+FN	POS	3S	FN:4 CONTROL IN	24S	646	*	*	*	*	*	*	*	*		*			*	263
2D_BUS_D-FF	8	L&DIR+FN	POS	OC	FN:4 CONTROL IN	24S	647	*			*		*	*							345
2D_BUS_D-FF	8	L&DIR+FN	NEG	3S	FN:4 CONTROL IN	24S	648	*	*		*	*	*	*	*		*			*	264
2D_BUS_D-FF	8	L&DIR+FN	NEG	OC	FN:4 CONTROL IN	24S	649	*			*		*	*							345
2D_BUS_LATCH	8	L, H+FN	NEG	3S	SEP OUT CTRL:FN:4 CONTROL IN	24S	651		*		*	*	*	*	*		*			*	265
2D_BUS_LATCH	8	L, H+FN	POS	3S	SEP OUT CTRL:FN:4 CONTROL IN	24S	652		*		*	*	*	*	*		*				266
2D_BUS_LATCH	8	L, H+FN	NEG	OC/3S	SEP OUT CTRL:FN:4 CONTROL IN	24S	653						*	*							345
2D_BUS_LATCH	8	L, H+FN	POS	OC/3S	SEP OUT CTRL:FN:4 CONTROL IN	24S	654		*				*	*							345

Shift Register

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
PI-PO_S-REG	4	↓, ↓		L:LOAD	POS		LOAD SHIFT SEPARATED CLOCK	14	95	*			*				*						75
PI-PO_S-REG	4	↑	L	L:LOAD	P, N		QD:P, N:J(-K) INPUT	16	195	*			*	*	*		*		*				137
PI-PO_S-REG	4	↓		L, L:SHFT	POS	3S		14	295	*													174
PI-PO_S-REG	4	↓	L	L, L:SHFT	POS	3S	QD':TP OUT	16	395	*			*										203
PI-PO_DS-REG	4	↑	L	MODE	POS		MODE:RIGHT/LEFT/LOAD	16	194	*			*	*	*	*	*		*				135
PI-SO_S-REG	5	↑	L	H:LOAD	POS			16	96	*							*						319
SI-SO_S-REG	8	↑			P, N		INPUT:2IN AND	14	91	*							*						71
PI-SO_S-REG	8	↑	L	H, L	POS		H:INPUT LATCH:L:LOAD	16	597	*							*		*				250
PI-PO_S-REG	8	↑	H		POS		DUAL 4BIT REG	16	495														-
SI-PO_S-REG	8	↑, ↑	L	L	POS		SEPARATE SHIFT, D-FF CLOCK	16	595														249
SI-PO_S-REG	8	↑	L		POS		INPUT:2IN AND	14	164	*	*		*		*	*	*		*				113
PI-SO_S-REG	8	↑+EN		L:LOAD	P, N		SHIFT:EN=L	16	165	*	*				*	*	*		*				114
PI-SO_S-REG	8	↑+EN	L	L:LOAD	POS			16	166	*	*		*		*	*	*		*				115
PI-PO_S-REG	8	↑+EN	L	L:LOAD	P, N		QD:P, N:J(-K) INPUT	24W	199				*										142
PI-PO_DS-REG	8	↑	L	L, MODE			2 SERIAL INPUT SELECTABLE	20	322	*			*										179
PI-PO_DS-REG	8	↑	L	MODE	POS		MODE:RIGHT/LEFT/LOAD	24W	198				*										141
PI-PO_DS-REG	8	↑	L	L&L, MODE	POS	3S	I/O COMMON:S-P/P-S CONVERT	20	299	*	*		*		*	*	*		*				177
PI-PO_DS-REG	8	↑	L	L&L, MODE	POS	3S	SAME AS 299 EXCEPT SYNC CLR	20	323	*	*		*		*	*	*		*				180
SHIFT-REG	8	↓				3S	DUAL 8BIT	24W	674	*			*				*						272
SHIFT-REG	8	↓					WITH INPUT LATCH	24W	673	*			*				*						271
SHIFT-REG								16	589								*						244

Asynchronous Counter

cct_type	#	clock	clear	load	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BCD_US_COUNT	1	↓	H&H	H&H:9	POS		2×5:VCC 5, 10	14	90	*													69
BCD_US_COUNT	1	↓	H&H	H&H:9	POS		2×5	14	290	*													170
BCD_US_COUNT	2	↓	H		POS		2×5:DUAL SEPARATED	16	390	*	*				*		*		*				201
BCD_US_COUNT	2	↓	H	H:9	POS			16	490	*					*		*		*				218
BCD_US_COUNT	1	↓	L	L	POS		2×5	14	196	*													138
16C_US_COUNT	1	↓	H&H		POS		2×8:VCC 5, 10	14	93	*							*		*				74
16C_US_COUNT	1	↓	H&H		POS		2×8	14	293	*							*		*				172
16C_US_COUNT	2	↓	H		POS		2×8:DUAL SEPARATED	14	393	*			*		*		*		*				202
16C_US_COUNT	1	↓	L	L	POS		2×8	14	197	*													139
12C_US_COUNT	1	↓	H&H		POS		2×6:VCC 5, 10	14	92	*							*		*				73

Synchronous Counter

cct_type	#	clock	clear	control	logic	out	remarks	pin	type	LS	ALS	ALSK	F	AS	AC	ACT	HC	HCU	HCT	LV	BC	BCT	Page
BCD_S_COUNT	1	↑	L	L	POS		SYNCHRONUS LOAD	16	160	*	*		*		*	*	*		*				107
BCD_S_COUNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	16	162	*	*		*	*	*	*	*		*				110
BCD_S_COUNT	1	↑	L	L	POS	3S	160+175+257	20	690								*						283
BCD_S_COUNT	1	↑	L	L	POS	3S	162+175+257	20	692								*						285
BCD_S_COUNT	1	↑	L, L	L, L	POS	3S	SYNC, ASYNC LOAD, CLEAR	20	560		*												330
BCD_UD_COUNT	1	↑		L, L:UP	POS			16	190	*	*		*		*	*	*		*				129
BCD_UD_COUNT	1	↑, ↑	H	L	POS		UP/DOWN SEPARATED CLOCK	16	192	*	*		*				*		*				132
BCD_UD_COUNT	1	↑		L, L:DOWN	POS		SYNCHRONUS LOAD	16	168	*	*		*				*						116
BCD_UD_COUNT	1	↑		L, L:DOWN	POS		LOW SPEED VERSION OF 168	16	668	*							*						267
BCD_UD_COUNT	1	↑	L, L	L	POS	3S	SYNC LOAD:SYNC, ASYNC CLEAR	20	568	*	*		*										234
BCD_UD_COUNT	1	↑	L	L	POS	3S	168+175+257	20	696								*						287
BCD_UD_COUNT	1	↑	L	L	POS	3S	168+175+257:SYNC CLEAR	20	698								*						289
16C_S_COUNT	1	↑	L	L	POS		SYNCHRONUS LOAD	16	161	*	*		*	*	*	*	*		*				108
16C_S_COUNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	16	163	*	*		*	*	*	*	*		*				111
16C_S_COUNT	1	↑	L	L	POS	3S	161+175+257	20	691	*							*						284
16C_S_COUNT	1	↑	L	L	POS	3S	163+175+257	20	693								*						286
16C_S_COUNT	1	↑	L, L	L, L	POS	3S	SYNC, ASYNC LOAD, CLEAR	20	561		*												230
16C_UD_COUNT	1	↑		L, L:UP	POS			16	191	*	*		*		*	*	*		*				130
16C_UD_COUNT	1	CF	H	L	POS		UP/DOWN SEPARATED CLOCK	16	193	*	*		*		*	*	*		*				133
16C_UD_COUNT	1	↑		L, L:DOWN	POS		SYNCHRONUS LOAD	16	169	*	*		*	*	*	*	*						117
16C_UD_COUNT	1	↑		L, L:DOWN	POS		LOW SPEED VERSION OF 169	16	669	*							*						268
16C_UD_COUNT	1	↑	L, L	L	POS	3S	SYNC LOAD:SYNC, ASYNC CLEAR	20	569	*	*		*										235
16C_UD_COUNT	1	↑	L	L	POS	3S	169+175+257	20	697	*							*						288
16C_UD_COUNT	1	↑	L	L	POS	3S	169+175+257:SYNC CLEAR	20	699	*							*						290
256C_UD_CNT	1	↑	L	L	POS		SYNCHRONUS LOAD	24S	867		*			*									369
256C_UD_CNT	1	↑	L	L	POS		SYNCHRONUS CLEAR, LOAD	24S	869		*			*									359
256C_S_COUNT	1	↑, ↑	L	L	POS	3S	WITH OUTPUT D-FF	16	590	*					*		*						245
256C_S_COUNT	1	↑, ↑	L	L	POS	0C	WITH OUTPUT D-FF	16	591														334
256C_S_COUNT	1	↑, ↑	L	L	POS		WITH INPUT D-FF	16	592	*							*						246
256C_S_COUNT	1	↑, ↑	L	L	POS		I/O COMMON:WITH INPUT D-FF	20	593	*							*						247

1995年版 最新74シリーズIC規格表

©猪飼國夫 1990

1990年6月30日 初版発行
1995年5月20日 発行

(1995.5.20 第1刷)

編著者 い かい くに お 猪飼國夫
発行人 神 戸 一 夫
発行所 CQ出版株式会社

〒170 東京都豊島区巣鴨1-14-2

定価は表四に
表示してあります

電話 出版部 03-5395-2125

営業部 03-5395-2141

振替 00100-7-10665

印刷・製本 圀印刷株式会社

乱丁、落丁本はお取り替えします

Printed in Japan

■メーカ・商社問合わせ先

(株)東芝 半導体事業本部半導体営業統轄部半導体業務担当 〒105-01 東京都港区芝浦1-1-1 (東芝ビル) TEL 03-3457-3405

NEC 半導体ソリューション技術本部技術情報支援部 〒210 神奈川県川崎市幸区塚越三丁目484 TEL 044-548-8888

(株)日立製作所 汎用半導体事業本部製品技術部 〒100 東京都千代田区大手町2-6-2 (日本ビル) TEL 03-5201-5024

Cypress Semiconductor Corp. 日本サイプレスセミコンダクタ(株) 〒160 東京都新宿区新宿1-23-1 (新宿マルネビル) TEL 03-5269-0781

Integrated Device Technology, Inc. 日本IDT(株) 技術部技術管理担当 〒102 東京都千代田区三番町6-26 (住友不動産三番町ビル) TEL 03-3221-9821

Motorola, Inc. 日本モトローラ(株) 〒141 東京都品川区西五反田4-32-1 TEL 0120-068030

National Semiconductor Corp. ナショナルセミコンダクター・ジャパン(株) カスタマ・レスポンス・センター
〒261 千葉市美浜区中瀬一丁目7-1 (SCECビル) TEL 0120-666-116

Philips Semiconductors 日本フィリップス(株) 半導体事業部マーケティング部宣伝販促課
〒108 東京都港区港南2-13-37 (フィリップスビル) TEL 03-3740-5130

RCA (現在 Harris Co.) ハリス(株) マーケティング部 〒102 東京都千代田区麹町5-3-5 (麹町中田ビル) TEL 03-3265-7572

Signetics Corp. (現在 Philips Semiconductors) 日本フィリップス(株) 半導体事業部マーケティング部宣伝販促課
〒108 東京都港区港南2-13-37 (フィリップスビル) TEL 03-3740-5130

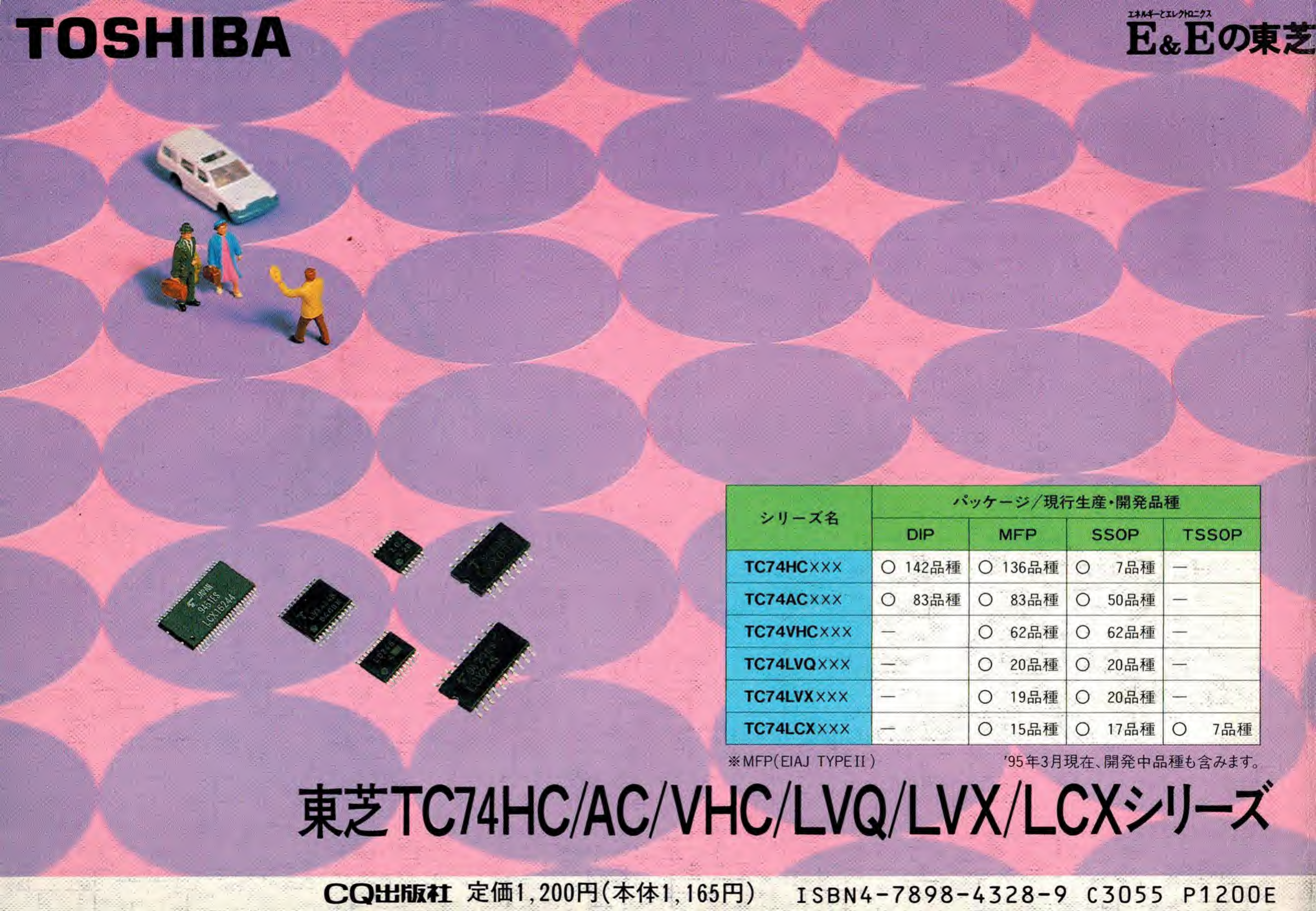
SGS-Thomson Microelectronics P エス・ジー・エス・トムソン・マイクロエレクトロニクス(株) 営業本部
〒108 東京都港区高輪2-18-10 (日石高輪ビル) TEL 03-3280-4120

Texas Instruments Inc. 日本テキサスインスツルメンツ(株) プロダクト・インフォメーション・センター
〒108 東京都港区芝浦4-13-23 (MS芝浦ビル) TEL 0120-81-0026

MANUFACTURER'S GUIDE

<広告主情報>

社 名 (販売拠点)	所 在 地	TEL	FAX
(株)東芝 半導体事業本部	〒105-01 東京都港区芝浦1-1-1 東芝ビルディング	03-3457-3414	
半導体広域顧客営業推進担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル	03-3257-5671	03-3257-7511
半導体特営業担当	〒101 東京都千代田区外神田1-8-13 東芝秋葉原ビル	03-3257-5602	03-3257-2025
関西支社	〒531 大阪府大阪市北区大淀中1-1-35 梅田スカイタワーウェスト	06-440-2202	06-244-2789
中部支社	〒460 愛知県名古屋市中区名駅南1-24-30 名古屋三井ビル本館	052-564-8725	052-562-5785
九州支社	〒810 福岡県福岡市中央区渡辺通り1-1-1 サンセルコビル7F	092-711-5731	092-741-3936
中国支社	〒730 広島県広島市中区大手町2-7-10 広島三井ビルディング12F	082-246-3130	082-246-3112
北陸支社	〒930 富山県富山市桜橋通り2-25 第一生命ビル8F	0764-45-2624	0764-45-2671
東北支社	〒980 宮城県仙台市青葉区本町2-1-29	022-264-7621	022-264-7637
北海道支社	〒060 北海道札幌市中央区北3条西1丁目 東芝札幌ビル	011-214-2481	011-214-2417
四国支社	〒760 香川県高松市鍛冶屋町3 香川三友ビル	0878-25-2491	0878-25-2405
神奈川支社	〒231 神奈川県横浜市中区尾上町1-8 関内新井ビル5F	045-664-8567	045-651-7465
新潟支社	〒950 新潟県新潟市東大通り1-4-2 三井物産ビル	025-246-8250	025-244-0078
長野支店	〒380 長野県長野市南石堂町1293 清水長野ビル	0262-28-3371	0262-28-3935
埼玉支店	〒331 埼玉県大宮市錦町682-2 大宮情報センタービル17F	048-640-1127	048-645-8229
横河・ヒューレット・パカード(株) 電子部品営業本部	〒168 東京都杉並区高井戸3-29-21	03-3335-8152	
大阪支社	〒532 大阪府大阪市淀川区西中島5-4-20	06-301-9729	
名古屋支社	〒450 名古屋市中村区名古屋1-47-1 名古屋国際センタービル15F	052-571-5168	
東京エレクトロン(株)	〒107 東京都港区赤坂5-3-6 TBS放送センター	03-5561-7229	
菱電商事(株)	〒170 東京豊島区東池袋3-15-15	03-5396-6206	
菱洋エレクトロ(株)	〒104 東京都中央区築地1-12-22 コンワビル	03-3456-5011	
(株)山田洋行	〒107 東京都港区南青山1-1-1 新青山ビルデング東館	03-3475-1121	
アイアールファースト(株)	〒171 東京都豊島区西池袋3-30-4 K&Hビル	03-3983-0641	03-3983-0642
大阪支社	〒532 大阪市淀川区 西中島7-6-12 新大阪駅前末広ビル	06-302-9005	06-302-9105
名古屋支社	〒465 名古屋市中区社台3-247 第三名昭ビル6-B	052-774-7707	052-774-7731
クレイアス(株)	〒258 神奈川県足柄上郡松田町寄5501番地	0465-89-2825	0465-89-2826
(有)そらコンピュータ・プロダクツ	〒232 神奈川県南区新川町1-1-5-301	045-262-1097	045-232-1637



TOSHIBA

エネルギーとエレクトロニクス
E&Eの東芝

シリーズ名	パッケージ/現行生産・開発品種			
	DIP	MFP	SSOP	TSSOP
TC74HCXXX	○ 142品種	○ 136品種	○ 7品種	—
TC74ACXXX	○ 83品種	○ 83品種	○ 50品種	—
TC74VHCXXX	—	○ 62品種	○ 62品種	—
TC74LVQXXX	—	○ 20品種	○ 20品種	—
TC74LVXXXX	—	○ 19品種	○ 20品種	—
TC74LCXXXX	—	○ 15品種	○ 17品種	○ 7品種

※MFP(EIAJ TYPE II)

'95年3月現在、開発中品種も含みます。

東芝TC74HC/AC/VHC/LVQ/LVX/LCXシリーズ